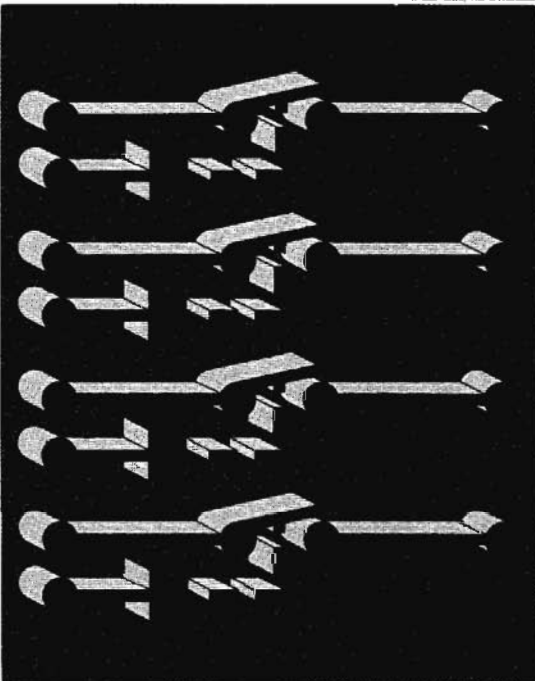
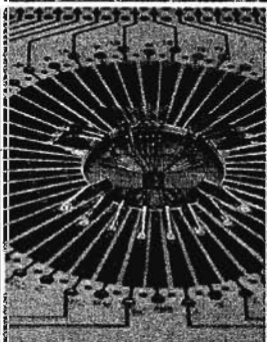
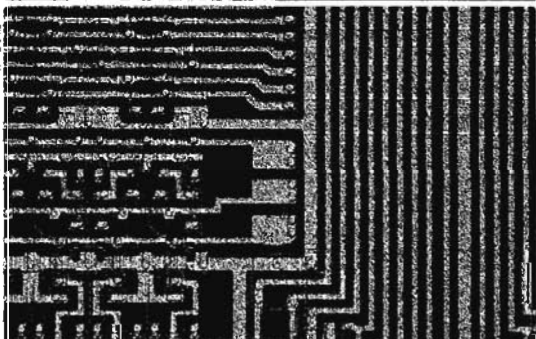




LES COMMUTATEURS ANALOGIQUES



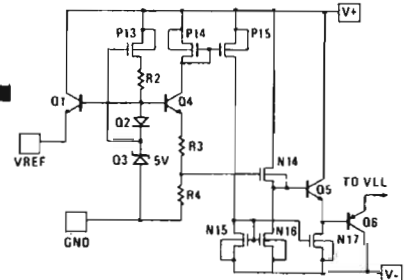
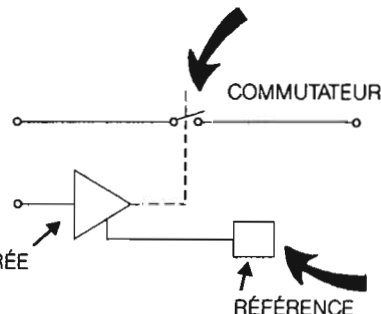
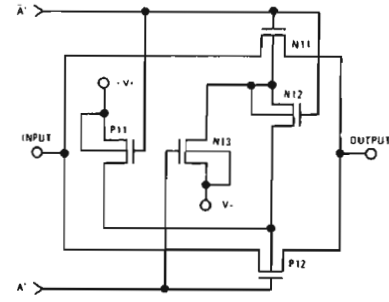
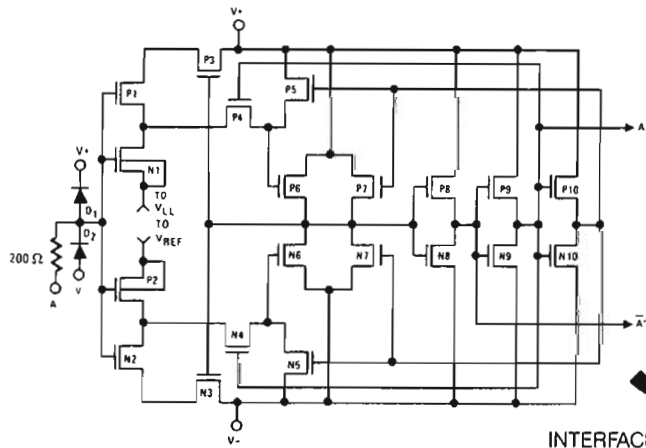
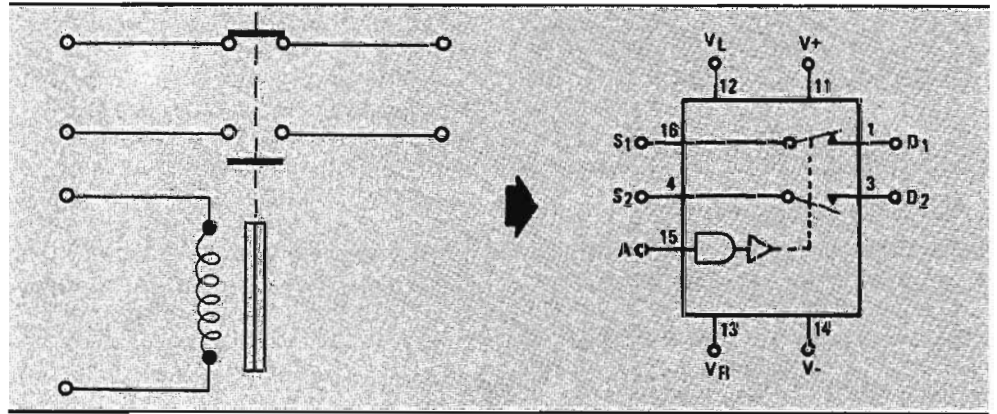
Les fonctions

Depuis l'origine des "montages radio" de 1920, les concepteurs de circuits électroniques ont éprouvé le besoin de commuter une énorme quantité de choses pour obtenir un fonctionnement correct de leurs réalisations; on commute donc des signaux à amplifier ou déjà amplifiés, des parties de circuits destinées à corriger ces signaux, des éléments d'accord de circuits oscillants en haute fréquence, des réseaux permettant de faire varier le gain d'étages amplificateurs et on peut même avoir besoin de commander de la manière la plus simple possible des courants "tout ou rien" dans des charges, courants dépassant les possibilités des circuits logiques intégrés traditionnels. Toutes ces fonctions sont longtemps restées du domaine de l'électro-mécanique, relevant des techniques de relayage telles qu'enseignées dans les années 50. Cependant, l'avènement des semiconducteurs a permis non seulement de remplacer avantageusement ces techniques électro-mécaniques, mais aussi a fait découvrir de nouvelles possibilités et

utilisations de toutes ces commutations électroniques, comme par exemple, la commutation là où se trouve le signal, et non plus où se trouve la commande.

Cette fonction de commutateur analogique va donc ressembler énormément aux fonctions fournies par son ancêtre le relais, à la différence que la bobine de commande de ce dernier va être remplacée par une commande électronique, que l'on pourra attaquer par les faibles puissances délivrées par les cir-

cuits intégrés logiques. Cette fonction a toutefois gardé une trace du "temps des relais": son appellation; les anciennes appellations des fonctions des relais ont été conservées. C'est ainsi qu'un commutateur présentant un contact "travail" sera appelé "SPST," ancien terme de relayeur signifiant Single Pole, Single Throw, l'équivalent d'un circuit, une position. On trouvera donc des SPST, DPST, (Dual Pole, Single Throw), SPDT, DPDT, etc.



Cette fonction électrique étant maintenant définie, il devient simple d'imaginer comment va être composée la structure d'un commutateur analogique. En partant de l'entrée de commande logique, on trouvera tout d'abord un circuit d'interface destiné à réaliser l'adaptation entre le niveau

logique d'entrée (qui pourra être compatible DTL, TTL, CMOS ou autres) et la circuiterie interne du commutateur. On trouve généralement aussi, associé à cet interface, un réseau destiné à élaborer les tensions de référence nécessaires à la reconnaissance des différents niveaux électriques des familles

logiques prévues compatibles à l'entrée. La circuiterie interne va ensuite commander les éléments agissant en interrupteurs, le plus souvent maintenant constitués de transistors MOSFET.

La technologie utilisée

Toutefois, l'utilisation de semiconducteurs en éléments interrupteurs ne présente pas que des avantages par rapport aux anciens systèmes électromécaniques. Si la vitesse de commutation a augmenté, et si la puissance perdue dans la commande a diminué, c'est au détriment de la tenue en tension et des caractéristiques aussi bien à l'état passant (résistance faible mais non nulle), qu'à l'état bloqué (courants de fuite, problèmes de diaphonie). Ces limitations sont toutefois étroitement liées à la technologie employée pour réaliser ces commutateurs, comme le rapide examen des problèmes de technologie qui suit va le montrer.

La technologie utilisée

Il est bien sûr évident que les principales limitations de performances que vont présenter les commutateurs analogiques vont se trouver dans la partie la plus exposée aux agressions extérieures, à savoir les transistors servant en interrupteur. On va demander en effet, à ceux-ci de présenter une résistance parasite à l'état passant la plus faible possible, des courants de fuite à l'état bloqué les plus faibles possibles, et un comportement vis-à-vis des surtensions sans défaillance. On exigera d'eux également, des temps de commutation les plus réduits possibles, et une puissance consommée dans leur commande minimale.

Du fait de ces caractéristiques dont certaines sont contradictoires, les premiers commutateurs analogiques réalisés l'ont été en hybride (transistors interrupteurs d'un côté, commande logique de l'autre) et la technologie utilisée était celle des transistors J-FET; ceux-ci présentaient de bonnes performances en résistance à l'état passant et courant de fuite, par contre, la gamme de tension qu'il leur était possible de commuter n'était pas assez importante (limitée aux environs de + ou - 12 V). La quasi-totalité des commutateurs est maintenant réalisée en technologie MOS complémentaires, qui a permis de s'affranchir de cette contrainte.

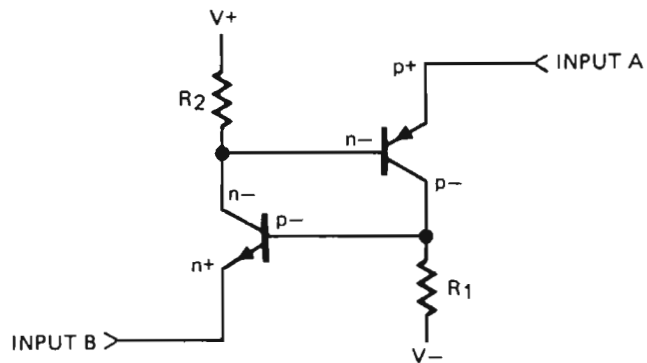
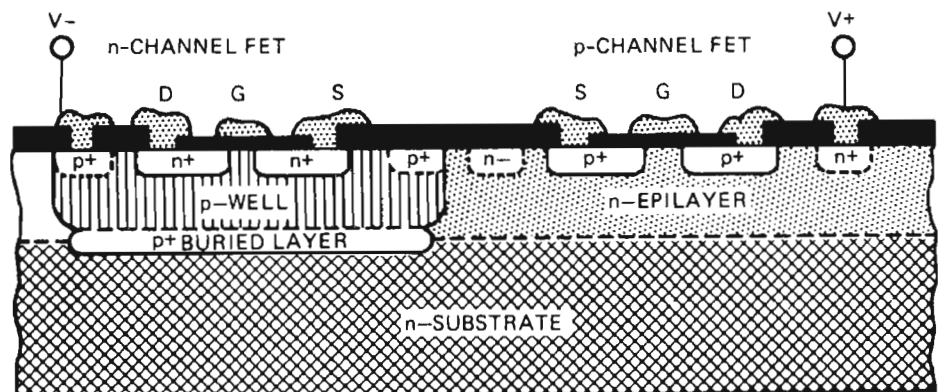
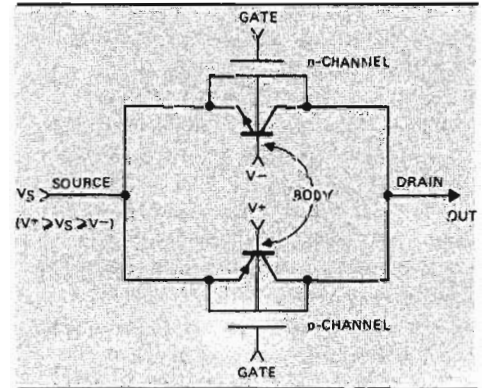
La technologie CMOS permet en effet, de réaliser des commutateurs qui présentent des résistances à l'état passant faibles (quelques dizaines d'Ohms), des courants de fuite très faibles (de l'ordre de quelques pA), et une vitesse de commutation intéressante (quelques dizaines de ns). De plus, la consommation est très faible (encore plus faible si une technologie Gate sili-

cium est utilisée), et le commutateur présente l'avantage de rester fonctionnel lorsque le signal analogique à commuter devient voisin des alimentations.

Cependant, cette technologie CMOS n'a pas été utilisée dès le début car elle présentait 2 inconvénients, le "latch-up" et la tenue en surtension, qui ont nécessité la découverte de procédés de fabrication permettant de s'affranchir de ces phénomènes. Le premier de ces phénomènes, le latch-up, est dû au fait que tout transistor MOS possède un transistor bipolaire associé parasite, du fait de sa structure et que ces jonctions bipolaires parasites se combinent avec les puits d'isolation (si une technologie isolation de jonction est utilisée) pour donner des configurations parasites du type thyristor. Qu'un signal d'entrée dépasse une alimentation et ces thyristors parasites s'amorcent, entraînant le passage d'un fort courant et la dissipation d'une puissance éle-

reviendra d'ailleurs pas toujours à ce fonctionnement normal, car il est souvent détruit par la dissipation excessive qui lui aura été imposée.

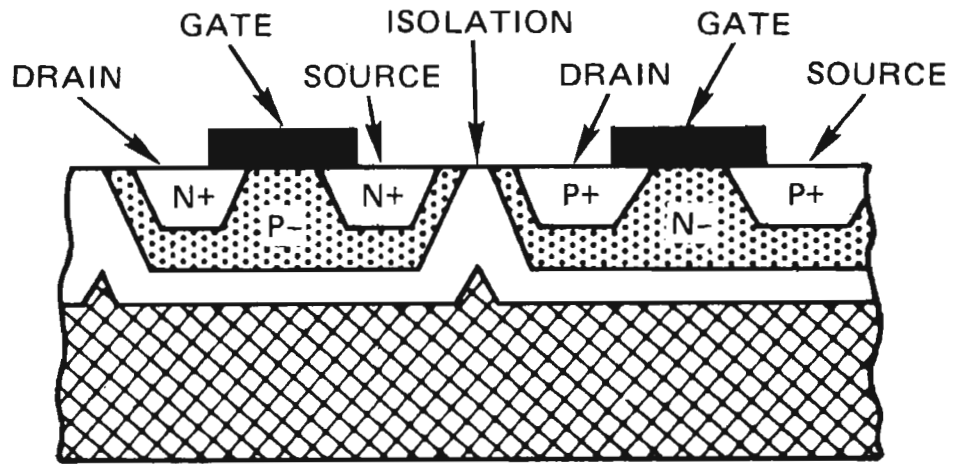
Il est important de noter que ce régime de fonctionnement mettant en jeu des tensions d'entrée dépassant les alimentations est fréquemment rencontré dans les systèmes analogiques, car ce type de surtensions est commun dans



vée dans le système; de plus, on ne reviendra à la situation normale qu'en coupant les alimentations, ce qui peut se révéler extrêmement gênant, voire dangereux pour l'ensemble dans lequel est monté le composant. Ce dernier ne

bon nombre de réalisations et inévitables. Il a fallu par conséquent, trouver un procédé de fabrication éliminant ce problème. Il en existe en fait trois différents, présentant des protections d'efficacité très différentes.

Le premier de ces procédés s'appelle le procédé CMOS à isolation de jonction sans latch-up (Latchproof Junction Isolation CMOS). On s'aperçoit en regardant la figure ci-dessous que ce qui donne naissance au phénomène est la structure du transistor MOS combinée avec son transistor bipolaire parasite associé; si le gain de ce transistor bipolaire parasite est ramené en dessous de 1, le phénomène n'existe théoriquement plus. Pour cela, on dispose en profondeur de la puce une couche enterrée qui sera chargée de maintenir ce gain inférieur à 1.



Le deuxième procédé s'appelle le CMOS à isolation de jonction à éléments flottants (Floating Body Junction Isolation CMOS). Il consiste à rendre flottant le substrat du transistor MOS canal N, ce qui empêchera tout départ en latch-up provoqué par ce côté et comme la protection n'est réalisée qu'à 50%, maintenir le gain du transistor bipolaire parasite côté MOS canal P inférieur à 1. Ce procédé a cependant quelques inconvénients, comme la réduction de la tension maximum de claquage Source/Drain et par voie de conséquence, de la tension maximum analogique commutée. Un tel procédé provoque aussi une augmentation des courants de fuite à l'état bloqué.

Le troisième procédé s'appelle le CMOS à isolation diélectrique (Dielectric Isolation CMOS), et c'est le pro-

céde utilisé par Harris pour la fabrication de ses commutateurs analogiques. Dans ce procédé, la configuration thyristor vue précédemment ne peut plus exister, car un mur d'oxyde isole les parties responsables créant cette géométrie. Ce procédé a en outre, l'avantage de réduire considérablement les courants de fuite, ainsi que les capacités parasites (vitesse de fonctionnement plus élevée).

Enfin, ce procédé a prouvé une endurance aux radiations supérieures, (applications spatiales), ainsi qu'une très bonne tenue en température dûe à l'inertie de l'oxyde isolant en température.

Le deuxième défaut de la technologie CMOS est sa tenue aux surtensions. Les précautions standard de manipulation et d'utilisation doivent être prises dès que l'on travaille avec des circuits CMOS. L'isolement Gate-Drain ou Gate-Source est en effet exposé, du fait de sa très haute impédance, à être facilement détruit à cause de l'accumulation de charges, rendue possible par la haute impédance que présente ce point; ces charges se transforment en haute tension "perçant" l'oxyde d'isolement Gate-Drain ou Gate-Source, ou même Gate-Corps du MOS.

Les principaux paramètres

Nous allons maintenant examiner comment est généralement caractérisé le fonctionnement d'un commutateur analogique et pour cela, passer en revue les différents paramètres décrivant ses performances.

1 - Les paramètres à ne jamais dépasser (absolute maximum ratings) : ces caractéristiques maximum correspondent aux valeurs que l'on peut appliquer (généralement une à la fois au maximum) sans observer de dégradation définitive du circuit intégré, mais sans pour autant garantir son bon fonc-

tionnement pendant que ce paramètre est à son maximum autorisé (les valeurs garantissant le bon fonctionnement du circuit sont celles dites "d'utilisation," ou electrical characteristics). Ces valeurs à ne jamais dépasser sont les suivantes :

Les principaux paramètres

- Les alimentations : cette valeur correspond à la tension maximum différentielle que l'on peut appliquer entre les points terminaux d'alimentation V_{cc+} et V_{cc-} ; cette valeur est liée à la tension maximum supportable sans claquage dans le circuit.
- Les tensions maximum entre entrée de référence et commun : généralement une ou plusieurs entrées de référence fixent les modalités de fonctionnement du commutateur, tant au point de vue compatibilité avec certaines familles logiques que décalage du point milieu par rapport au commun ces tensions maximum représentent les écarts maximum de ces deux points de référence par rapport au commun (GND).
- Les tensions applicables aux entrées digitales : ce sont les tensions à ne pas dépasser sur les entrées de commande logique des commutateurs ; généralement égales à $(V_{cc+}) + 4 V$ à $(V_{cc-}) - 4 V$ pour les commutateurs Harris.
- Les tensions applicables sur les points analogiques : ce sont les tensions maximum applicable soit sur le drain, soit sur la source de chaque commutateur ; généralement $(V_{cc+}) + 2 V$ à $(V_{cc-}) - 2 V$ pour les commutateurs Harris.
- La dissipation maximum autorisée : c'est la puissance maximum que pourra dissiper le circuit intégré en permanence ; cette caractéristique est importante dans le cas où l'on utilisera le commutateur pour commander de forts courants ; la résistance de chaque commutateur n'étant pas nulle à l'état passant, une chute ohmique importante va se produire dans ce cas et occasionner des dissipations non négligeables.

2 - Les caractéristiques d'utilisation : celles-ci représentent les valeurs maxima ou minima garanties des paramètres suivants si l'on accepte de faire fonctionner le multiplexeur dans les conditions spécifiées :

- La plage du signal analogique : c'est la gamme de valeur que pourra prendre la tension analogique commutée sans apparition de phénomènes perturbateurs notables (comme apparition de non-linéarités marquées) ; généralement $- 15$ à $+ 15 V$ pour les commutateurs Harris.
- Ron, ou résistance à l'état passant : valeur maximum que pourra prendre à l'état passant la résistance du commutateur ; de 25 à 125 Ohms pour les commutateurs Harris.

- Le delta Ron, ou résistance différentielle entre commutateurs : cette valeur, définie uniquement dans le cas où plusieurs commutateurs existent dans le même boîtier, représente l'écart entre les valeurs de résistance à l'état passant des différents commutateurs.
- Les différents courants de fuite : ils sont au nombre de trois. I_s (off) ou I_d (off) sont les courants circulant dans la source ou dans le drain d'un commutateur, ledit commutateur étant à l'état bloqué. I_d (on) est le courant circulant entre un commutateur à l'état passant, et le restant du circuit. Tous ces courants de fuite sont extrêmement faibles à $25^\circ C$ (quelques fractions de nA), mais peuvent atteindre plusieurs centaines de nA à haute température.
- Les seuils logiques d'entrée : ceux-ci sont bien connus des utilisateurs, et ils définissent les valeurs extrêmes à partir desquelles sont reconnus comme états logiques les niveaux électriques d'entrée ; les commutateurs sont en général compatibles TTL et CMOS, avec éventuellement une entrée de sélection de ces 2 familles.
- Les temps de commutation : ceux-ci sont au nombre de trois ; le T (open) est défini comme étant, sur un commutateur comportant plusieurs canaux, le temps pendant lequel aucun commutateur n'est passant lorsqu'on commande à l'un de ceux-ci de s'ouvrir et au même moment à tous les autres de se fermer (ce temps est de l'ordre de 20 à 40 ns lorsqu'il est garanti). Le T (on) est le temps mis par un commutateur pour que sa sortie atteigne 90% de la valeur du signal analogique d'entrée, ce temps étant décompté à partir du basculement de la commande logique. Inversement, le T (off) est le temps mis par un commutateur pour atteindre également 90% du signal analogique d'entrée, ce temps étant décompté de la même manière que pour le T (on). Ces deux temps de commutation sont très variables selon les types de commutateurs et peuvent aller de 50 ns à plus de la microseconde.
- L'injection de charges : ce phénomène d'injection de charges sur la voie analogique par la commande logique est dû à la présence entre la grille de commande des MOSFET interrupteurs et leur drain d'une capacité parasite, par laquelle des charges vont être injectées sur le

drain lors des transitions du signal de commande logique. Un commutateur de bonne qualité doit minimiser ce phénomène qui, lorsqu'il est mesuré en tension sur le drain en connectant une capacité de l'ordre de 10 nF sur celui-ci, ne doit pas dépasser quelques millivolts.

- Le rapport d'isolation entrée-sortie : exprimé en dB et en général mesuré à une fréquence de l'ordre de la centaine de kHz, il représente la qualité de l'isolation entrée-sortie à l'état bloqué. Il est fonction de la capacité parasite court-circuitant le commutateur.
- Le rapport de diaphonie : exprimé en dB et également mesuré à une fréquence de l'ordre de la centaine de kHz, il représente la faculté que peut avoir un canal d'agir sur un autre lorsque le commutateur présente plusieurs canaux. Il est fonction des capacités parasites entre canaux.
- Les capacités parasites : elles sont au nombre de quatre. C_s (off) est la capacité parasite d'entrée du commutateur par rapport au commun, ce commutateur étant à l'état bloqué ; cette capacité devient gênante dès que l'on cherche à faire fonctionner le commutateur en haute fréquence et l'utilisation par Harris du procédé de fabrication à isolation diélectrique permet de la réduire à quelques pF. C_d (off) est la capacité parasite du commutateur en sortie par rapport au commun. C_d (on) est cette même capacité parasite de sortie, mais cette fois le commutateur étant positionné à l'état passant. La quatrième capacité parasite est C_{ds} (off), qui représente la capacité à l'état bloqué entre drain et source, court-circuitant le commutateur en haute fréquence. Nous reviendrons plus loin plus en détail, sur les influences diverses de ces capacités parasites, car ce sont elles qui vont limiter les performances du commutateur en hautes fréquences.

3 - Enfin, chaque spécification donnera la "clef" de la commande logique du commutateur (passant à l'état bas ou haut).

Les protections à envisager

Quelques précautions élémentaires doivent être prises lors de l'utilisation de commutateurs analogiques CMOS. Les origines de phénomènes destructeurs sont au nombre de quatre : le latch-up (pas toujours destructeur, mais l'est tout de même souvent), les surtensions pouvant apparaître superposées au signal analogique à commuter, les disparitions de tension d'alimentation lorsque les signaux analogiques sont toujours présents sur les entrées, et les surintensités provoquées par des courts-circuits au commun ou à une alimentation du signal analogique commuté. A noter que les entrées digitales sont protégées par réseaux résistance/diodes.

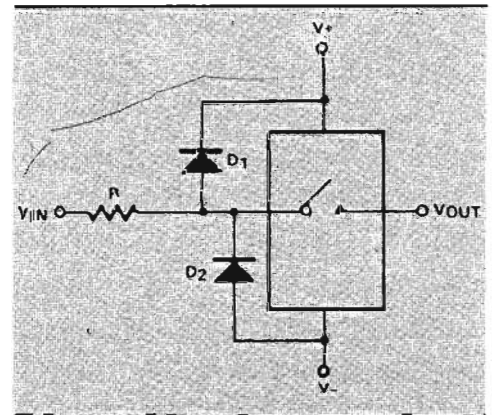
1 - Le latch-up : nous rappelons que ce phénomène, véritable plaie des circuits CMOS standards, est impossible sur des commutateurs Harris, ceux-ci étant réalisés en isolation diélectrique. Nous n'en dirons rien de plus.

2 - Les surtensions pouvant se trouver appliquées sur le commutateur :

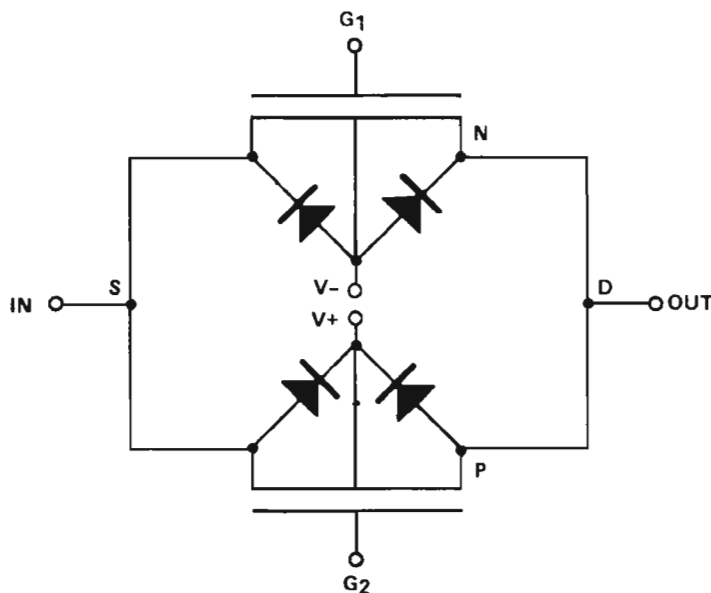
aux structures des transistors CMOS vont devenir polarisées en direct, et un courant important va circuler entre l'entrée du commutateur et l'alimentation en question; ce courant va traverser l'alimentation et se refermer sur le générateur qui provoque la surtension en entrée par le commun. Ce courant peut être suffisant pour détruire le dispositif par dissipation excessive de puissance; ceci a généralement pour effet de volatiliser à un endroit ou un autre le niveau métal du circuit intégré, ou même de faire fondre les jonctions bipolaires parasites responsables de cet effet.

Le deuxième phénomène peut se produire si la valeur absolue du dépassement est très importante (haute tension d'origine statique par exemple); on assistera alors à une rupture d'isolement entre les grilles de commande des transistors CMOS et leur drain ou leur source; un tel "perçage" des oxydes d'isolement ne devrait en théorie pas être possible du fait de l'existence du phénomène vu juste plus haut; en

œuvre, car elles font pratiquement toutes appel à une résistance qui sera placée en série avec le commutateur, augmentant donc la valeur de résistance à l'état passant. Qui plus est, les diodes de protection D1 et D2 doivent présenter des caractéristiques en courant de fuite et vitesse de commutation non négligeables (pratiquement seules des diodes schottky peuvent être utilisées et ces diodes présentent un coût non négligeable). Il est donc généralement plus efficace de s'attaquer si possible à l'origine des surtensions éventuelles. On peut toutefois, envisager les deux autres protections suivantes qui fonctionnent dans des cas bien identifiés de surtensions :

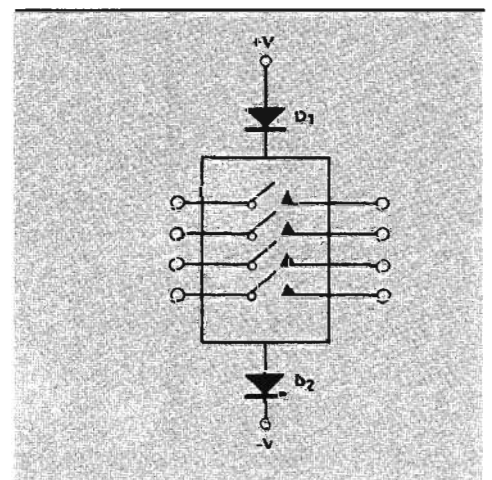


- La méthode suivante tire parti des diodes parasites associées aux transistors MOSFET; les diodes de protection sont cette fois montées en série avec les alimentations, interdisant un éventuel courant inverse qui serait provoqué par une entrée dépassant une alimentation. Dans ce cas, en effet, le signal d'entrée le plus positif va alimenter le commutateur. Cependant cette méthode a deux inconvénients : elle ne protège pas le commutateur contre les ruptures d'isolement internes, et surtout le canal qui alimente le circuit intégré devient passant.



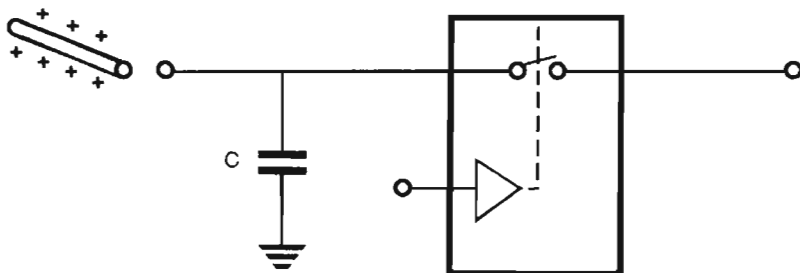
lorsque l'on applique sur l'entrée d'un commutateur CMOS une tension dépassant celle de l'alimentation, deux phénomènes peuvent se produire selon la valeur absolue de ce dépassement. Si la tension appliquée ne dépasse que de très peu celle de l'alimentation, tout en excédant la valeur maximale permise dans la section "Valeurs à ne jamais dépasser," les diodes associées

réalité, comme tout semiconducteur, les diodes parasites par lesquelles devrait être écartée la surtension, présentent un temps de mise en conduction non négligeable, et c'est pendant ce temps que la rupture d'isolement grille/drain ou grille/source va se produire. Les protections que l'on peut envisager pour se prémunir de ces effets ne sont pas aisées à mettre en



- La deuxième méthode est efficace en cas de surtensions très élevées, mais brèves, apparaissant par transfert de charges. Ce type de surtension est par exemple souvent celui observé lorsqu'un objet chargé (tel un morceau de matière plastique) est mis en contact avec le commutateur. La capacité protégera le circuit car

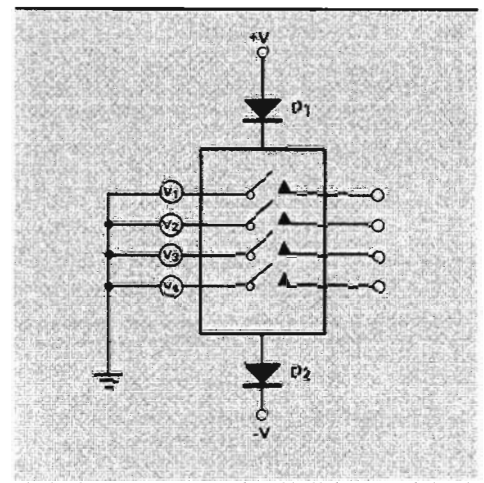
3 - Les disparitions des tensions d'alimentation alors que les signaux analogiques sont toujours présents sur les entrées : une erreur fréquente d'interprétation du fonctionnement des commutateurs CMOS est que si les alimentations disparaissent, les signaux analogiques seront bloqués par le commutateur. C'est en effet, l'inverse



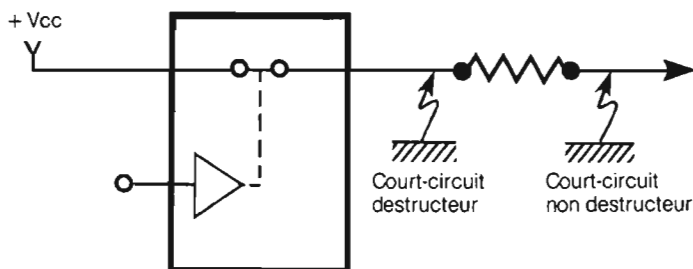
les charges vont se transférer de l'objet chargé à tout le système, de telle façon à ce que $Q = C.V$; plus la capacité sera alors importante, et moins la tension sera élevée. Cette protection demeure cependant inefficace si les charges transférées sont très importantes.

qui se produit... On se trouve en fait ramené au cas précédent : qu'un signal d'entrée soit plus grand qu'une alimentation, celle-ci étant présente, ou qu'un signal d'entrée soit présent, l'alimentation ayant disparu, les diodes parasites des transistors MOSFET deviendront conductrices tout pareillement. On risque alors de détruire le circuit intégré

par dissipation excessive dans ces diodes, si les signaux d'entrée peuvent délivrer suffisamment de puissance; le plus élevé d'entre-eux va alors remplacer l'alimentation défaillante, et cela non seulement pour le commutateur, mais pour tous les circuits alimentés par cette alimentation défaillante. La protection à envisager dans ce cas est celle vue précédemment, avec les diodes montées dans les alimentations. On se rappellera toutefois, comme déjà signalé, que c'est la voie la plus élevée en tension qui va alimenter la totalité du commutateur et que, quelle que soit sa commande logique, elle sera passante.



4 - Les surintensités dans le commutateur : celles-ci peuvent apparaître si l'on court-circuite le signal après commutation. Le seul remède dans ce cas, est de limiter ce courant par une résistance additionnelle, qui aura pour inconvénient d'augmenter la résistance à l'état passant du système.



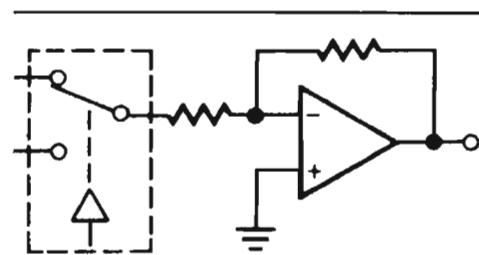
Les principales applications des commutateurs analogiques CMOS

Avant d'examiner les critères qui régissent le choix d'un commutateur, une recherche sommaire des différentes applications possibles de ceux-ci permettra de clarifier les idées sur les nécessités de ces applications. Celles-ci peuvent être classées en six grandes catégories : la commutation de puissance, la commutation d'ajustage de gain, les multiplexages à faible nombre de canaux, les commutations haute fréquence, l'aiguillage de signaux, l'interruption de signaux. Nous allons les passer en revue ci-dessous :

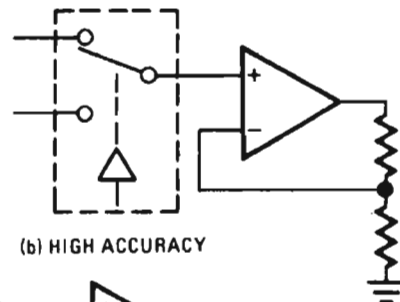
- La commutation de puissance : il faut entendre par ce terme de "puissance" toute application mettant en jeu le passage dans le commutateur d'un courant supérieur à environ 30 à 50 mA. Les commutateurs CMOS, du fait de la faible puissance consommée dans leur commande (compatibilité CMOS), sont en effet, extrêmement intéressants pour ces applications car le courant qu'ils peuvent commuter atteint 80 mA par canal pour certains types. Ils permettent donc de réaliser un interface de puissance compatible directement avec les sorties des circuits intégrés logiques CMOS. Ils sont donc précieux pour commander des charges "tout ou rien" tels que relais électromécaniques, lampes de tableau, diodes électro-luminescentes de forte puissance (visibles ou infrarouges), aiguilles à commande électromagnétique de têtes d'imprimantes, amorces électriques pyrotechniques et commutation d'alimentations sur des parties de circuit. On pourra également, pour diminuer la résistance à l'état passant de ce style de commande, raccorder en parallèle plusieurs commutateurs d'un même boîtier ; le courant maximal que l'on peut commander avec un seul circuit intégré atteint alors plus de 300 mA.

On recherchera pour toutes ces applications des commutateurs présentant des caractéristiques favorables du point de vue coût, possibilités de commutation de courants élevés, et densité d'intégration. Sont également à ranger dans cette catégorie, les interfaces de commande de puissance comportant une fonction de décalage de niveau électrique, principalement dans le cas où les communs sont différents.

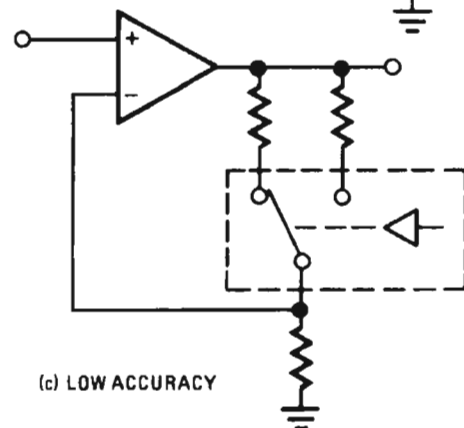
- La commutation d'ajustage de gain : on est souvent obligé de concevoir des étages amplificateurs à gain variable ; l'utilisation d'un commutateur CMOS permettra de réaliser les sélections de réseaux de contre-réaction nécessaires à ces opérations. On exigera pour ces applications des commutateurs permettant d'atteindre un niveau de précision suffisant ; pour cela, de faibles courants de fuite associés à une faible résistance à l'état passant seront indispensables.
- Les multiplexages à faible nombre de canaux : on pourra utiliser un commutateur multiple pour réaliser le multiplexage d'un nombre de canaux pouvant aller jusqu'à 4 ou 5. Au-delà, l'utilisation d'un multiplexeur intégré se révèle plus intéressante. Une erreur d'interprétation communément répandue est que la réalisation d'une fonction de multiplexage à l'aide de commutateurs présentera des temps d'accès plus rapides que ceux obtenus avec un multiplexeur, les temps d'accès des commutateurs étant plus faibles que ceux des multiplexeurs ; ceci est faux car ces temps d'accès sont liés à la capacité de sortie totale de la fonction et à la résistance à l'état passant de chaque voie, qui créent des cellules R-C ; il apparaît que dès que les sorties



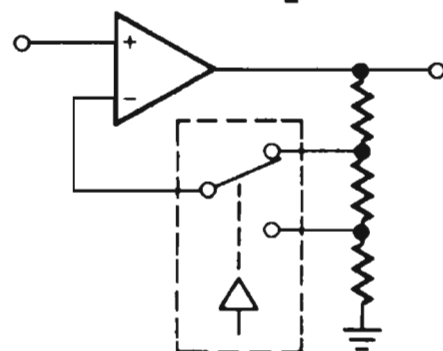
(a) LOW ACCURACY



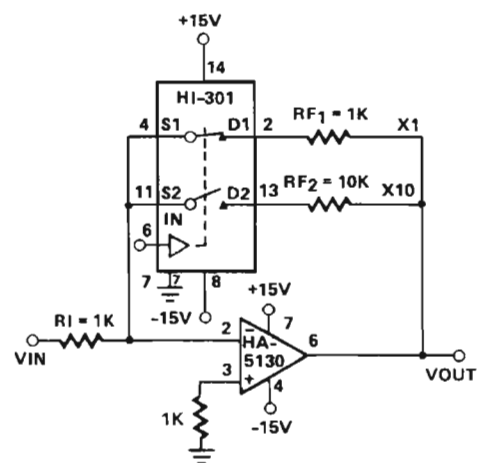
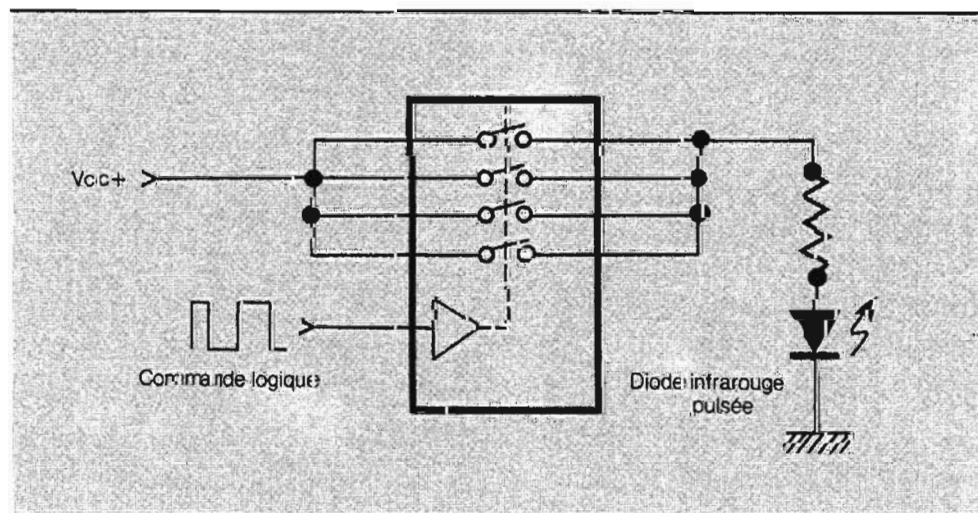
(b) HIGH ACCURACY



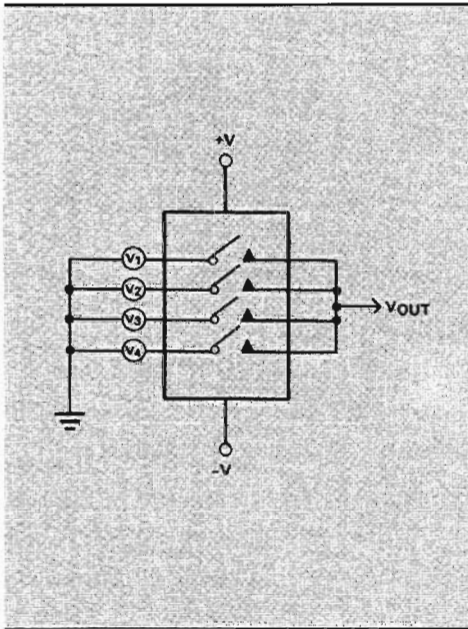
(c) LOW ACCURACY



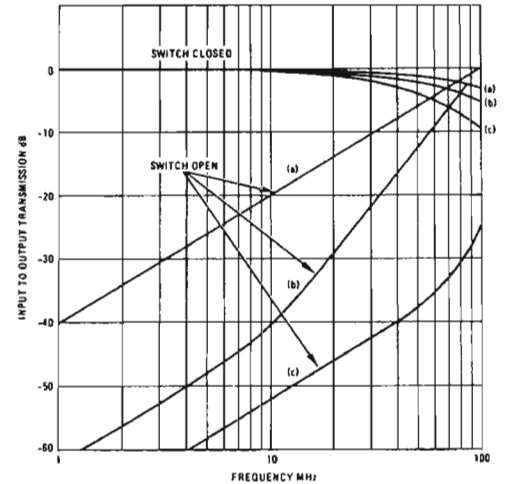
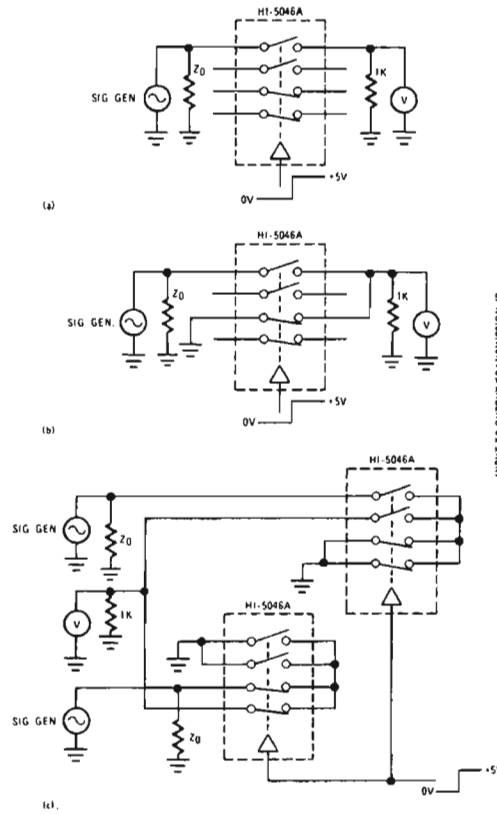
(d) HIGH ACCURACY



des commutateurs seront reliées, leurs capacités parasites vont s'ajouter et vont augmenter les temps d'accès. Les caractéristiques demandées à un commutateur pour remplir correctement cette fonction seront de faibles courants de fuite, des temps d'accès courts et une densité d'intégration élevée.



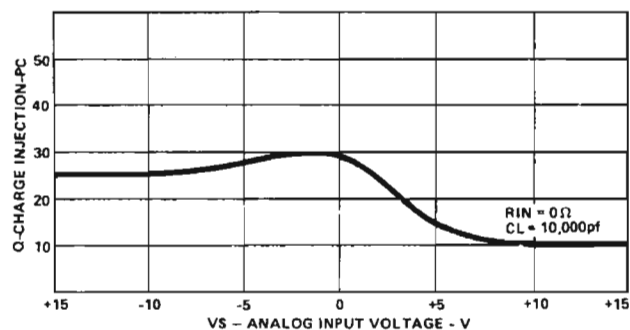
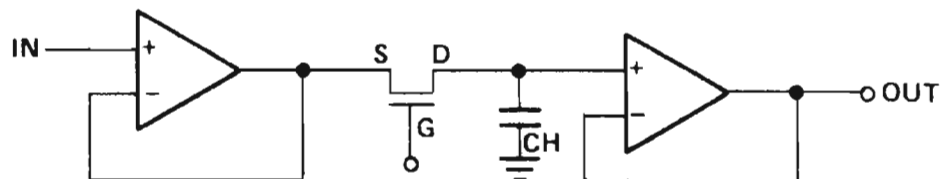
- Les applications haute fréquence : on pourra utiliser des commutateurs CMOS pour réaliser des commutations de circuits accordés, des interruptions de signal en haute fréquence. Il faut cependant bien prendre conscience des phénomènes qui vont se passer dans le commutateur à fréquence élevée. Ces phénomènes sont dus à la présence des trois capacités parasites C_d (on), C_s (off) et C_{ds} (off). A l'état bloqué, C_{ds} (off), capacité parasite entrée sortie du commutateur, va tendre à court-circuiter celui-ci; à l'état passant, C_d (on), capacité parasite de sortie du commutateur, va se combiner avec la résistance à l'état passant pour constituer un R-C, qui se comportera comme un filtre passe-bas. On trouvera ci-dessous les trois configurations de commutation HF généralement utilisées avec leurs performances relatives (commutation simple -a- commutation double avec mise au commun -b- et commutation en T -c-). On cherchera pour toute application HF des commutateurs présentant de faibles capacités parasites et une résistance à l'état passant la plus basse possible.
- L'aiguillage de signaux : ces applications sont rencontrées principalement en télécommunications et en



audio, afin d'envoyer tel ou tel signal d'entrée vers telle ou telle voie de sortie. Les critères de densité d'intégration, de coût, de diaphonie seront ici primordiaux.

- L'interruption de signaux : on regroupe sous cette appellation principalement la réalisation d'échantillonneurs-bloqueurs et la conception de filtres digitaux à capacités commu-

tées. Les critères de vitesse, de faibles courants de fuite et de résistance à l'état passant devront principalement être examinés. On examinera également, dans le cas des échantillonneurs-bloqueurs, le paramètre injection de charges, et dans le cas des filtres digitaux, la densité d'intégration.

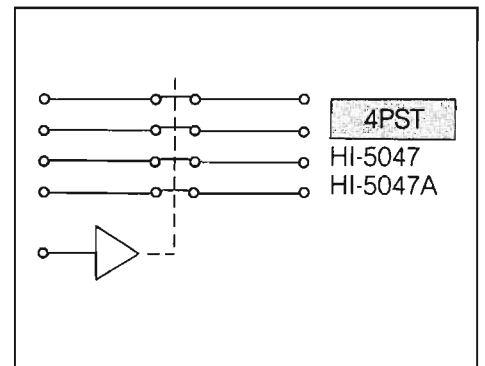
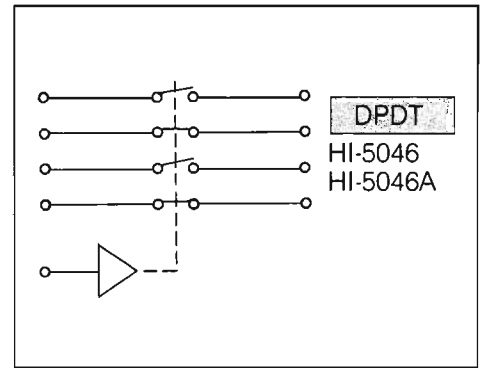
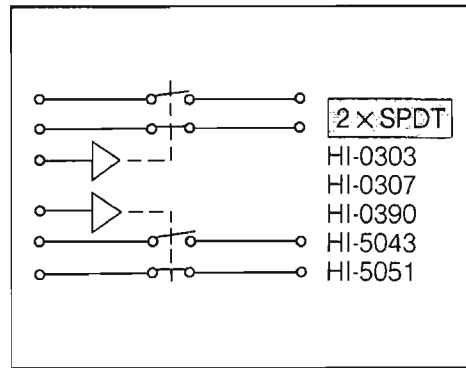
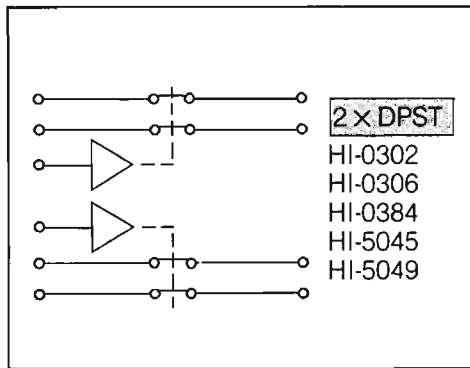
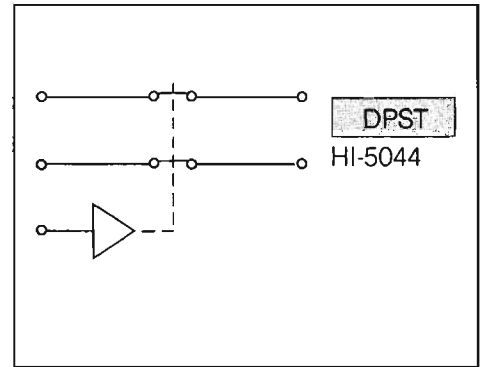
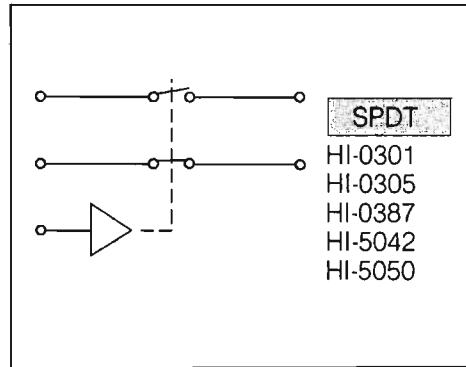
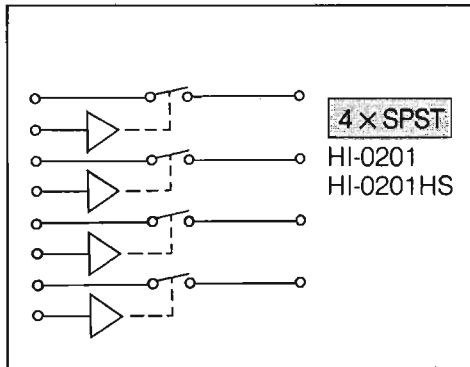
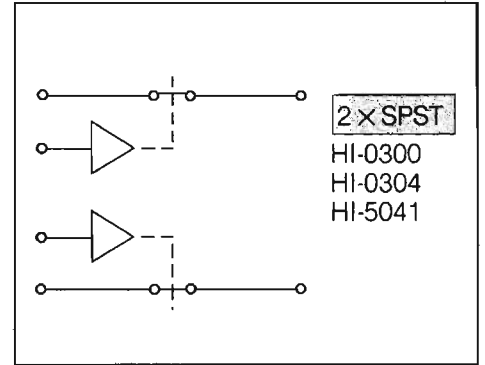
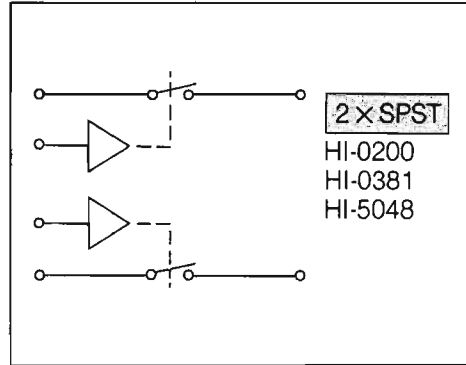
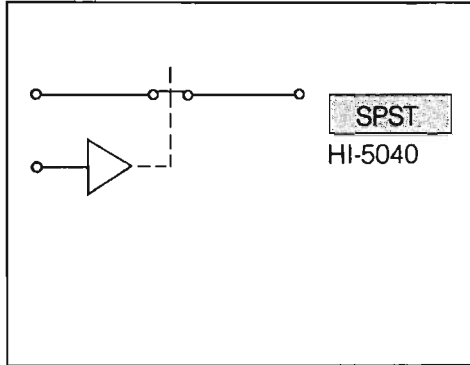


Le choix des commutateurs analogiques CMOS

Afin de choisir le commutateur le plus adéquat pour l'application envisagée, on se demandera d'abord, en fonction de ce qui a été dit plus haut, quels sont les paramètres importants à prendre en compte. On se reportera ensuite au tableau suivant, qui établit pour chaque paramètre le "hit parade" des différentes familles de commutateurs Harris, classées de 1 (signifiant paramètre excellent pour cette famille), à 3 (paramètre moyen). Ces familles de commutateurs sont au nombre de 5 : le HI-200, le HI-201, le HI-201HS, la série HI-300 (HI-300 à HI-390) et la série HI-5040/5050 (HI-5040 à HI-5051). Ce choix de famille étant fait, on se reportera enfin au tableau donnant les fonctions disponibles pour chaque famille.

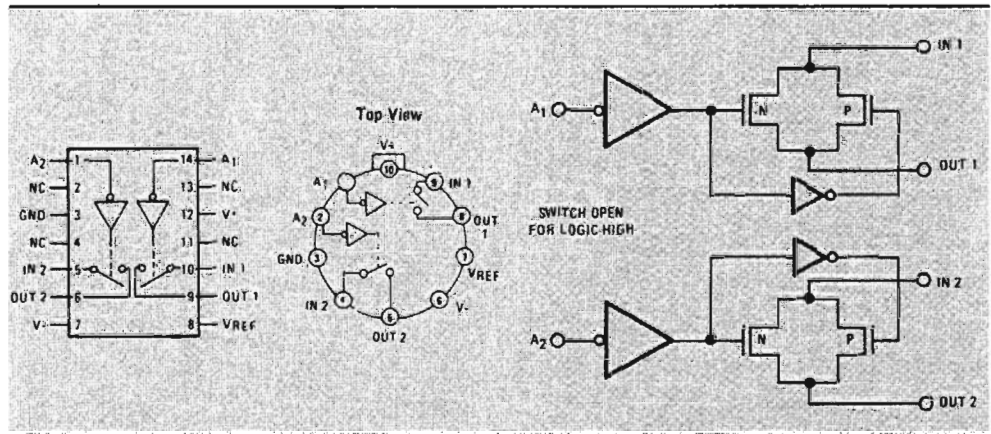
PARAMÈTRE	HI-200	HI-201	HI-201 HS	HI-300 (série)	HI-5040 (série)
Résist. état passant			2	3	1
Temps de commut.		3	1	2	
Courants de fuite			2	1	3
Diaphonie/Isolement		1	3		2
Capacités parasites	3	1	1		2
80 mA par canal	X	X	X		X
Coût	2	1		3	
Densité d'intégration		1	1	3	2

Les fonctions disponibles sont les suivantes (tous les états de commutation montrés le sont pour une commande logique à 1) :



Le HI-0200

Ce commutateur analogique double SPST offre la possibilité de commuter jusqu'à 80 mA, présente de faibles capacités parasites, et bénéficie d'un coût attractif, le destinant plus particulièrement aux applications d'aiguillage de signaux (télécommunications, audio), aux applications de multiplexage de faible nombre de voies ne justifiant pas l'usage d'un multiplexeur, ainsi qu'aux applications de commutation haute fréquence. Sa tension d'alimentation maximum est de 44 V différentiels et il est pourvu d'une entrée de sélection du type de compatibilité de l'entrée logique de commande (TTL ou CMOS).



ABSOLUTE MAXIMUM RATINGS

Supply Voltage	44V (±22)	Total Power Dissipation*	450mW
V _{REF} to Ground	+20V, -5V	Operating Temperature	
Digital Input Voltage:	+V _{Supply} +4V	HI-200-2	-55°C to +125°C
	-V _{Supply} -4V	HI-200-4	-20°C to +85°C
Analog Input Voltage (One Switch)	+V _{Supply} +2.0V	HI-200-5	0°C to +75°C
	-V _{Supply} -2.0V	Storage Temperature	-65°C to +150°C

*Derate 6mW/°C Above T_A = 75°C

ELECTRICAL CHARACTERISTICS

Unless Otherwise Specified

Supplies = +15V, -15V; V_{REF} = Open; V_{AH}(Logic Level High) = 2.4V V_{AL}(Logic Level Low) = +0.8V

For Test Conditions, consult Performance Characteristics

PARAMETER	TEMP.	HI-200-2 -55°C to +125°C			HI-200-5 ** 0°C to +75°C			UNITS
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
ANALOG SWITCH CHARACTERISTICS								
V _S , Analog Signal Range	Full	-15		+15	-15		+15	V
R _{ON} , On Resistance (Note 1)	+25°C		55	70		55	80	Ω
	Full		80	100		72	100	Ω
I _{S(OFF)} , Off Input Leakage Current (Note 6)	+25°C		1			1		nA
	Full		100	500		10	500	nA
I _{D(OFF)} , Off Output Leakage Current (Note 6)	+25°C		1			1		nA
	Full		100	500		10	500	nA
I _{D(ON)} , On Leakage Current (Note 6)	+25°C		.02			.02		nA
	Full		6	500		6	500	nA
DIGITAL INPUT CHARACTERISTICS								
V _{AL} , Input Low Threshold	Full			0.8			0.8	V
V _{AH} , Input High Threshold	Full	2.4			2.4			V
I _A , Input Leakage Current (High or Low) (Note 2)	Full			1.0			1.0	μA
SWITCHING CHARACTERISTICS								
t _{OPEN} , Break - Before Make Delay (Note 3)	+25°C		60			60		ns
t _{on} , Switch on Time	+25°C		240	500		240		ns
t _{off} , Switch off Time	+25°C		330	500		500		ns
"Off Isolation" (Note 4)	+25°C		70			70		dB
C _{S(OFF)} , Input Switch Capacitance	+25°C		5.5			5.5		pF
C _{D(OFF)} , Output Switch Capacitance	+25°C		5.5			5.5		pF
C _{D(ON)} , Output Switch Capacitance	+25°C		11			11		pF
C _A , Digital Input Capacitance	+25°C		5			5		pF
C _{DS(OFF)} , Drain-To-Source Capacitance	+25°C		0.5			0.5		pF
POWER REQUIREMENTS (Note 5)								
P _D , Power Dissipation	+25°C		15			15		mW
	Full			60			60	mW
I ⁺ , Current	+25°C		0.5			0.5		mA
	Full			2.0			2.0	mA
I ⁻ , Current	+25°C		0.5			0.5		mA
	Full			2.0			2.0	mA

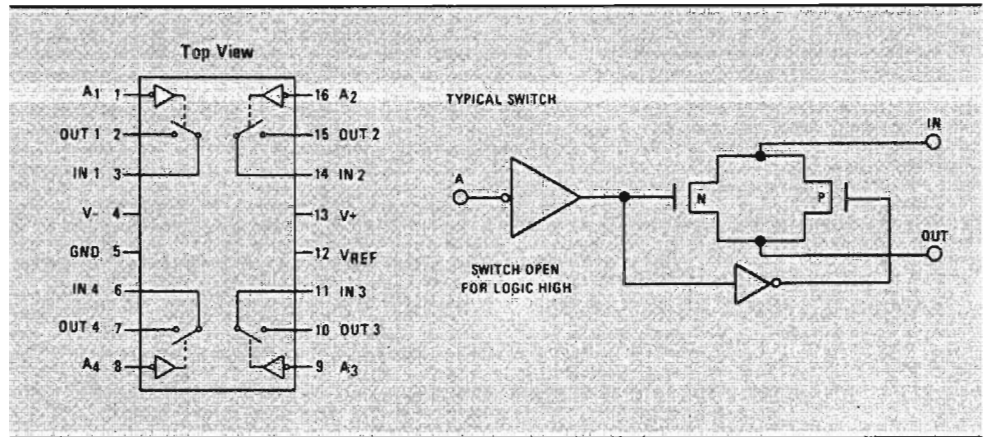
- NOTES: 1. V_{OUT} = ±10V I_{OUT} = 1mA
 2. Digital Inputs Are MOS Gates - Typical Leakage Is Less Than 1nA
 3. V_{AH} = 4.0V

4. V_A = +5V, R_L = 1KΩ, C_L = 10pF, V_S = 3VRMS, f = 100kHz
 5. V_A = +3V or V_A = 0V For Both Switches
 6. Refer to leakage current measurement diagram on page (3-8)

** Note: HI-200-4 has same specifications as HI-200-5 over the temperature range -20°C to +85°C.

Le HI-0201

Ce commutateur quadruple SPST offre la possibilité de commuter 80 mA, présente de faibles capacités parasites, un bon rapport d'isolation entrée-sortie à l'état bloqué, un bon rapport de diaphonie; sa densité d'intégration et son coût le rendront particulièrement bien adapté aux applications de commutation de puissance (commande de relais, lampes, aiguilles d'imprimante, etc.), aux applications d'aiguillage de signaux (télécommunications, audio), aux applications haute fréquence ainsi qu'au multiplexage de faible nombre de voies ne justifiant pas l'usage d'un multiplexeur. Sa tension d'alimentation maximum est de 44 V différentiels, et il est pourvu d'une entrée de sélection du type de logique de commande qui lui est connectée.



ABSOLUTE MAXIMUM RATINGS

Supply Voltage Between Pins 4 and 13	44V (±22)	Total Power Dissipation*	750mW
V _{REF} to Ground	+20V, -5V	Operating Temperature	
Digital Input Voltage:	V _{Supply} (+) +4V	HI-201-2	-55°C to +125°C
	V _{Supply} (-) -4V	HI-201-4	-20°C to +85°C
Analog Input Voltage (One Switch)	+V _{Supply} +2.0V	HI-201-5	0°C to +75°C
	-V _{Supply} -2.0V	Storage Temperature	-65°C to +150°C

*Derate 8mW/°C Above T_A = +75°C

ELECTRICAL CHARACTERISTICS

Unless Otherwise Specified

Supplies = +15V, -15V; V_{REF} = Open; V_{AH} (Logic Level High) = 2.4V V_{AL} (Logic Level Low) = +0.8V

For Test Conditions, consult Performance Characteristics

PARAMETER	TEMP.	HI-201-2			HI-201-5 **			UNITS
		-55°C to +125°C			0°C to +75°C			
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
ANALOG SWITCH CHARACTERISTICS								
V _S , Analog Signal Range	Full	-15		+15	-15		+15	V
R _{ON} , On Resistance (Note 1)	+25°C		55	70		55	80	Ω
	Full		80	100		75	100	Ω
I _S (OFF), Off Input Leakage Current (Note 6)	+25°C		2			2		nA
	Full			500			250	nA
I _O (OFF), Off Output Leakage Current (Note 6)	+25°C		2			2		nA
	Full			500			250	nA
I _O (ON), On Leakage Current (Note 6)	+25°C		2			2		nA
	Full			500			250	nA
DIGITAL INPUT CHARACTERISTICS								
V _{AL} , Input Low Threshold	Full			0.8			0.8	V
V _{AH} , Input High Threshold	Full	2.4			2.4			V
I _A , Input Leakage Current (High or Low) (Note 2)	Full			1.0			1.0	μA
SWITCHING CHARACTERISTICS								
t _{OPEN} , Break - Before Make Delay (Note 3)	+25°C		30			30		ns
t _{ON} , Switch ON Time	+25°C		185	500		185		ns
t _{OFF} , Switch OFF Time	+25°C		220	500		220		ns
"Off Isolation" (Note 4)	+25°C		80			80		dB
C _S (OFF), Input Switch Capacitance	+25°C		5.5			5.5		pF
C _D (OFF), {	+25°C		5.5			5.5		pF
C _D (ON) } Output Switch Capacitance	+25°C		11			11		pF
C _A , Digital Input Capacitance	+25°C		5			5		pF
C _{DS} (OFF), Drain-To-Source Capacitance	+25°C		0.5			0.5		pF
POWER REQUIREMENTS (Note 5)								
P _D , Power Dissipation	+25°C		15			15		mW
	Full			60			60	mW
I ₊ , Current (Pin 13)	+25°C		0.5	2.0		0.5	2.0	mA
	Full							mA
I ₋ , Current (Pin 4)	+25°C		0.5	2.0		0.5	2.0	mA
	Full							mA

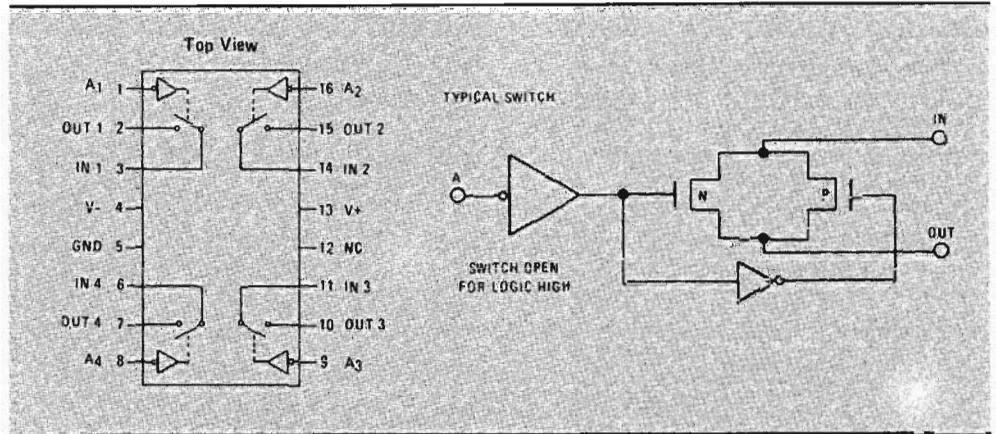
NOTES
 1. V_{OUT} = +10V I_{OUT} = 1mA
 2. Digital Inputs Are MOS Gates - Typical Leakage is Less Than 1nA
 3. V_{AH} = 4.0V

4. V_A = 5V, R_L = 1KΩ, C_L = 10pF, V_S = 3V RMS, f = 100KHz
 5. V_A = +3V or V_A = 0V For all Switches
 6. Refer to leakage current measurement diagram on page (3-14)

** Note: HI-201-4 has same specifications as HI-201-5 over the temperature range -20°C to +85°C.

Le HI-0201HS

D'introduction récente, ce commutateur analogique présente des caractéristiques inégalées sur le marché en temps de commutation, résistance à l'état passant, courants de fuite, courant maximum commuté, et densité d'intégration. Toutes ces caractéristiques le feront préférer dans les applications d'interruption de signaux (échantillonneurs-bloqueurs, filtres digitaux à capacités commutées), ainsi qu'en haute fréquence.



ABSOLUTE MAXIMUM RATINGS (Note 1)

Supply Voltage Between Pins 4 and 13	+36V	Total Power Dissipation*	750mW
Digital Input Voltage:	$V_{Supply(+)} +4V$ $V_{Supply(-)} -4V$	Operating Temperature	HI-201HS-2 -55°C to +125°C HI-201HS-4 -20°C to +85°C HI-201HS-5 0°C to +75°C
Analog Input Voltage (One Switch)	+ $V_{Supply} +2.0V$ - $V_{Supply} -2.0V$	Storage Temperature	-65°C to +150°C

*Derate 8mW/°C Above $T_A = +75°C$

ELECTRICAL CHARACTERISTICS Unless Otherwise Specified, Supplies = +15V, -15V; V_{AH} (Logic Level High) = 5.0V; V_{AL} (Logic Level Low) = +0.8V

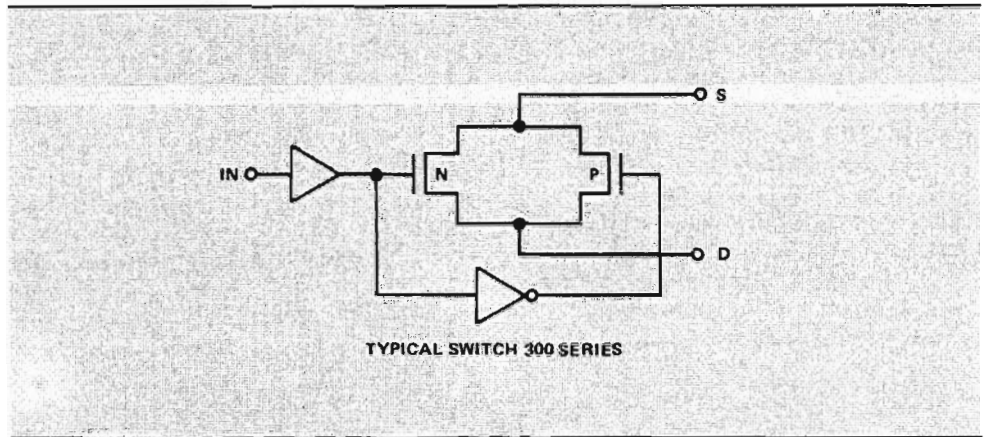
PARAMETER	TEMP.	HI-201HS-2 HI-201HS-5			UNITS
		MIN.	TYP.	MAX.	
ANALOG SWITCH CHARACTERISTICS					
V_S , Analog Signal Range	Full	-15		+15	V
R_{ON} , On Resistance (Note 2)	+25°C Full		30 50	75	Ω Ω
$I_{S(OFF)}$, Off Input Leakage Current	+25°C Full		.3 10	100	nA nA
$I_{D(OFF)}$, Off Output Leakage Current	+25°C Full		.3 10	100	nA nA
$I_{D(ON)}$, On Leakage Current	+25°C Full		.1 10	100	nA nA
DIGITAL INPUT CHARACTERISTICS					
V_{AL} , Input Low Threshold	Full			0.8	V
V_{AH} , Input High Threshold	+25°C Full	2.0 2.4			V V
I_{AL} , Input Leakage Current (Low)	Full			500	μA
I_{AH} , Input Leakage Current (High)	Full			40	μA
SWITCHING CHARACTERISTICS					
t_{ON} , Switch ON Time (Note 3)	+25°C		30	50	ns
t_{OFF} , Switch OFF Time (Note 3)	+25°C		40	50	ns
"Off Isolation" (Note 4)	+25°C		72		dB
Crosstalk (Note 5)	+25°C		86		dB
Charge Injection (Note 6)	+25°C		10		pC
$C_{S(OFF)}$, Input Switch Capacitance	+25°C		10		pF
$C_{D(OFF)}$, Output Switch Capacitance	+25°C		10		pF
$C_{D(ON)}$	+25°C		30		pF
C_A , Digital Input Capacitance	+25°C		18		pF
$C_{DS(OFF)}$, Drain-to-Source Capacitance	+25°C		.5		pF
POWER REQUIREMENTS (Note 7)					
P_D , Power Dissipation	+25°C Full		120	240	mW mW
I^+ , Current (Pin 13)	+25°C Full		4.5	10.0	mA mA
I^- , Current (Pin 4)	+25°C Full		3.5	6	mA mA

NOTES:

- Absolute maximum ratings are limiting values, applied individually, beyond which the serviceability of the circuit may be impaired. Functional operability under any of these conditions is not necessarily implied.
- $V_{OUT} = \pm 10V$, $I_{OUT} = 1mA$
- $R_L = 1k\Omega$, $C_L = 35pF$, $V_{IN} = +10V$, $V_A = +5V$
- $V_A = 5V$, $R_L = 1k\Omega$, $C_L = 10pF$, $V_S = 3 VRMS$, $f = 100kHz$
- $V_A = 5V$, $R_L = 1k\Omega$, $f = 100kHz$, $V_{IN} = 2Vp-p$
- $C_L = 1000pF$, $V_{IN} = 0V$, $R_{IN} = 0\Omega$
 $\Delta Q = C_L \times \Delta V_O$
- $V_A = 5V$ or $V_A = 0$ for all switches.

La série HI-300

Cette série qui comporte trois double SPST, trois SPDT, trois double DPST, trois double SPDT présente des courants de fuite extrêmement faibles, alliés à de bonnes performances en temps de commutation et en résistance à l'état passant. Les types HI-300, 301, 302, 303, 381, 384, 387 et 390 sont compatibles TTL. Les types HI-304, 305, 306, 307 sont compatibles CMOS. Les applications conseillées de cette série seront la commutation de gain et les circuits interrupteurs de signal (échantillonneurs-bloqueurs).



DUAL SPST HI-300 & HI-304
(TOP VIEWS)

LOGIC	SWITCH
0	OFF
1	ON

*The substrate and case are internally tied to V-. (The case should not be used as the V- connection, however.)

SPDT HI-301 & HI-305
(TOP VIEWS)

LOGIC	SW 1	SW 2
0	OFF	ON
1	ON	OFF

*The substrate and case are internally tied to V-. (The case should not be used as the V- connection, however.)

DUAL DPST HI-302 & HI-306
(TOP VIEW)

LOGIC	SWITCH
0	OFF
1	ON

DUAL SPDT HI-303 & HI-307
(TOP VIEW)

LOGIC	SW 1	SW 3	SW 2	SW 4
0	OFF	ON	ON	OFF
1	ON	OFF	OFF	ON

DUAL SPST HI-381
(TOP VIEWS)

LOGIC	SW 1	SW 2
0	ON	OFF
1	OFF	ON

*The substrate and case are internally tied to V-. (The case should not be used as the V- connection, however.)

SPDT HI-387
(TOP VIEWS)

LOGIC	SW 1	SW 2
0	OFF	ON
1	ON	OFF

*The substrate and case are internally tied to V-. (The case should not be used as the V- connection, however.)

DUAL DPST HI-384
(TOP VIEW)

LOGIC	SW 1 - 4
0	OFF
1	ON

DUAL SPDT HI-390
(TOP VIEW)

LOGIC	SW 1	SW 3	SW 2	SW 4
0	OFF	ON	ON	OFF
1	ON	OFF	OFF	ON

**Caractéristiques
des types HI-300 à HI-307 :**

ABSOLUTE MAXIMUM RATINGS (Note 1)

Voltage Between Supplies	44V (±22V)	Total Power Dissipation	
Digital Input Voltage	V ⁺ +4.0V V ⁻ -4.0V	14 Pin Epoxy DIP	526mW
		14 Pin Ceramic DIP	588mW
		10 Pin Metal Can*	435mW
		*Derate 6.9mW/0°C Above T _A = 70°C	
Analog Input Voltage	V ⁺ 1.5V V ⁻ 1.5V	Operating Temperature	HI-3XX-2 -55°C to +125°C HI-3XX-5 0°C to +75°C
		Storage Temperature	-65°C to +150°C

ELECTRICAL CHARACTERISTICS

Unless otherwise specified; Supplies = +15V, -15V; V_{IN} = Logic Input.
 HI-300-303 : V_{IN} - for Logic "1" = 4V, for Logic "0" = 0.8V
 HI-304-307 : V_{IN} - for Logic "1" = 11V, for Logic "0" = 3.5V

PARAMETER	TEMP	-55°C to +125°C			0°C to +75°C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
ANALOG SWITCH CHARACTERISTICS								
Analog Signal Range	Full	-15		+15	-15		+15	V
R _{ON} ON Resistance (Note 2)	+25°C		35	50		35	50	Ω
	Full		40	75		40	75	Ω
I _{SOFF} OFF Input Leakage Current (Note 3)	+25°C		0.04	1		0.04	5	nA
	Full		1	100		0.2	100	nA
I _{DOFF} OFF Output Leakage Current (Note 3)	+25°C		0.04	1		0.04	5	nA
	Full		1	100		0.2	100	nA
I _{DON} ON Leakage Current (Note 4)	+25°C		0.03	1		0.03	5	nA
	Full		0.5	100		0.2	100	nA
DIGITAL INPUT CHARACTERISTICS								
V _{INL} Input Low Level *	Full			0.8			0.8	V
V _{INH} Input High Level *	Full	4			4			V
V _{INL} Input Low Level **	Full			3.5			3.5	V
V _{INH} Input High Level **	Full	11			11			V
I _{INL} Input Leakage Current (Low) (Note 5)	Full			1			1	μA
I _{INH} Input Leakage Current (High) (Note 5)	Full			1			1	μA
SWITCHING CHARACTERISTICS								
t _{OPEN} Break-Before-Make Delay ***	+25°C		60			60		ns
t _{ON} Switch On Time *	+25°C		210	300		210	300	ns
t _{OFF} Switch Off Time *	+25°C		160	250		160	250	ns
t _{ON} Switch On Time **	+25°C		160	250		160	250	ns
t _{OFF} Switch Off Time **	+25°C		100	150		100	150	ns
Off Isolation (Note 6)	+25°C		60			60		dB
Charge Injection (Note 7)	+25°C		3			3		mV
C _{SOFF} Input Switch Capacitance	+25°C		16			16		pF
C _{DOFF} Output Switch Capacitance	+25°C		14			14		pF
C _{DON} Output Switch Capacitance	+25°C		35			35		pF
C _{IN} (High) Digital Input Capacitance	+25°C		5			5		pF
C _{IN} (Low) Digital Input Capacitance	+25°C		5			5		pF
POWER REQUIREMENTS								
I ⁺ Current * (Note 8)	+25°C		0.09	0.5		0.09	0.5	mA
	Full			1			1	mA
I ⁻ Current * (Note 8)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁺ Current * (Note 9)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁻ Current * (Note 9)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁺ Current ** (Note 10)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁻ Current ** (Note 10)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁺ Current ** (Note 11)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA
I ⁻ Current ** (Note 11)	+25°C		0.01	10		0.01	100	μA
	Full			100			100	μA

* HI-300 thru HI-303 Only; ** HI-304 thru HI-307 Only; *** HI-301, HI-303, HI-305, HI-307 Only

**Caractéristiques
des types HI-381 à HI-390 :**

ABSOLUTE MAXIMUM RATINGS (Note 1)

Voltage Between Supplies	44V (±22)	Total Power Dissipation	
Digital Input Voltage	V ⁺ +4.0V V ⁻ -4.0V	14 Pin Epoxy DIP	526mW
		14 Pin Ceramic DIP	588mW
		16 Pin Epoxy DIP	625mW
		16 Pin Ceramic DIP	685mW
		10 Pin Metal Can*	435mW
Analog Input Voltage	V ⁺ +1.5V V ⁻ -1.5V	*Derate 6.9mW/°C above T _A = 70°C	
		Operating Temperature	
		HI-3XX-2	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C	HI-3XX-5	0°C to +75°C

ELECTRICAL CHARACTERISTICS

Unless otherwise specified; Supplies = +15V, -15V; VIN = Logic Input, VIN for logic "1" = 4V, for logic 0 = .8V

PARAMETER	TEMP	-55°C to +125°C			0°C to +75°C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
ANALOG SWITCH CHARACTERISTICS								
Analog Signal Range	FULL	-15		+15	-15		+15	V
RON ON Resistance (Note 2)	+25°C		35	50		35	50	Ω
	FULL		40	75		40	75	Ω
ISOFF OFF Input Leakage Current (Note 3)	+25°C		.04	1		.04	5	nA
	FULL		1	100		0.2	100	nA
IDOFF OFF Output Leakage Current (Note 3)	+25°C		.04	1		.04	5	nA
	FULL		1	100		0.2	100	nA
IDON ON Leakage Current (Note 4)	+25°C		.03	1		.03	5	nA
	FULL		0.5	100		0.2	100	nA
DIGITAL INPUT CHARACTERISTICS								
VINL Input Low Level	FULL			.8			.8	V
VINH Input High Level	FULL	4			4			V
IINH Input Leak. Current (High) (Note 5)	FULL			1			1	μA
IINL Input Leak. Current (Low) (Note 5)	FULL			1			1	μA
SWITCHING CHARACTERISTICS								
tOPEN, Break-Before Make Delay (HI-387/390 only)	+25°C		60			60		ns
tON, Switch ON Time	+25°C		210	300		210	300	ns
tOFF, Switch OFF Time	+25°C		160	250		160	250	ns
OFF Isolation (Note 6)	+25°C		60			60		dB
Charge Injection (Note 7)	+25°C		3			3		mV
CSOFF Input Switch Capacitance	+25°C		16			16		pF
CSOFF Output Switch Capacitance	+25°C		14			14		pF
CSOFF Output Switch Capacitance	+25°C		35			35		pF
CIN (High) Digital Input Capacitance	+25°C		5			5		pF
CIN (Low) Digital Input Capacitance	+25°C		5			5		pF
POWER REQUIREMENTS								
I+ Current (Note 8)	+25°C		.09	.5		.09	.5	mA
	FULL			1			1	mA
I- Current (Note 8)	+25°C		.01	10		.01	100	μA
	FULL			100				μA
I+ Current (Note 9)	+25°C		.01	10		.01	100	μA
	FULL			100				μA
I- Current (Note 9)	+25°C		.01	10		.01	100	μA
	FULL			100				μA

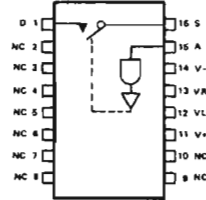
La série HI-5040

Cette série se distingue principalement par sa faible résistance à l'état passant (25 Ohms pour certains types), ses faibles capacités parasites, et ses bons rapports d'isolation entrée-sortie et dia-phonie. Elle offre en outre un grand nombre de fonctions : un SPST, deux doubles SPST, un DPST, deux doubles DPST, deux doubles SPDT, deux DPDT et deux 4PST. Les applications conseillées sont la commande de puissance et les applications haute fréquence. La plupart des fonctions sont disponibles en 2 versions de Ron.

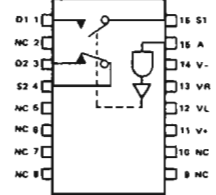
FONCTIONS REPRÉSENTÉES POUR UNE COMMANDE "O"

SINGLE CONTROL

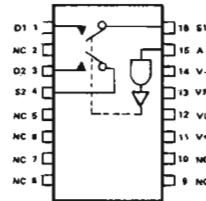
SPST
HI-5040 (75Ω)



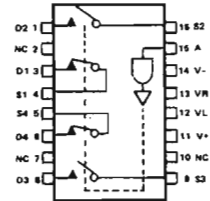
SPDT
HI-5042 (75Ω)
HI-5050 (25Ω)



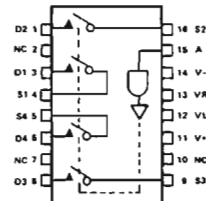
DPST
HI-5044 (75Ω)



DPDT
HI-5046 (75Ω)
HI-5046A (25Ω)

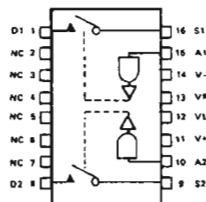


4 SPST
HI-5047 (75Ω)
HI-5047A (25Ω)

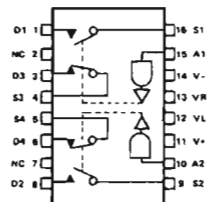


DUAL CONTROL

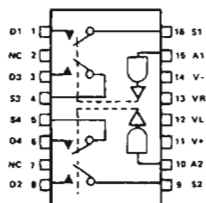
DUAL SPST
HI-5041 (75Ω)



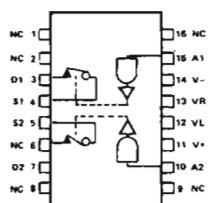
DUAL SPDT
HI-5043 (75Ω)
HI-5051 (25Ω)



DUAL DPST
HI-5045 (75Ω)
HI-5049 (25Ω)



DUAL SPST
HI-5048 (25Ω)



Caractéristiques électriques de la série HI-5040/HI-5050 :

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V^+ - V^-)	36V	Analog Current (S to D)	80mA
V_R to Ground	V^+ , V^-	Total Power Dissipation*	450mW
Digital and Analog Input Voltage	V^+ +4V V^- -4V	Operating Temperature	
		HI-50XX-2	-55°C to +125°C
		HI-50XX-5	0°C to +75°C
		Storage Temperature	-65°C to +150°C

*Derate 6mW/°C above $T_A = 75^\circ\text{C}$

ELECTRICAL CHARACTERISTICS

Unless Otherwise Specified

Supplies = +15V, -15V; $V_R = 0\text{V}$; V_{AH} (Logic Level High) = 3.0V; V_{AL} (Logic Level Low) = +0.8V, $V_L = +5\text{V}$

For Test Conditions, consult Performance Characteristics

PARAMETER	TEMP	-55°C to +125°C			0°C to +75°C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
ANALOG SWITCH CHARACTERISTICS								
Analog Signal Range	Full	-15		+15	-15		+15	V
R_{on} , "ON" Resistance (Note 1a)	+25°C		50	75		50	75	Ω
R_{on} , "ON" Resistance (Note 1b)	+25°C		25			25		Ω
R_{on} , Channel-to-Channel Match (Note 1a)	+25°C		2	10		2	10	Ω
R_{on} , Channel-to-Channel Match (Note 1b)	+25°C		1	5		1	5	Ω
$I_{S(OFF)} = I_{D(OFF)}$, Off Input or Output Leakage Current	+25°C		0.8			0.8		nA
$I_{D(ON)}$, On Leakage Current	+25°C		100	500		100	500	nA
	Full		0.01			0.01		nA
	Full		2	500		2	500	nA
DIGITAL INPUT CHARACTERISTICS								
V_{AL} , Input Low Threshold	Full			0.8			0.8	V
V_{AH} , Input High Threshold	Full	3.0			3.0			V
I_A , Input Leakage Current (High or Low)	Full		.01	1.0		.01	1.0	μA
SWITCHING CHARACTERISTICS								
t_{on} , Switch "ON" Time	+25°C		370	1000		370	1000	ns
t_{off} , Switch "OFF" Time	+25°C		280	500		280	500	ns
Charge Injection (Note 2)	+25°C		5	20		5		mV
"OFF Isolation" (Note 3)	+25°C	75	80			80		dB
"Crosstalk" (Note 3)	+25°C	80	88			88		dB
$C_{S(OFF)}$, Input Switch Capacitance	+25°C		11			11		pF
$C_{D(OFF)}$, Output Switch Capacitance	+25°C		11			11		pF
$C_{D(ON)}$, Output Switch Capacitance	+25°C		22			22		pF
C_A , Digital Input Capacitance	+25°C		5			5		pF
$C_{DS(OFF)}$, Drain-To-Source Capacitance	+25°C		0.5			0.5		pF
POWER REQUIREMENTS								
P_D , Quiescent Power Dissipation	+25°C		1.5			1.5		mW
I^+ , +15V Quiescent Current	Full			0.3			0.5	mA
I^- , -15V Quiescent Current	Full			0.3			0.5	mA
I_L , +5V Quiescent Current	Full			0.3			0.5	mA
I_R , Gnd Quiescent Current	Full			0.3			0.5	mA

- NOTES: 1. $V_{OUT} = \pm 10\text{V}$, $I_{OUT} = 1\text{mA}$
a) For HI-5040 thru HI-5047
b) For HI-5048 thru HI-5051, HI-5046A/5047A
2. $V_{IN} = 0\text{V}$, $C_L = 10,000\text{pF}$
3. $R_L = 100\Omega$, $f = 100\text{KHz}$, $V_{IN} = 2\text{V}_{pp}$, $C_L = 5\text{pF}$

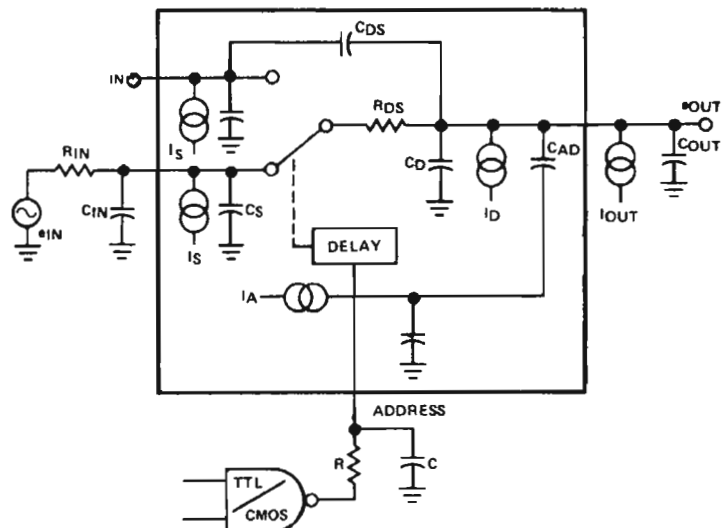
L'utilisation des commutateurs analogiques CMOS

On trouvera ci-dessous un certain nombre de remarques susceptibles de faciliter la tâche des utilisateurs de commutateurs analogiques CMOS; cette liste ne prétend pas être exhaustive, mais elle correspond à un certain nombre de demandes de renseignements complémentaires sur ces commutateurs.

1 - Les alimentations : toujours découpler les alimentations desservant les circuits où sont utilisés les commutateurs; cela améliorera les performances en dynamique, mais aussi protégera ces commutateurs des tensions statiques lorsque la carte qui les incorpore est laissée en l'air.

2 - L'interface avec la logique de commande : les entrées de commande des commutateurs sont généralement programmables pour assurer la compatibilité avec la logique de commande. C'est la fonction des broches V-ref sur les HI-200 et 201 (V-ref en l'air pour compatibilité TTL, ou raccordée à une alimentation positive supérieure à 10 V pour compatibilité CMOS avec basculement au point milieu des alimentations); c'est aussi la fonction de la broche VL pour la série 5040 (avec cette fois VL à + 5 V pour compatibilité TTL et VL à plus de + 10 V pour compatibilité CMOS); VR sur cette série 5040 doit être relié au commun. La série 300 offre des types différents, soit compatibles TTL, soit compatibles CMOS. On se souviendra toutefois que ces compatibilités concernent les niveaux électriques et que les étages d'entrées digitales sont constitués de transistors MOSFET, imposant donc suivant les types de commande une résistance de rappel à Vcc (résistance de "pull-up").

3 - On trouvera ci-après le schéma électrique équivalent complet d'un commutateur CMOS :



4 - Attention dans les applications de commutation de puissance à la dissipation du commutateur. Se méfier également des effets selfiques de certaines charges telles que relais, bobines, etc.

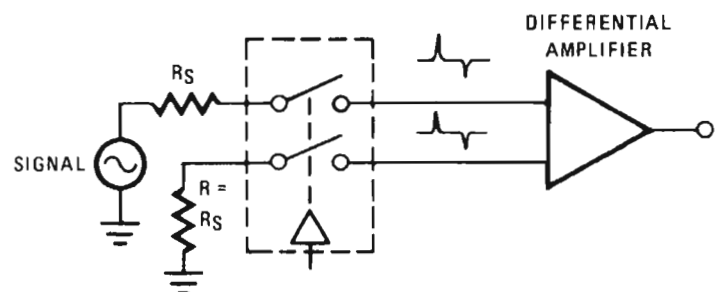
5 - Attention aux courants de fuite dans les applications d'ajustage de gain.

6 - Attention aux temps d'établissement dans les applications de multiplexage. Se méfier des sources de signaux à forte impédance interne, qui vont augmenter ces temps d'établissement

(influence du R-C constitué par l'impédance interne de la source et de la capacité parasite de sortie du commutateur).

7 - Minimiser autant que possible les longueurs des connexions dans les applications haute fréquence.

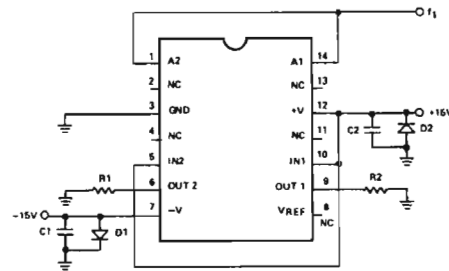
8 - Attention à l'injection de charges dans les applications d'interruption de signaux; travailler en différentiel si possible.



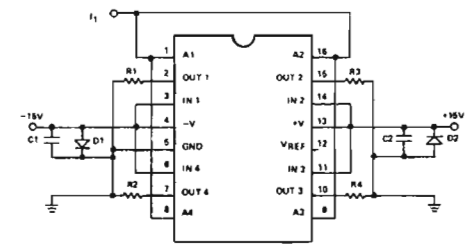
Qualité et fiabilité

La quasi totalité des commutateurs décrits sont disponibles dans les versions suivantes :

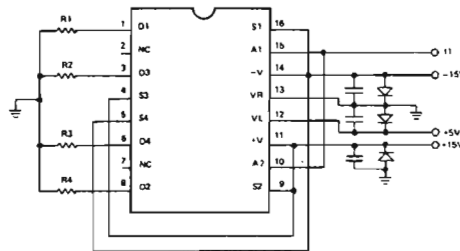
- Gamme de température civile (0 à +75°C).
- Gamme de température militaire (-55 à +125°C).
- Gamme de température militaire avec fiabilisation selon norme MIL-STD-883 niveau B. Cette procédure de fiabilisation comporte, en plus des examens et tests pratiqués sur tous les produits standards, un examen visuel interne, une stabilisation en four de 24 heures, des cycles en température, des tests d'accélération, des tests d'herméticité, un burn-in dont on trouvera plus loin la configuration, un examen externe visuel, un retest électrique à 100% et un test d'acceptation de lot.
- Gamme de température civile avec fiabilisation ; même chose que ci-dessus, mais cette fois en gamme de température civile.
- Gamme de température industrielle (-25 à +85°C).



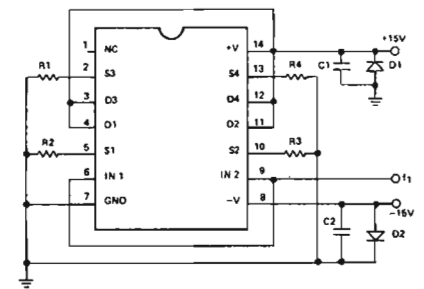
NOTES:
 $f_1 = 50\text{kHz}$
 $R_1, R_2 = 1\text{k}\Omega$
 $C_1, C_2 = .01\mu\text{F}$
 $D_1, D_2 = \text{IN4002}$
 (For Static Configuration Tie A1, A2 to Ground)



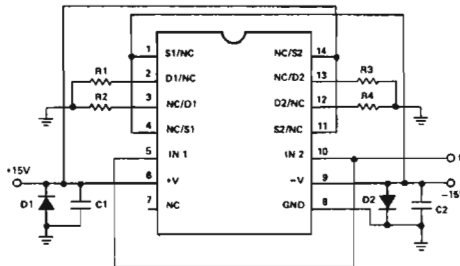
NOTES:
 $R_1, R_2, R_3, R_4 = 10\text{k}\Omega, 5\%, 1/4 \text{ or } 1/2 \text{ Watt}$
 $C_1, C_2 = .01\mu\text{F}$
 $D_1, D_2 = \text{IN4002}$
 $f = 100\text{kHz, TTL Levels (50\% Duty Cycle)}$



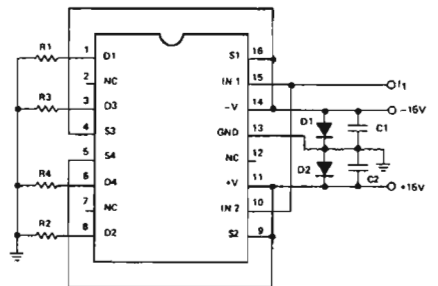
NOTES:
 $R_1 - R_4 = 10\text{k}\Omega, 5\%, 1/4 \text{ or } 1/2 \text{ Watt}$
 $C_1, C_2, C_3 = .01\mu\text{F}$
 $D_1, D_2, D_3 = \text{IN4002}$
 $f_1 = 100\text{kHz, 50\% Duty Cycle}$
 (For Static Configuration Tie Inputs (Pins 10, 15) to +5V)



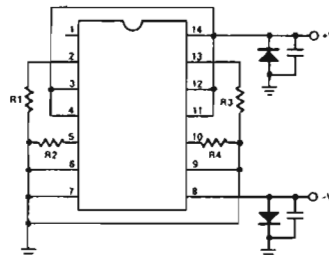
NOTES:
 $R_1, R_2, R_3, R_4 = 10\text{k}\Omega, 5\%, 1/4 \text{ or } 1/2 \text{ Watt}$
 $C_1, C_2 = .01\mu\text{F}$
 $D_1, D_2 = \text{IN4002}$
 $f_1 = 100\text{kHz, TTL Levels, (50\% Duty Cycle 0-5V)}$



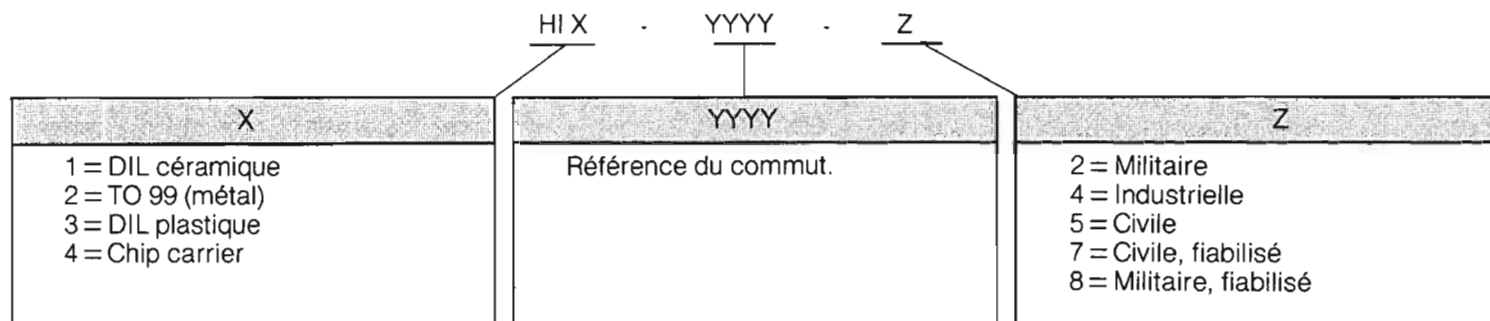
NOTES:
 $R_1 - R_4 = 10\text{k}\Omega, \pm 5\%, 1/4 \text{ or } 1/2 \text{ Watt}$
 $C_1 - C_2 = .01\mu\text{F}$
 $D_1 - D_2 = \text{IN4002}$
 $f_1 = 100\text{kHz TTL Levels, 5\% Duty Cycle}$
 (For Static Configuration Tie Input (f1) to Ground)



NOTES:
 $R_1 - R_4 = 10\text{k}\Omega, \pm 5\%, 1/4 \text{ or } 1/2 \text{ Watt}$
 $C_1 - C_2 = .01\mu\text{F}$
 $D_1 - D_2 = \text{IN4002}$
 $f_1 = 100\text{kHz, TTL Levels (0-5V), 50\% Duty Cycle}$
 (For Static Configuration Tie Inputs (f1) to +5V)



Références disponibles



Produits disponibles :

HI1-0200-2 HI1-0200-4 HI1-0200-5 HI1-0200-7 HI1-0200-8 HI2-0200-2 HI2-0200-4 HI2-0200-5	HI1-0201-2 HI1-0201-4 HI1-0201-5 HI1-0201-7 HI1-0201-8 HI3-0201-5 HI4-0201-2 HI2-0200-7	HI1-0201HS-2 HI1-0201HS-4 HI1-0201HS-5 HI1-0201HS-8 HI3-0201HS-4 HI3-0201HS-5 HI2-0200-8	HI1-0300-2 HI1-0300-5 HI1-0300-8 HI2-0300-2 HI2-0300-5 HI2-0300-8 HI3-0200-5	HI1-0301-2 HI1-0301-5 HI1-0301-8 HI2-0301-2 HI2-0301-5 HI2-0301-8	HI1-0302-2 HI1-0302-5 HI1-0302-8 HI3-0302-5
HI1-0303-2 HI1-0303-5 HI1-0303-8 HI3-0303-5	HI1-0304-2 HI1-0304-5 HI1-0304-8 HI2-0304-2 HI2-0304-5 HI2-0304-8 HI3-0304-5	HI1-0305-2 HI1-0305-5 HI1-0305-8 HI2-0305-2 HI2-0305-5 HI2-0305-8 HI3-0305-5	HI1-0306-2 HI1-0306-5 HI1-0306-8 HI3-0306-5	HI1-0307-2 HI1-0307-5 HI1-0307-8 HI3-0307-5	HI1-0381-2 HI1-0381-5 HI1-0381-8 HI2-0381-2 HI2-0381-5 HI2-0381-8 HI3-0381-5
HI1-0384-2 HI1-0384-5 HI1-0384-8 HI3-0384-5	HI1-0387-2 HI1-0387-5 HI1-0387-8 HI2-0387-2 HI2-0387-5 HI2-0387-8 HI3-0387-5	HI1-0390-2 HI1-0390-5 HI1-0390-8 HI3-0390-5	HI1-5040-2 HI1-5040-5 HI1-5040-8	HI1-5041-2 HI1-5041-5 HI1-5041-8	HI1-5042-2 HI1-5042-5 HI1-5042-8
HI1-5043-2 HI1-5043-5 HI1-5043-8 HI3-5043-5 HI4-5043-2 HI4-5043-8	HI1-5044-2 HI1-5044-5 HI1-5044-8	HI1-5045-2 HI1-5045-5 HI1-5045-8 HI3-5045-5 HI4-5045-2 HI4-5045-8	HI1-5046-2 HI1-5046-5 HI1-5046-8	HI1-5046A-2 HI1-5046A-5 HI1-5046A-8	HI1-5047-2 HI1-5047-5 HI1-5047-8
HI1-5047A-2 HI1-5047A-5 HI1-5047A-8	HI1-5048-2 HI1-5048-5 HI1-5048-8	HI1-5049-2 HI1-5049-5 HI1-5049-8 HI3-5049-5	HI1-5050-2 HI1-5050-5 HI1-5050-8	HI1-5051-2 HI1-5051-5 HI1-5051-8 HI3-5051-5	

Liste d'équivalence avec autres fabricants

INTERSIL/HARRIS

DG200	HI-200
DG201	HI-201
IH200	HI-200
IH201	HI-201
IH-5040	HI-5040
IH-5041	HI-5041
IH-5042	HI-5042
IH-5043	HI-5043
IH-5044	HI-5044
IH-5045	HI-5045
IH-5046	HI-5046
IH-5046A	HI-5046A
IH-5047	HI-5047
IH-5047A	HI-5047A
IH-5048	HI-5048
IH-5049	HI-5049
IH-5050	HI-5050
IH-5051	HI-5051

SILICONIX/HARRIS

DG200	HI-200
DG200A	HI-200
DG201	HI-201
DG201A	HI-201
DG300	HI-300
DG301	HI-301
DG302	HI-302
DG303	HI-303
DG304	HI-304
DG305	HI-305
DG306	HI-306
DG307	HI-307
DG381	HI-381
DG384	HI-384
DG387	HI-387
DG390	HI-390
DG5040	HI-5040
DG5041	HI-5041
DG5042	HI-5042
DG5043	HI-5043
DG5044	HI-5044
DG5045	HI-5045

Boîtiers disponibles

Ceux-ci sont au nombre de quatre : le boîtier dual in line céramique, le boîtier dual in line plastique, le boîtier métallique et le chip carrier.

HI-200, HI-300, HI-301, HI-304, HI-305	Boîtiers T, H, D
HI-201, HI-5043, HI-5045	Boîtiers J, E, X
HI-201HS, HI-384, HI-390	Boîtiers J, E
HI-302, HI-303, HI-306, HI-307	Boîtiers H, D
HI-381, HI-387	Boîtiers T, J, E
HI-5040/1/2/4/6/6A/7/8/9/5050/5051	Boîtier E

D	E	F	J TYPE CERDIP DUAL-IN-LINE	
G	H	J	K	N TYPE PLASTIC DUAL-IN-LINE
L	J-8 TYPE 8 PIN MINI-CERDIP			

Technical drawing of J Type Cerdip Dual-in-Line package. Dimensions shown include: A (lead height), B (lead width), C (lead thickness), D (package length), E (lead pitch), F (lead length), G (lead width), H (lead length), J (lead length), K (lead length), L (lead length), Q (lead length), S (lead length), and alpha (lead angle).

PKG. TYPE	LEAD COUNT	DIM. A	DIM. B	DIM. C	DIM. D	DIM. E	DIM. F	DIM. G	DIM. H	DIM. J	DIM. K	DIM. S	DIM. alpha
G, L	8	-.200	.014 .023	.008 .015	-.395	.220 .310	.290 .320	.030 .070	.100 BSC	.125 .200	.015 .060	-.060	0° 15°
D, H	14	-.200	.014 .023	.008 .015	-.790	.220 .310	.290 .320	.030 .070	.100 BSC	.125 .200	.015 .060	-.098	0° 15°
E, J	16	-.200	.014 .023	.008 .015	-.790	.220 .310	.290 .320	.030 .070	.100 BSC	.125 .200	.015 .060	-.060	0° 15°
F, K	18	-.200	.014 .023	.008 .015	-.950	.220 .310	.290 .320	.030 .070	.100 BSC	.125 .200	.015 .060	-.060	0° 15°

NOTE: MIN. MAX. DIMENSIONS IN INCHES

R	T	H TYPE METAL CAN, TO-99 (8 PIN) OR TO-100 (10 PIN)
----------	----------	---

Technical drawing of H Type Metal Can package. Dimensions shown include: A (height), B (width), C (lead width), D (lead length), E (lead length), F (lead length), G (lead length), J (lead length), K (lead length).

PKG. TYPE	LEAD COUNT	DIM. A	DIM. B	DIM. C	DIM. D	DIM. E	DIM. F	DIM. G	DIM. J	DIM. K
R	8	.335 .370	.165 .185	-.040	.010 .045	.500 BSC	.200	.016 .021	.027 .045	.027 .034
T	10	.335 .370	.165 .185	-.040	.010 .045	.500 BSC	.230	.016 .021	.027 .045	.027 .034

NOTE: MIN. MAX. DIMENSIONS IN INCHES

X	Y	LEADLESS CARRIER
----------	----------	-------------------------

Technical drawing of Leadless Carrier package. Dimensions shown include: A (height), B (width), C (lead width), D (lead length), E (lead length), F (lead length), G (lead length), H (lead length).

PKG. TYPE	LEAD COUNT	DIM. A	DIM. B	DIM. C	DIM. D	DIM. E	DIM. F	DIM. G	DIM. H
X	20	.017 .066	.020 .034	.064 .100	.342 .358	.342 .358	.060 0.090	.050 BSC	.040 .055
Y	28	.017 .066	.020 .034	.064 .100	.442 .458	.442 .458	.060 0.090	.050 BSC	.040 .055

NOTE: MIN. MAX. DIMENSIONS IN INCHES

MHS**CENTRE ÉLECTRONIQUE**

La Chantrerie / Route de Gâchet
BP 942
44075 NANTES Cedex
Tél. (40) 30.30.30
Télex MATHARI 711 930 F

MHS**SERVICE COMMERCIAL**

6 avenue Charles-de-Gaulle
78150 LE CHESNAY
Tél. (3) 954.80.00
Télex MATACHE 697 317 F

MHS**DISTRIBUTEURS****ALMEX S.A.**

Zone Industrielle
48 rue de l'Aubépine
92160 ANTONY
Tél. 666.21.12
Télex 250 067

A2M

18 avenue Dutartre
78150 LE CHESNAY
Tél. (3) 954.91.13
Télex 698 376

SPETELEC

Tour Europa III
94532 RUNGIS Cedex
Tél. (1) 686.56.65
Télex 250 801

FEUTRIER

Rue des 3-Glorieuses
42270 ST-PRIEST-EN-JAREZ
Tél. (77) 74.67.33
Télex 300 021

RTF

Avenue du Parc
Escalquens
31320 CASTANET-TOLOSAN
Tél. (61) 81.53.65
Télex 520 927

RTF

9 rue d'Arcueil
94250 GENTILLY
Tél. (1) 664.11.01
Télex 201 069

EPROM

185 rue de Lyon
13015 MARSEILLE
Tél. (91) 02.97.76
Télex 400 622



MATRA-HARRIS SEMICONDUCTEURS

Le "nouveau monde" des micromondes

**les portes
analogiques
C MOS
ont résolu
leurs problèmes
pour
résoudre les vôtres**

- *Plus de phénomènes latch-up*
- *Plus de chevauchements entre voies "break before make"*
- *Fiabilité accrue par la technologie C MOS*

Demandez les notes d'applications

Intersil



TRANCHANT IMPORT PROFESSIONNEL S.A.

HIGH LEVEL CMOS ANALOG GATES

Intersil



IH5040
THRU
IH5051

FEATURES

- Switches Greater Than 20Vpp Signals With $\pm 15V$ Supplies
- Quiescent Current Less Than $100\mu A$
- Overvoltage Protection to $\pm 25V$
- Break-Before-Make Switching t_{OFF} 250nsec, t_{ON} 500nsec Typical
- T²L, DTL, CMOS, PMOS Compatible
- Non-Latching With Supply Turn-Off
- Low R_{DS} (ON) – 30Ω
- New DPDT & 4PST Configurations
- Complete Monolithic Construction (Not Hybrid)

CMOS ANALOG GATE PRODUCT CONDITIONING

The following processes are performed 100% in accordance with MIL-STD-883.

Precap Visual – Method 2010, Cond. B.

Stabilization Bake – Method 1008

Temperature Cycle – Method 1010

Centrifuge – Method 2001, Cond. E

Hermeticity – Method 1014, Cond. A, C.

(Leak Rate $< 5 \times 10^{-7}$ atm cc/s)

GENERAL DESCRIPTION

The IH5040 family of solid state analog gates are designed using an improved, high voltage CMOS monolithic technology. These devices provide ease-of-use and performance advantages not previously available from solid state switches. This improved CMOS technology provides input overvoltage capability to ± 25 volts without damage to the device. Destructive latch-up of solid state analog gates has been eliminated. Early CMOS gates were destroyed when power supplies were removed with an input signal present. The IH5040 CMOS technology has eliminated this serious systems problem.

Key performance advantages of the 5040 series are TTL compatibility and ultra low-power operation. The quiescent current requirement is less than $100\mu A$. Also designed into the 5040 is guaranteed Break-Before-Make switching. This is logically accomplished by extending the t_{ON} time (500 nsec TYP.) such that it exceeds t_{OFF} time (250 nsec TYP.). This insures that an ON channel will be turned OFF before an OFF channel can turn ON. This eliminates the need for external logic required to avoid channel to channel shorting during switching.

Many of the 5040 series improve upon and are pin-for-pin and electrical replacements for other solid state switches.

FUNCTIONAL DIAGRAM

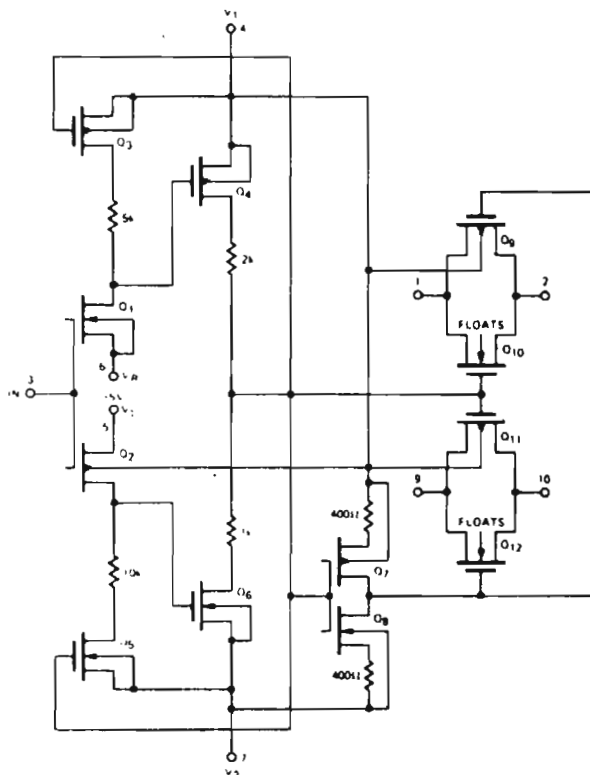


FIGURE 1. TYPICAL DRIVER, GATE – IH5042

FUNCTIONAL DESCRIPTION

INTERSIL PART NO.	TYPE	R_{ON}	REPLACEMENT FOR (Note 2)
IH5048	Dual SPST	30Ω	DG 181A/B
IH5049	Dual DPST	30Ω	DG 184A/B
IH5045	Dual DPST	75Ω	DG 185A/B
IH5050	SPDT	30Ω	DG 187A/B
IH5042	SPDT	75Ω	DG 188A/B
IH5051	Dual SPDT	30Ω	DG 190A/B
IH5043	Dual SPDT	75Ω	DG 191A/B
DG 200	Dual SPST	70Ω	DG 200A/B
IH5040	SPST	75Ω	Proprietary
IH5041	Dual SPST	75Ω	Proprietary
IH5044	DPST	75Ω	Proprietary
IH5046	DPDT	75Ω	Proprietary
IH5047	4PST	75Ω	Proprietary

NOTE 2: These devices, are available, marked and specified, as standard product. The IH5040 series is specified as an electrically superior device to the DG family.



TRANCHANT IMPORT PROFESSIONNEL

zone d'activités de courtabœuf B.P. N° 61 - 91401 ORSAY

Tél. 907-78-44 - télex 60281

LYON 62 ancienne voie romaine CRAPONNE (69290)
Tél.(78) 48.48.30 Télex : 33.310

31700 TOULOUSE 10 Avenue P. Latécoère BLAGNAC
Tél.(15.61) 85.83.04 Télex : 51.631

35000 RENNES 37, Avenue de la Motte Baril

MAXIMUM RATINGS

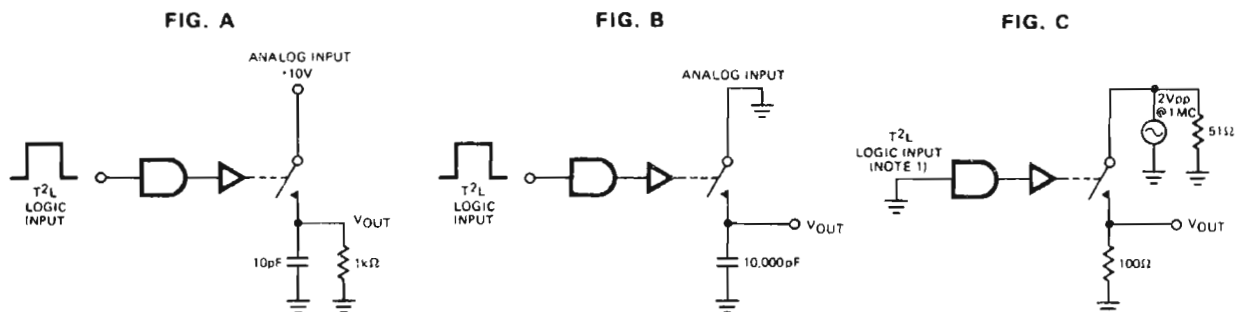
Current (Any Terminal) < 30mA
 Storage Temperature -65°C to +150°C
 Operating Temperature -55°C to +125°C
 Power Dissipation 450mW
 (All Leads Soldered to a P. C. Board)
 Derate 6mW/°C Above 70°C

$V_1 - V_2$ < 33V
 $V_1 - V_D$ < 30V
 $V_D - V_2$ < 30V
 $V_D - V_S$ < ±22V
 $V_L - V_2$ < 33V
 $V_L - V_{IN}$ < 30V
 $V_L - V_R$ < 20V
 $V_{IN} - V_R$ < 20V

ELECTRICAL CHARACTERISTICS (@ 25°C, $V_1 = +15V$, $V_2 = -15V$, $V_L = +5V$, $V_R = 0V$)

PER CHANNEL		MIN./MAX. LIMITS			UNITS	TEST CONDITIONS
SYMBOL	CHARACTERISTIC	-55°C	+25°C	+125°C		
$I_{IN(ON)}$	Input Logic Current	10	10	10	μA	$V_{IN} = 2.4V$ Note 1
$I_{IN(OFF)}$	Input Logic Current	10	10	10	μA	$V_{IN} = 0.8V$ Note 1
$R_{DS(ON)}$	Drain-Source On Resistance		75 (30)	150 (60)	Ω	(IH5048 Thru IH5051) $I_S = 1mA$, $V_{ANALOG} = -10V$ to $+10V$
$\Delta R_{DS(ON)}$	Channel to Channel $R_{DS(ON)}$ Match		25 (15)		Ω	(IH5048 Thru IH5051) I_S (Each Channel) = 1 mA
V_{ANALOG}	Min. Analog Signal Handling Capability		±11		V	$I_S = 10mA$
$I_D(OFF)$	Switch OFF Leakage Current		5	500	nA	$V_{ANALOG} = -10V$ to $+10V$
$I_D(ON) + I_S(ON)$	Switch On Leakage Current		5	500	nA	$V_D = V_S = -10V$ to $+10V$
t_{ON}	Switch "ON" Time		1		μs	$R_L = 1k\Omega$, $V_{ANALOG} = -10V$ to $+10V$ See Fig. A
t_{OFF}	Switch "OFF" Time		0.5		μs	$R_L = 1k\Omega$, $V_{ANALOG} = -10V$ to $+10V$ See Fig. A
$Q_{(INJ.)}$	Charge Injection		20		mV	See Fig. B
OIRR	Min. Off Isolation Rejection Ratio		54		dB	$f = 1MHz$, $R_L = 100\Omega$, $C_L < 5pF$ See Fig. C
I_{V1}	+ Power Supply Quiescent Current		100		μA	
I_{V2}	- Power Supply Quiescent Current		100		μA	
I_{VL}	+5 V Supply Quiescent Current		100		μA	$V_1 = +15V$, $V_2 = -15V$, $V_L = +5V$ $V_L = +5V$, $V_R = 0$ Switch Duty Cycle ≤ 10%
I_{VR}	Gnd Supply Quiescent Current		100		μA	
CCRR	Min. Channel to Channel Cross Coupling Rejection Ratio		54		dB	One Channel Off; Any Other Channel Switches as per Fig. E

TEST CIRCUITS



NOTE 1: Some channels are turned on by high "1" logic inputs and other channels are turned on by low "0" inputs; however 0.8V to 2.4V describes the min. range for switching properly. Refer to logic diagrams to see absolute value of logic input required to produce "ON" or "OFF" state.

TYPICAL ELECTRICAL CHARACTERISTICS (per channel)

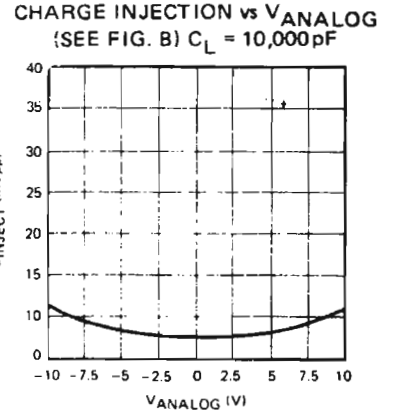
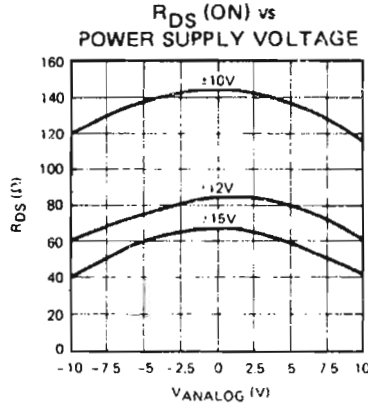
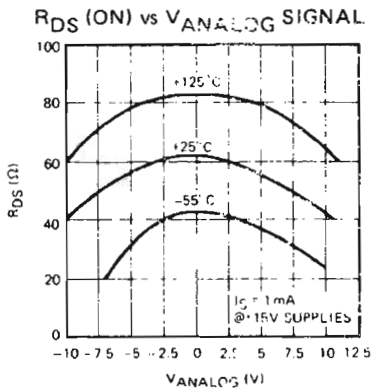


FIGURE D

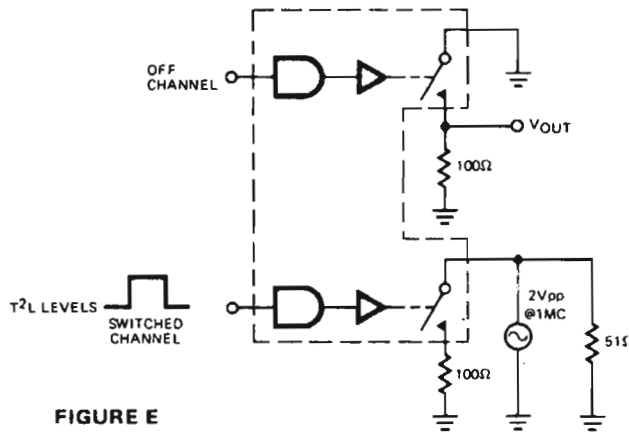
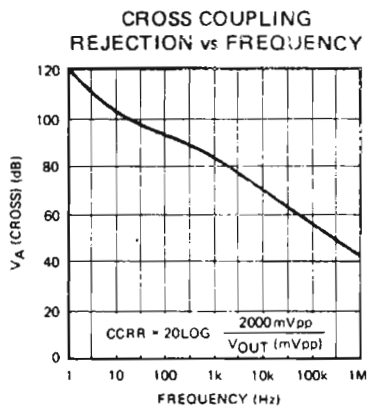


FIGURE E

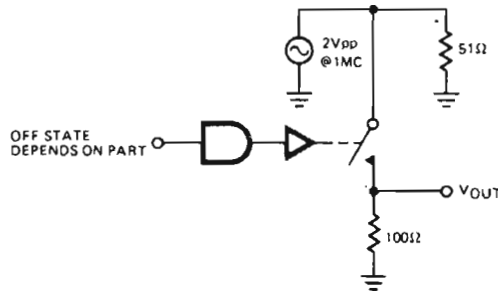
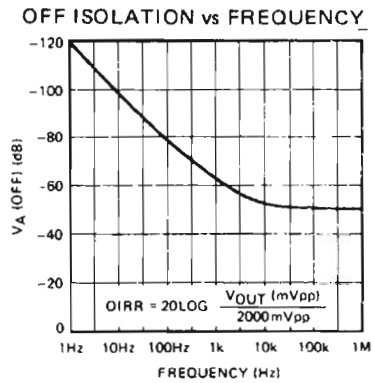


FIGURE F

POWER SUPPLY QUIESCENT CURRENT vs LOGIC FREQUENCY RATE

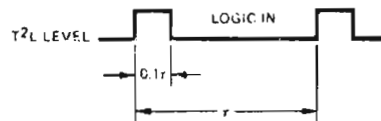
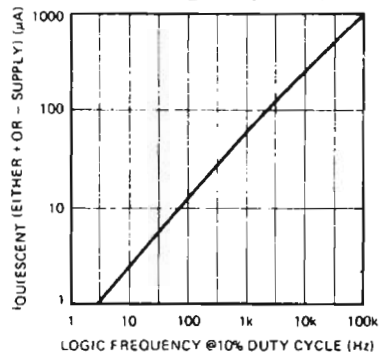
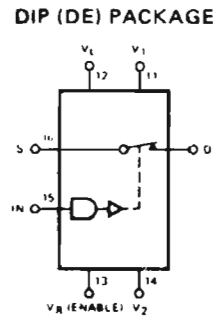
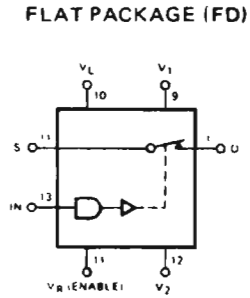


FIGURE G

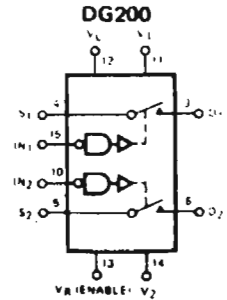
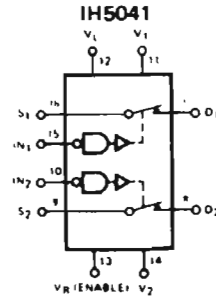
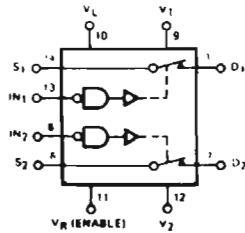
SWITCHING STATE DIAGRAMS

SWITCH STATES
ARE FOR LOGIC "1" INPUT

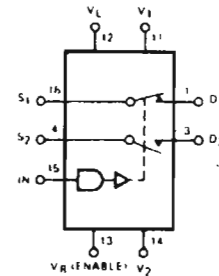
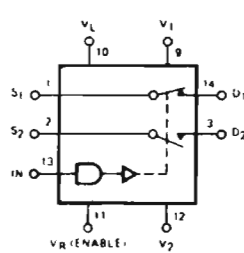
SPST
IH5040 ($R_{DS(ON)} < 75\Omega$)



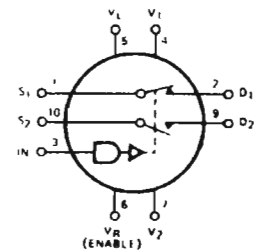
DUAL SPST
IH5041 ($R_{DS(ON)} < 75\Omega$)
DG200 ($R_{DS(ON)} < 70\Omega$)



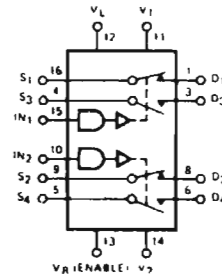
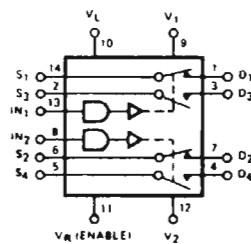
SPDT
IH5042 ($R_{DS(ON)} < 75\Omega$)



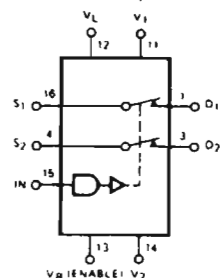
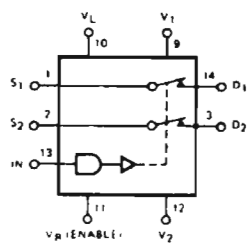
(TW) PACKAGE



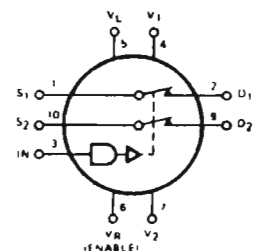
DUAL SPDT
IH5043 ($R_{DS(ON)} < 75\Omega$)



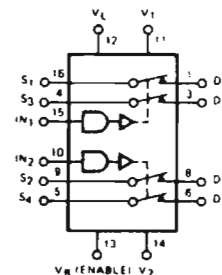
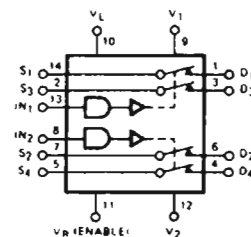
DPST
IH5044 ($R_{DS(ON)} < 75\Omega$)



(TW) PACKAGE



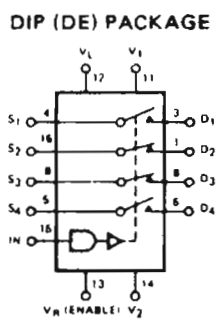
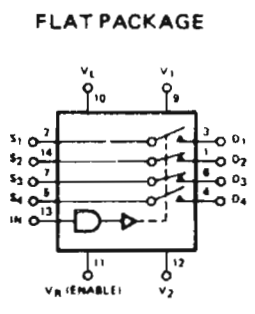
DUAL DPST
IH5045 ($R_{DS(ON)} < 75\Omega$)



SWITCHING STATE DIAGRAMS CONT.

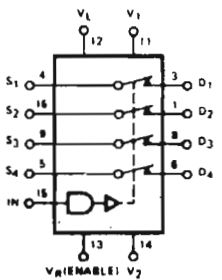
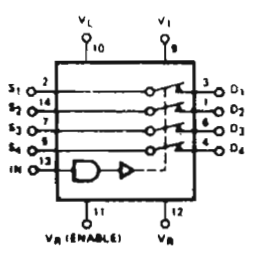
SWITCH STATES ARE FOR LOGIC "1" INPUT

DPDT
IH5046 ($R_{DS(ON)} < 75\Omega$)

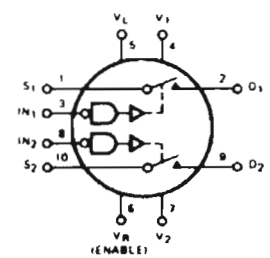
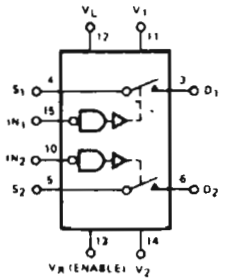
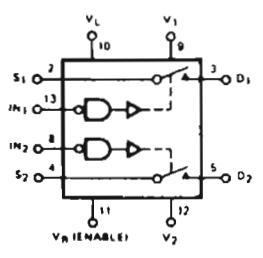


(TW) PACKAGE

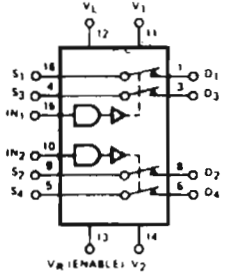
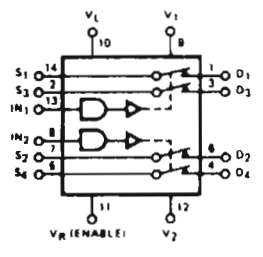
4PST
IH5047 ($R_{DS(ON)} < 75\Omega$)



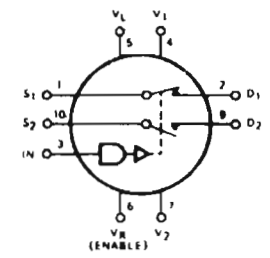
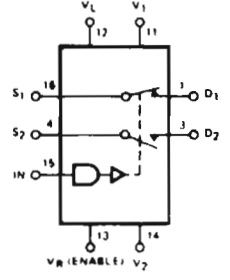
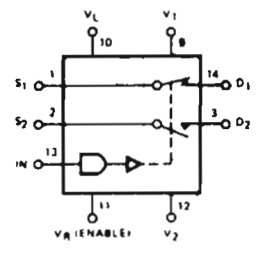
DUAL SPST
IH5048 ($R_{DS(ON)} < 30\Omega$)



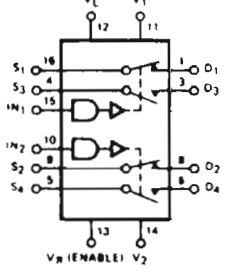
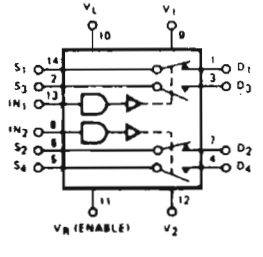
DUAL DPST
IH5049 ($R_{DS(ON)} < 30\Omega$)



SPDT
IH5050 ($R_{DS(ON)} < 30\Omega$)



DUAL SPDT
IH5051 ($R_{DS(ON)} < 30\Omega$)



APPLICATIONS

IMPROVED SAMPLE & HOLD USING IH5043

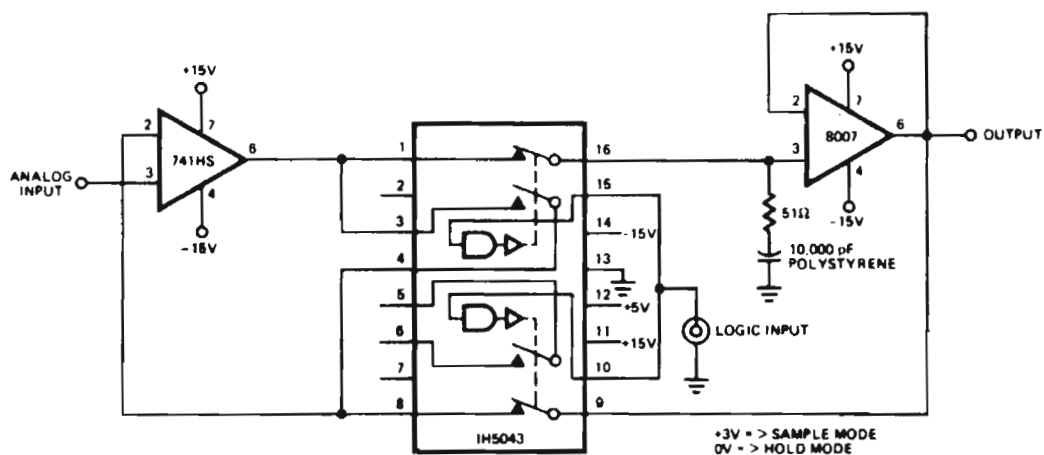


FIGURE H

USING THE CMOS SWITCH TO DRIVE AN R/2R LADDER NETWORK (2 LEGS)

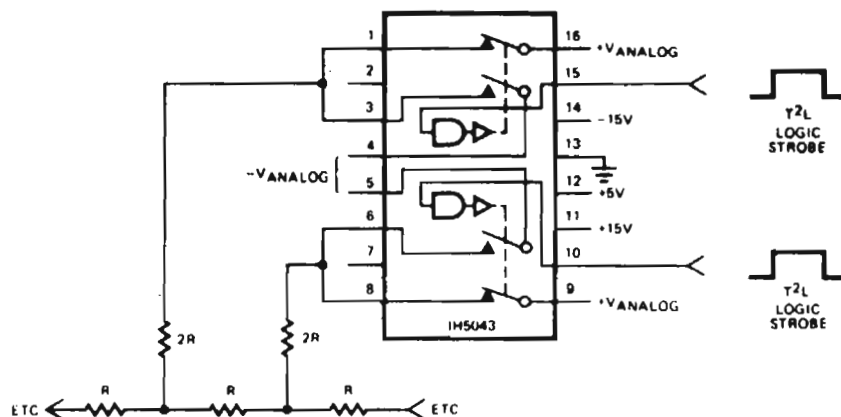


FIGURE I

EXAMPLE: If $-V_{ANALOG} = -10VDC$ and $+V_{ANALOG} = +10VDC$ then Ladder Legs are switched between $\pm 10VDC$, depending upon state of Logic Strobe.

THEORY OF OPERATION

a) FLOATING BODY CMOS STRUCTURE

In a conventional C-MOS structure, the body of the "n" channel device is tied to the negative supply, thus forming a reverse biased diode between the drain/source and the body (Fig. J). Under certain conditions this diode can become forward biased; for example, if the supplies are off (at ground) and a negative input is applied to the drain. This can have serious consequences for two reasons. Firstly, the diode has no current limiting and if excessive current flows, the circuit may be permanently damaged. Secondly, this diode forms part of a parasitic SCR in the conventional C-MOS structure. Forward biasing the diode causes the SCR to turn on, giving rise to a "latch-up" condition.

Intersil's improved C-MOS process incorporates an additional diode in series with the body (Fig. K). The cathode of this diode is then tied to $V+$, thus effectively floating the body. The inclusion of this diode not only blocks the excessive current path, but also prevents the SCR from turning on.

b) OVERVOLTAGE PROTECTION

The floating body construction inherently provides overvoltage protection. In the conventional C-MOS process, the body of all N-channel FETs is tied to the most negative power supply and the body of all P-channel devices to the most positive supply (i. e., $\pm 15V$). Thus, for an overvoltage spike of $> \pm 15V$, a forward bias condition exists between drain and body of the MOSFET. For example, in Fig. J if the analog signal input is more negative than $-15V$, the drain to body of the N-channel FET is forward biased and destruction of the device can result. Now by floating the body, using diode D_1 , the drain to body of the MOSFET is still forward biased, but D_1 is reversed biased so no current flows (up to the breakdown of D_1 which is $\geq 40V$). Thus, negative excursions of the analog signal can go up to a minimum of $-25V$. When the signal goes positive ($> +15V$), D_1 is forward biased, but now the drain to body junction is reversed for the N-channel FET; this allows the signal to go to a minimum of $+25V$ with no appreciable current flow. While the explanation above has been restricted to N-channel devices, the same applies to P-channel FETs and the construction is as shown in Fig. L. Fig. L describes an output stage showing the paralleling of an N and P channel to linearize the $R_{DS(on)}$ with signal input. The presence of diodes D_1 and D_2 effectively floats the bodies and provides over voltage protection to a minimum of $\pm 25V$.

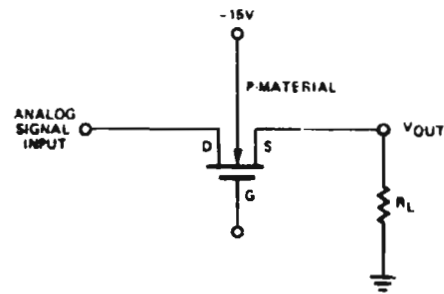


FIGURE J

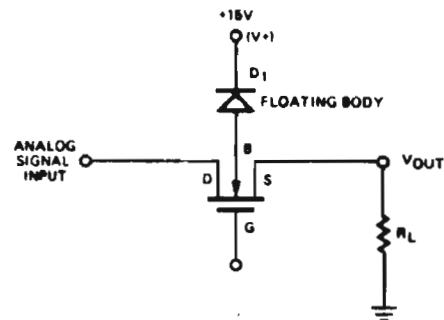


FIGURE K

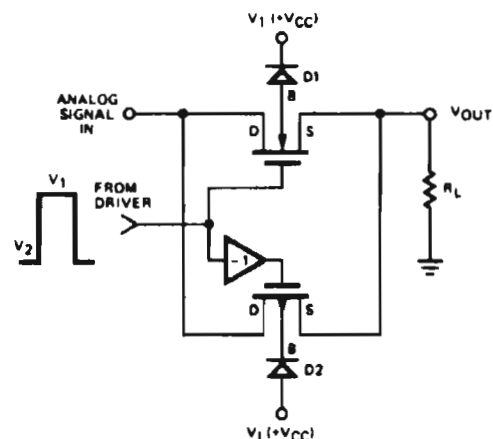
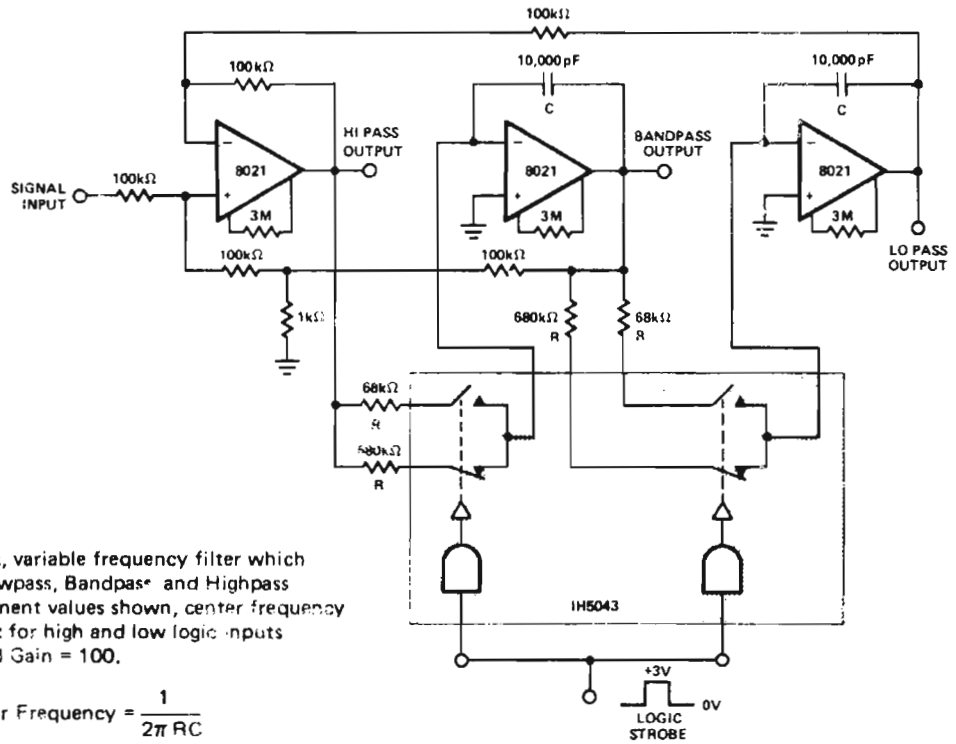


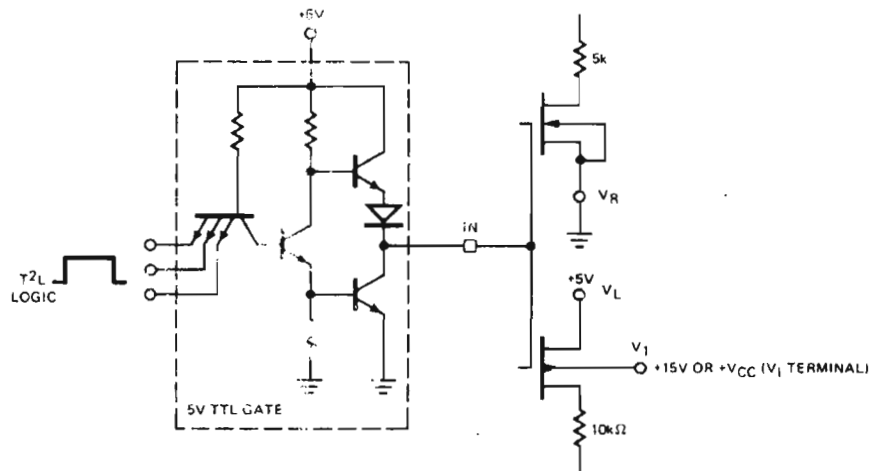
FIGURE L

DIGITALLY TUNED LOW POWER ACTIVE FILTER

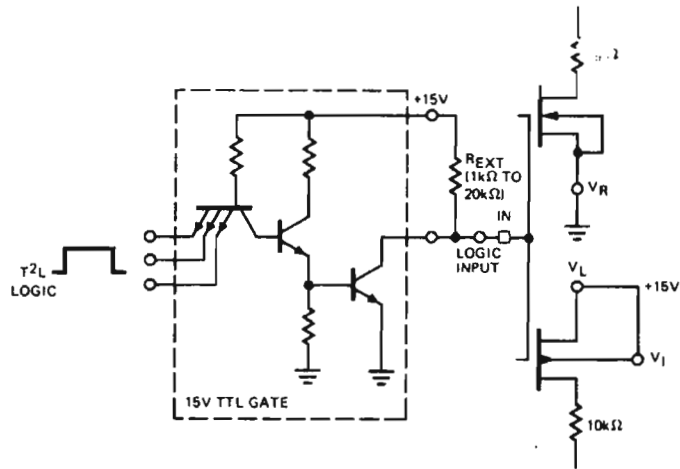


Constant gain, constant Q, variable frequency filter which provides simultaneous Lowpass, Bandpass and Highpass outputs. With the component values shown, center frequency will be 235Hz and 23.5Hz for high and low logic inputs respectively, Q = 100, and Gain = 100.

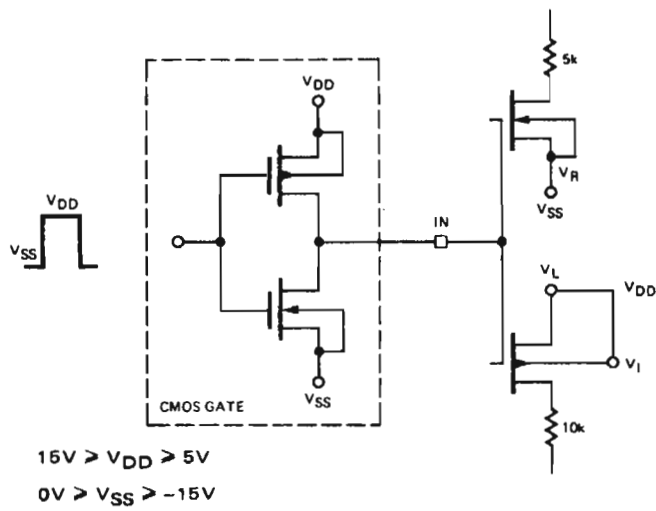
LOGIC INTERFACING



FOR INTERFACING WITH T²L OPEN COLLECTOR LOGIC.



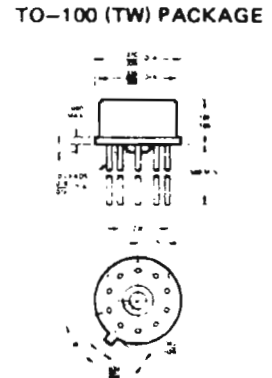
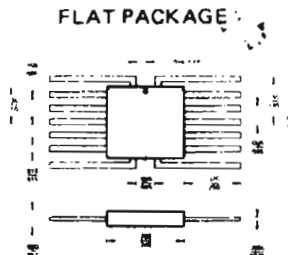
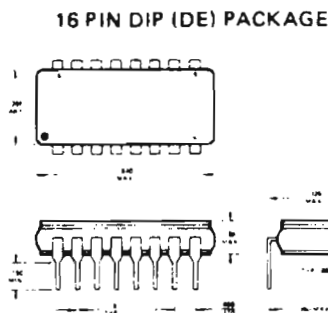
FOR USE WITH CMOS LOGIC.



ORDERING INFORMATION

TYPE	ORDER PART NUMBER	PACKAGE	TEMPERATURE RANGE	FUNCTION
DG 200	DG 200 AP	16 Pin Hermetic DIP	-55°C to 125°C	Dual SPST
	DG 200 BP	16 Pin Hermetic DIP	0°C to 70°C	Dual SPST
IH5040	IH 5040 MDE	16 Pin Hermetic DIP	-55°C to 125°C	SPST
	IH 5040 CDE	16 Pin Hermetic DIP	0°C to 70°C	SPST
	IH 5040 CPE	DIP	0°C to 70°C	SPST
	IH 5040 MFD	Flat Pak	-55°C to 125°C	SPST
IH 5041	IH 5041 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual SPST
	IH 5041 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual SPST
	IH 5041 CPE	DIP	0°C to 70°C	Dual SPST
	IH 5041 MFD	Flat Pak	-55°C to 125°C	Dual SPST
IH5042	IH 5042 MDE	16 Pin Hermetic DIP	-55°C to 125°C	SPDT
	IH 5042 CDE	16 Pin Hermetic DIP	0°C to 70°C	SPDT
	IH 5042 CPE	DIP	0°C to 70°C	SPDT
	IH 5042 MFD	Flat Pak	-55°C to 125°C	SPDT
	IH 5042 CTW	TO-100	0°C to 70°C	SPDT
	IH 5042 MTW	TO-100	-55°C to 125°C	SPDT
IH5043	IH 5043 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual SPDT
	IH 5043 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual SPDT
	IH 5043 CPE	DIP	0°C to 70°C	Dual SPDT
	IH 5043 MFD	Flat Pak	-55°C to 125°C	Dual SPDT
IH 5044	IH 5044 MDE	16 Pin Hermetic DIP	-55°C to 125°C	DPST
	IH 5044 CDE	16 Pin Hermetic DIP	0°C to 70°C	DPST
	IH 5044 CPE	DIP	0°C to 70°C	DPST
	IH 5044 MFD	Flat Pak	-55°C to 125°C	DPST
	IH 5044 CTW	TO-100	0°C to 70°C	DPST
	IH 5044 MTW	TO-100	-55°C to 125°C	DPST
IH 5045	IH 5045 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual DPST
	IH 5045 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual DPST
	IH 5045 CPE	DIP	0°C to 70°C	Dual DPST
	IH 5045 MFD	Flat Pak	-55°C to 125°C	Dual DPST
IH 5046	IH 5046 MDE	16 Pin Hermetic DIP	-55°C to 125°C	DPDT
	IH 5046 CDE	16 Pin Hermetic DIP	0°C to 70°C	DPDT
	IH 5046 CPE	DIP	0°C to 70°C	DPDT
	IH 5046 MFD	Flat Pak	-55°C to 125°C	DPDT
	IH 5046 CTW	TO-100	0°C to 70°C	DPDT
	IH 5046 MTW	TO-100	-55°C to 125°C	DPDT
IH 5047	IH 5047 MDE	16 Pin Hermetic DIP	-55°C to 125°C	4PST
	IH 5047 CDE	16 Pin Hermetic DIP	0°C to 70°C	4PST
	IH 5047 CPE	DIP	0°C to 70°C	4PST
	IH 5047 MFD	Flat Pak	-55°C to 125°C	4PST
IH5048	IH 5048 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual SPST
	IH 5048 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual SPST
	IH 5048 CPE	DIP	0°C to 70°C	Dual SPST
	IH 5048 MFD	Flat Pak	-55°C to 125°C	Dual SPST
	IH 5048 CTW	TO-100	0°C to 70°C	Dual SPST
	IH 5048 MTW	TO-100	-55°C to 125°C	Dual SPST
IH 5049	IH 5049 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual DPST
	IH 5049 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual DPST
	IH 5049 CPE	DIP	0°C to 70°C	Dual DPST
	IH 5049 MFD	Flat Pak	-55°C to 125°C	Dual DPST
IH 5050	IH 5050 MDE	16 Pin Hermetic DIP	-55°C to 125°C	SPDT
	IH 5050 CDE	16 Pin Hermetic DIP	0°C to 70°C	SPDT
	IH 5050 CPE	DIP	0°C to 70°C	SPDT
	IH 5050 MFD	Flat Pak	-55°C to 125°C	SPDT
	IH 5050 MTW	TO-100	-55°C to 125°C	SPDT
	IH 5050 CTW	TO-100	0°C to 70°C	SPDT
IH 5051	IH 5051 MDE	16 Pin Hermetic DIP	-55°C to 125°C	Dual SPDT
	IH 5051 CDE	16 Pin Hermetic DIP	0°C to 70°C	Dual SPDT
	IH 5051 CPE	DIP	0°C to 70°C	Dual SPDT
	IH 5051 MFD	Flat Pak	-55°C to 125°C	Dual SPDT

PACKAGE DIMENSIONS



NOTE: All dimensions in inches.

Intersil cannot assume responsibility for use of any circuitry described other than circuitry entirely embodied in an Intersil product. No other circuit patent licenses are implied.

■ LA TECHNOLOGIE "FLOATING BODY" REALISE CELA

Jusqu'à maintenant, les portes analogiques à haut niveau C MOS présentaient de réels problèmes. Le pire de tous était le phénomène « latch-up », apparaissant lorsqu'un signal négatif était appliqué, les alimentations étant « off ».

(Figure 1).

Au mieux, le commutateur ne fonctionnait plus, mais le plus souvent le circuit intégré complet était détruit et devait être remplacé.

C'est terminé ! La nouvelle série de portes analogiques C MOS INTERSIL IH 5040 utilise une nouvelle technologie « le floating body », qui non seulement élimine le latch-up mais protège le circuit des surtensions de ± 25 V sans dégrader la résistance « ON ». Il réalise ceci en plaçant une diode en série avec le substrat, isolant complètement la fonction du substrat. (Figure 2).

Figure 1 un passage de courant important existe quand la tension d'alimentation négative est "off" alors qu'un signal négatif est présent à l'entrée.

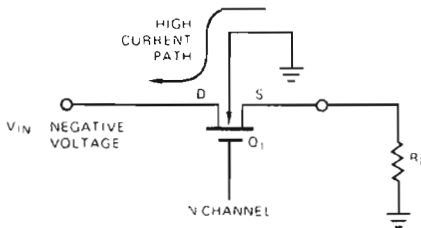
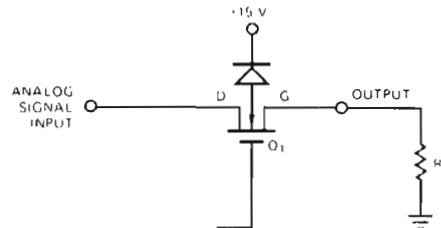


Figure 2 la technique "floating body" INTERSIL élimine le "latch-up" à l'aide d'une diode entre le corps du FET canal N et l'alimentation positive.



■ LA SERIE IH 5040, portes analogiques C MOS

Les commutateurs monolithiques peuvent manipuler des signaux positifs ou négatifs supérieurs à 25 V crête crête avec une alimentation ± 15 V. Leur résistance ON peut être de 30Ω , leur courant de repos est inférieur à $50 \mu\text{A}$. Ils peuvent être commutés en 500 ns en partant de circuits TTL, DTL, C MOS et P MOS.

Disponibles en gammes civile et militaire à des niveaux de prix pouvant atteindre \$ 2,00 par canal SPST. Ils peuvent remplacer directement un grand nombre de portes analogiques hybrides.

Référence INTERSIL	TYPE	R_{on} Ω	REPLACE :
IH 5040	SPST	75	nouvelle fonction
IH 5031	double SPST	75	DG182A/B
DG 200	double SPST	70	DG 200
IH 5042	SPDT	75	DG188A/B
IH 5043	double SPDT	75	DG191A/B
IH 5044	DPST	75	nouvelle fonction
IH 5045	double DPST	75	DG185A/B
IH 5046	DPDT	75	nouvelle fonction
IH 5047	4PST	75	nouvelle fonction
IH 5048	double SPST	30	DG181A/B
IH 5049	double DPST	30	DG184A/B
IH 5050	SPDT	30	DG187A/B
IH 5051	double SPDT	30	DG190A/B

Intersil



Demandez les notes d'applications



TRANCHANT IMPORT PROFESSIONNEL S.A.

Zone d'activités de Courtabœuf - B P n° 61 - 91401 ORSAY
Tél. 907-78-44 - Téléc 60281 F

LYON 62 ancienne voie romaine CRAPONNE (69290)
Tél.(78) 48.48.30 Téléc : 33.310

31700 TOULOUSE 10 Avenue P. Latécoère BLAGNAC
Tél.(15.61) 85.83.04 Téléc : 51.631

35000 RENNES 37, Avenue de la Motte Baril
Tél.(16.99) 50.44.28 Téléc : 74.966