

# Convertisseurs analogiques numériques rapides

par B. GILLINGS (\*)

*Généralement, les circuits intégrés bipolaires de type analogique sont fabriqués en utilisant un procédé linéaire standard. La compatibilité entre les circuits analogiques et numériques constitue la principale limitation à l'intégration de fonctions de conversion de données. Advanced Micro Devices a développé et mis au point l'utilisation d'un procédé bipolaire numérique à haute fréquence pour des fonctions analogiques. Un circuit logique rapide et très petit permet de combiner les fonctions analogiques et digitales sur le même circuit.*

LDL de type non-ou/ou à 2 entrées est représenté figure 1. La figure 2 permet de faire une comparaison avec une porte ECL typique. Ces deux figures montrent à l'évidence que la LDL est caractérisée par sa simplicité. Le tableau 1 compare les caractéristiques principales de la LDL et de l'ECL.

## L'AM 6108 convertisseur A/N 8 bits, 1 $\mu$ s, compatible microprocesseur

L'AM 6108 (fig. 3) est le premier convertisseur analogique numérique d'AMD qui exploite les avantages de la LDL. Ce convertisseur analogique numérique de 8 bits peut effectuer une conversion par approximations successives en moins de 1  $\mu$ s (typ.). Il est composé d'un convertisseur numérique-analogique 8 bits (ENA), d'un comparateur rapide, d'un registre à approximations successives (SAR), d'une référence de précision à 2,5 V et de la logique de contrôle. Les niveaux logiques de la LDL interne sont translatés et amplifiés afin

L'AM 6108, un convertisseur analogique numérique 8 bits, compatible avec un microprocesseur et, plus récemment, l'AM 6112, une fonction de même type sur 12 bits, sont les deux premiers produits à utiliser cette technique.

La tendance de ces dernières années pour les produits de conversion de données est de faire ces derniers avec une plus grande vitesse, une résolution accrue et compatibles avec les microprocesseurs. Les composants MOS permettent une grande densité d'intégration mais manquent de circuits analogiques de base rapides et précis tels que des amplificateurs ou des comparateurs.

(\*) A.M.D.

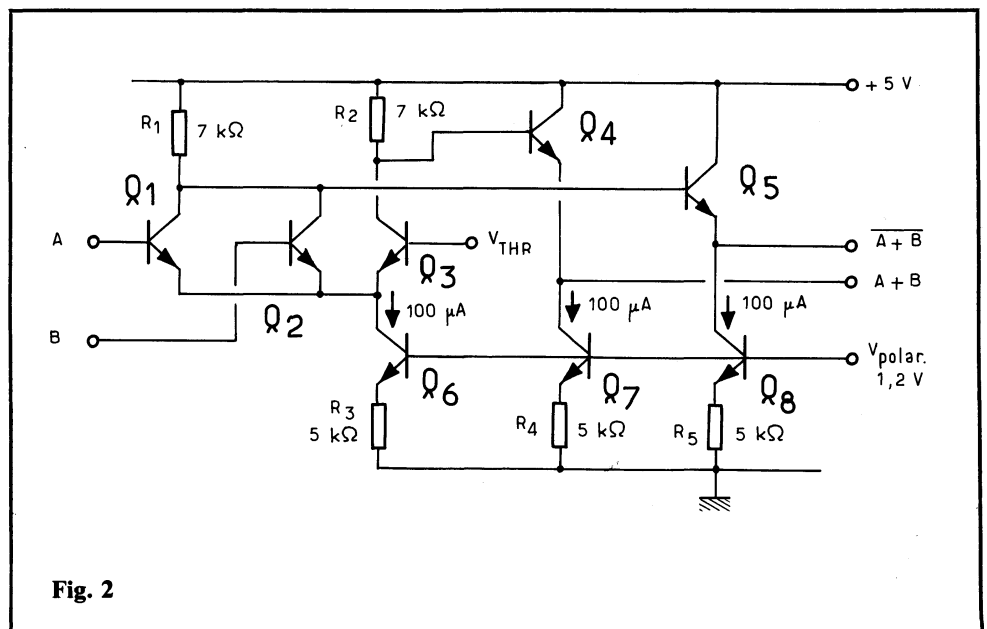


Fig. 2

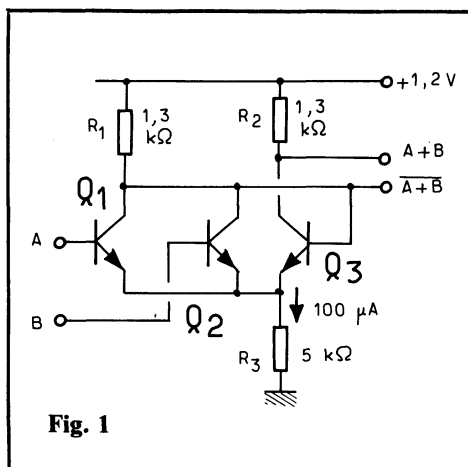


Fig. 1

Les produits d'acquisition de données, qui nécessitent la présence de circuits analogiques et numériques sur la même puce, imposent une limitation de l'intensité du courant numérique qui peut réagir sur les composants analogiques. L'ECL a l'avantage d'être contrôlée en courant, mais l'inconvénient de dissiper beaucoup. Pour résoudre ce problème tout en conservant la rapidité de l'ECL, la LDL (Logique Différentielle Linéaire) a été développée. Cette forme de logique est très ressemblante à un circuit d'applicateur différentiel. Le circuit d'une porte

d'être compatibles TTL au niveau des entrées et sorties qui interfacent l'AM 6108 avec le microprocesseur.

Grâce à la vitesse élevée de l'AM 6108, des cycles d'attente ne sont plus nécessaires pour la plupart des microprocesseurs utilisés dans les systèmes d'acquisition de données.

## L'AM 6108 avec l'AM 8085 A-2

La figure 4 nous décrit une configuration d'interface entre l'AM 8085 A-2 et l'AM 6108 dans le mode unipolaire 0 - +10 V. Dans ce cas, lors-

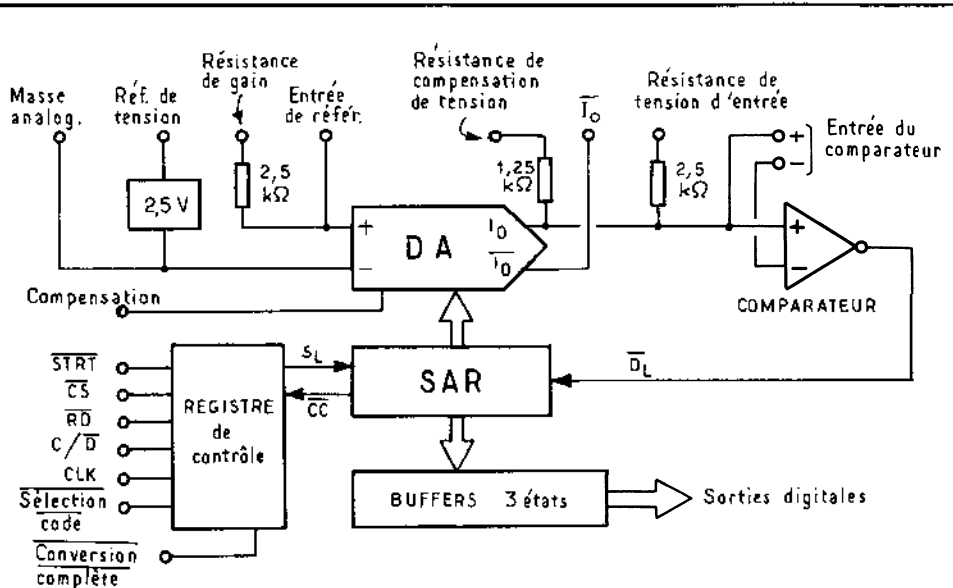


Fig. 3

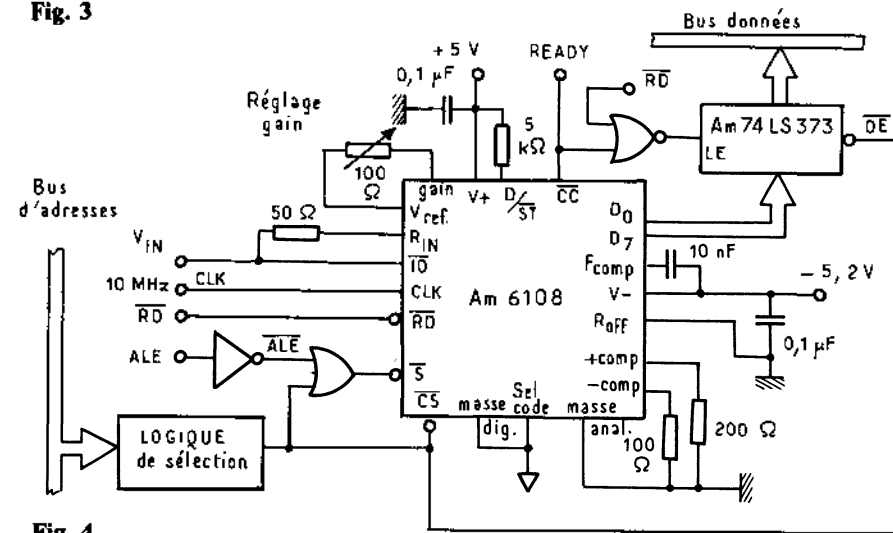


Fig. 4

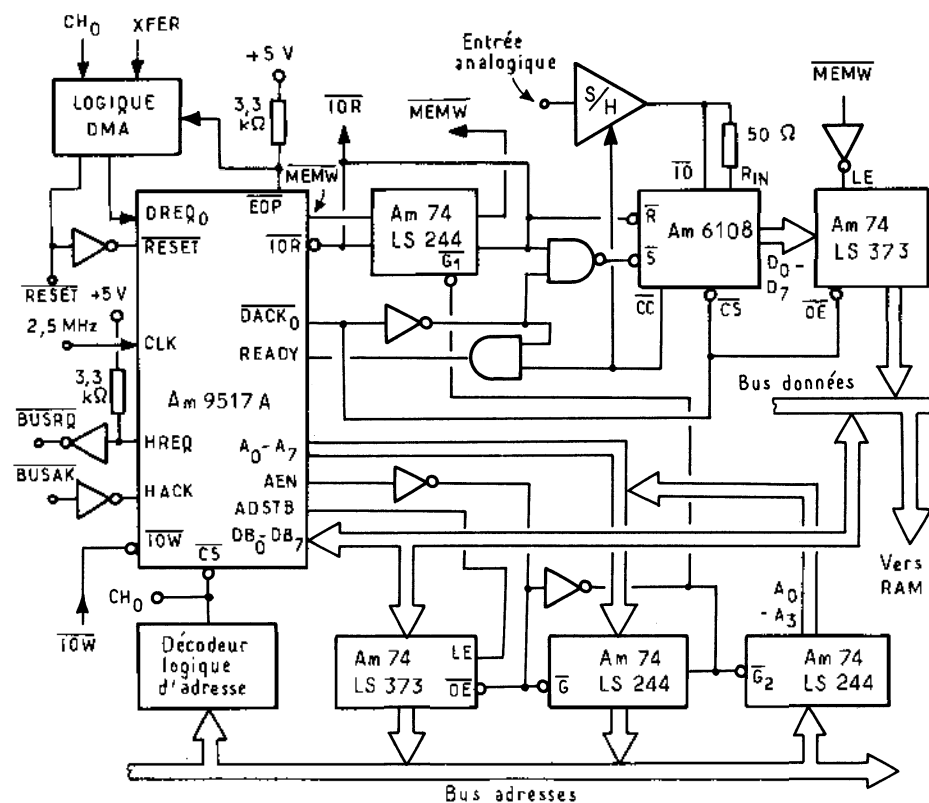


Fig. 5

que l'AM 6108 est sélectionné ( $\overline{CS} = 0$ ), le signal ALE va générer une commande de démarrage ( $\overline{S}$ ) et le convertisseur démarrera la conversion lorsque le signal ALE repassera à l'état 1. Après 8,5 périodes d'horloge, le signal de conversion complète (CC) passera à l'état 0 pour impliquer la fin de conversion. En connectant ce signal CC à l'entrée « READY » du microprocesseur, des cycles d'attente sont automatiquement insérés par celui-ci et le signal de lecture RD sera suffisamment long pour ne lire que des informations numériques valides. Les sorties du 6108 ne sont actives que si les signaux RD, CS et CC sont tous à l'état bas ; dans toutes les autres conditions, ces sorties sont en haute impédance.

### Transferts de données par blocs

Dans de nombreux systèmes d'acquisition de données, le transfert de blocs de données est souhaité. Le Z 80 et l'AmZ 8000 ont des répertoires d'instructions qui permettent le transfert par blocs après initialisation de certains registres internes en microprocesseur. Ce mode permet d'améliorer notablement la vitesse de transfert de chaque microprocesseur. Si une vitesse encore plus élevée est souhaitable, un contrôleur d'accès direct à la mémoire (DMA) tel que l'AM 9517 A peut être utilisé. L'accès direct à la mémoire est un moyen de transférer des informations entre un périphérique et la mémoire système à une vitesse beaucoup plus élevée que celle obtenue dans les transferts de données contrôlés par microprocesseur. Pendant l'échange, le CPU n'est pas actif et le contrôleur de DMA génère tous les signaux nécessaires pour transférer l'information de l'AM 6108 vers la mémoire.

La figure 5 décrit l'interface de l'AM 6108 avec l'AM 9517 A et l'AMZ 8002. Lorsque la phase d'initialisation est achevée, une acquisition de signaux à 626 kHz peut être obtenue avec ce mode de transfert par DMA. Le tableau 2 précise les niveaux de performances que l'on peut atteindre avec l'AM 6108 et différents types de microprocesseurs ou de transferts de données.

Le tableau 3 résume les caractéristiques principales de l'AM 6108.

### AM 6112 convertisseur A/D 12 bits - compatible microprocesseur

L'AM 6112 est une première dans l'industrie. Un convertisseur analogi-

que-numérique 12 bits monolithique et qui effectue les conversions en 3,3  $\mu$ s (typ.).  
Comme le 6108, l'AM 6112 utilise les avantages de la LDL et un procédé bipolaire haute vitesse.

Tableau 1. Comparaison de la logique LDL avec l'ECL.

	LDL Logic	ECL Logic
facteur de mérite	1.5 $\mu$ J	6 $\mu$ J
Délai typique	3 ns	4 ns
surface d'une porte Nor/Or	0,014 mm <sup>2</sup>	0,045 mm <sup>2</sup>
excursion de tension	130 mV	700 mV
erreur tolérée	70 mV	600 mV

Tableau 2. Performance système avec l'AM 6108.

Méthode de transfert		Fréquence (Max)
Contrôle par CPU	Am8085A-2 à 4 MHz. 3 « WAIT » introduits	129 kHz
	Am8085A-2 à 2 MHz. pas de WAIT	71,4 kHz
DMA	Am9517A à 2,5 MHz. 1 « WAIT »	625 kHz
Z80 Block Transfer	Z80 à 4 MHz. INIR Instruction. 3 Extra « WAIT ».	166,6 kHz
AmZ8002 Block Transfer	CPU à 4 MHz. INIRB Instruction. 3 Extra « WAIT ».	307,6 kHz

Tableau 3. Spécifications de l'AM6108 (Typiques).

Convertisseur A/N	
Résolution	8 bits
Monotonicité	8 bits
Non-linéarité différentielle	1/4 LSB
Linéarité	1/4 LSB
Erreur de décalage	1/2 LSB
Erreur de gain	1 LSB
Vitesse de conversion	1 $\mu$ s
Référence de tension	
Tension de sortie	2,5 V $\pm$ 0,2 %
Dérive en température	20 ppm/ $^{\circ}$ C
Régulation en ligne	0,05 %/V
Régulation en charge	0,05 %/mA
Spécifications générales	
Entrées et sorties digitales	Compatibles TTL
Gamme de température	- 55 $^{\circ}$ C à + 125 $^{\circ}$ C
Puissance dissipée	600 mW.

L'AM 6112, est plus près d'une compatibilité totale avec les microprocesseurs que n'importe quel autre produit existant. L'AM 6112 est programmable, ce qui autorise diffé-

Tableau 4. Tableau d'état de l'AM6112

Entrées de contrôle				Etat de l'AM 6112
CS	RD	WR	C/D	
1	x	x	x	Lignes de sorties (D <sub>0</sub> -D <sub>7</sub> ) en haute impédance.
0	0	0	x	Forçage en mode autonome (Mode 4)
0	1	0	1	Ecriture dans le registre de commandes
0	0	1	0	Lecture 8 bits poids faibles (sauf Mode 2)
0	0	1	1	Lecture 4 bits forts (sauf Mode 2)
0	1	0	0	Démarrage de la conversion (Modes 0-3 et autonome)

rents modes de fonctionnement. Un registre de contrôle interne, de 3 bits de large, est programmable ; cela permet de positionner un bit de sélection de code (CD SE) qui sélectionnera la sortie des données en complément à deux ou en binaire et deux bits de sélection de mode (MS1 et MS2).

Ces deux derniers sélectionnent un mode de fonctionnement parmi quatre. Un cinquième mode, qui est un mode autonome pour le 6112, est obtenu par contrôle de deux broches d'entrée du 6112.

Les quatre premiers modes de fonctionnement sont les suivants :

**Mode 0 :** conversion initialisée par le signal d'écriture (WR). Le signal de conversion complète (CC) est échantillonné par des signaux de lecture (AD) et de sélection du 6112 (CS).

**Mode 1 :** conversion initialisée par le signal de lecture (RD). CC est identique au mode 0.

**Mode 2 :** contrôle par DMA conversion initialisée par RD.

**Mode 3 :** identique au mode 0 mais CC n'est échantillonné que par CS.

La donnée résultante de la conversion est fournie en deux octets, permettant de s'interfacer facilement à un microprocesseur 8 bits ou 16 bits.

Un registre d'octet de poids fort est disponible pour mémoriser les quatre bits les plus significatifs. Ceci permet de lire ces derniers pendant qu'une autre conversion est en cours. Le contrôle du 6112 se fait par quatre lignes d'entrée : sélection du convertisseur (CS), écriture (WR), lecture (RD) et commande/données (C/D). La seule commande

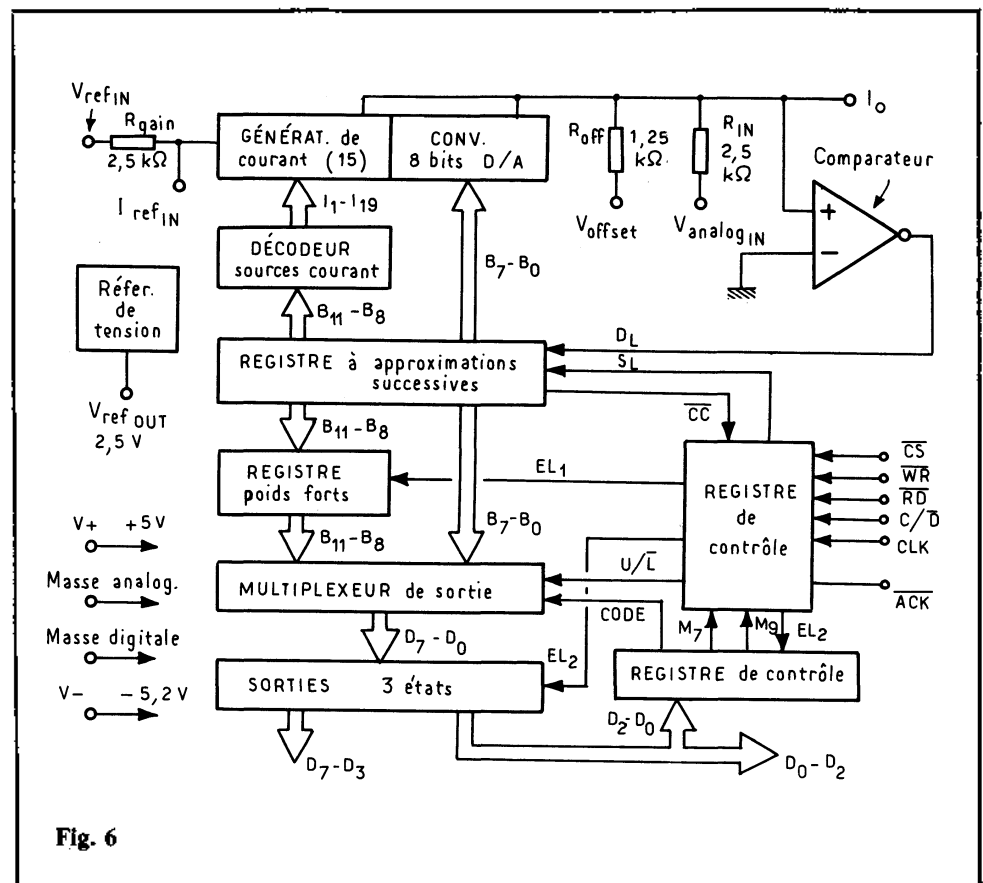
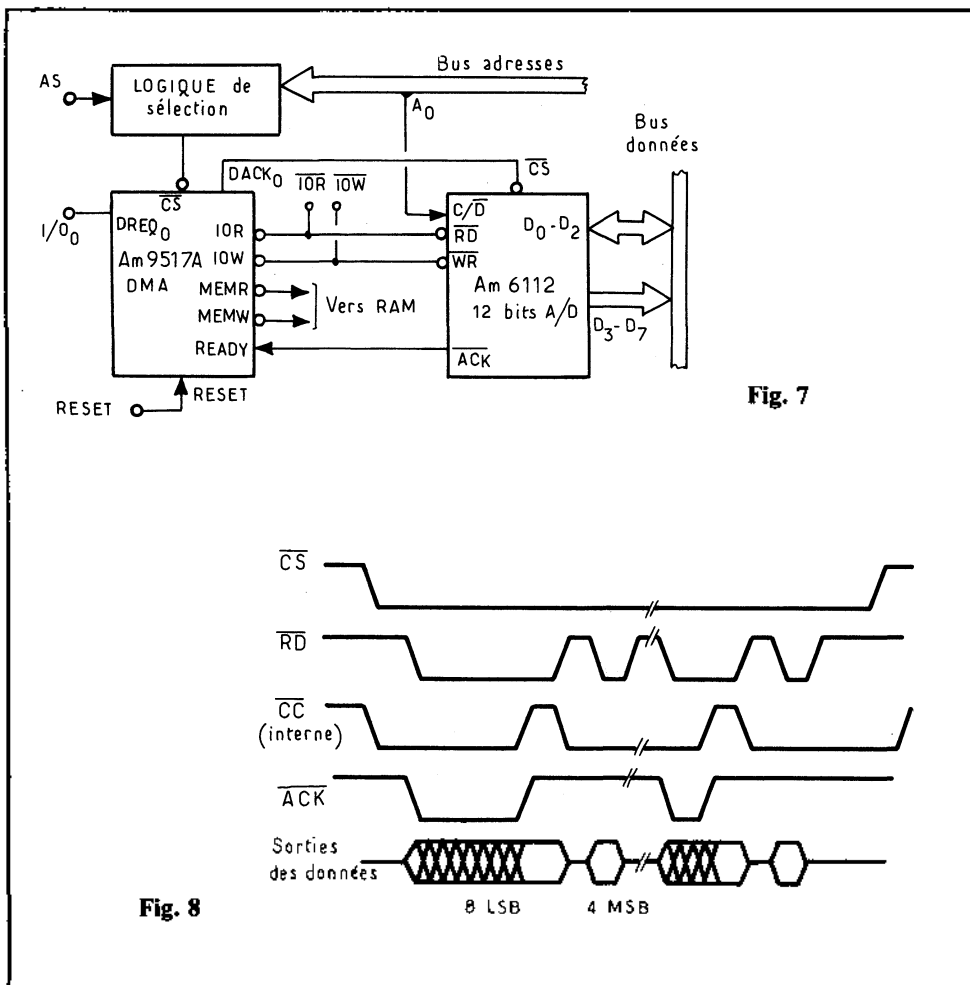


Fig. 6



La plupart des microprocesseurs vont avoir besoin de cycles d'attente, même si la vitesse de conversion du 6112 est de 3,3  $\mu$ s. Le format des données de sortie peut être arrangé de façon que les huit bits de poids faibles soient lus en premier et les quatre bits les plus significatifs pourront être lus pendant que le 6112 convertit un autre échantillon. Cela permet d'optimiser la vitesse de sortie des informations et donc de réduire au minimum le nombre de cycles d'attente. Le transfert de données par bloc avec un contrôleur de DMA est optimisé par la logique de contrôle interne du 6112 et en programmant le composant en Mode 2.

La figure 7 nous montre avec quelle facilité le 6112 peut être interfacé avec le contrôleur de DMA AM9517 A. La ligne « reconnaissance » (DACK0) ou DMA est connectée directement à l'entrée CS du 6112 et la sortie ACK du convertisseur est reliée à l'entrée READY du contrôleur DMA.

Le contrôleur DMA gère le nombre de cycles de lecture. La sortie ACK augmentera, si nécessaire, la durée du cycle de lecture du DMA en insérant des cycles d'attente pendant la lecture des 8 bits de poids faibles, ceci si le convertisseur est encore en train de faire une conversion. Les quatre bits de poids forts sont automatiquement mémorisés dans le registre interne 4 bits du 6112. Lorsque la conversion est achevée, la ligne ACK passe à l'état haut autorisant la ligne RD du DMA à passer aussi à l'état haut. Cette transition est utilisée pour démarrer un nouveau cycle de conversion. L'instruction suivante de lecture du DMA ne sera pas allongée et sera utilisée pour lire les quatre bits de poids forts. Un pointeur interne au 6112 contrôle la présence de l'octet poids forts ou poids faibles à la sortie du convertisseur.

Le transfert par blocs de données est terminé lorsque la ligne DACK0 du DMA passera à l'état haut et libérera la sélection de l'AM 6112.

La figure 8 nous montre le chronogramme associé à un transfert DMA typique après initialisation du contrôleur. Les trois autres modes de l'AM 6112 mettent en jeu une connexion directe avec le microprocesseur. L'interface de l'AM 6112 avec l'AM 8085 est présentée figure 9. Avec une horloge externe à 3 MHz, la durée de la conversion est de 4,7  $\mu$ s. Les lignes RD et WR sont directement reliées aux lignes de contrôle POR et IOW du système.

non conventionnelle est C/D qui est utilisée pour qualifier les opérations d'écriture mais aussi de lecture.

Le tableau 4 montre l'état du 6112 en fonction de ces lignes de contrôle. Une sortie d'état, nommée reconnaissance ( $\overline{ACK}$ ) est obtenue par échantillonnage interne du signal de conversion complète (CC).

Tableau 5. Spécifications électriques de l'AM6112 (Typ).

Convertisseur A/D	
Résolution	12 bits
Monotonicité	12 bits
Non-linéarité différentielle	$\pm 1$ LSB (max)
Linéarité	$\pm 1$ LSB
Erreur de décalage (Bipolaire)	$\pm 2$ LSB
Erreur de gain (Bipolaire)	$\pm 4$ LSB
Vitesse de conversion (Bipolaire)	3,3 $\mu$ s
Référence de tension	
Tension de sortie	2,5 V $\pm$ 0,4 %
Dérive de température	8 ppm/ $^{\circ}$ C
Régulation en ligne	0,005 %/V
Régulation en charge	0,005 %/mA
Spécifications générales	
Entrées/sorties digitales	Compatibles TTL
Gamme de température	- 55 $^{\circ}$ C à + 125 $^{\circ}$ C
Puissance dissipée	500 mW

$\overline{ACK}$  peut être connecté directement à l'entrée READY du microprocesseur pour insérer des cycles d'attente si nécessaire et pour garantir qu'une donnée valable est disponible. Toutes les entrées et sorties numériques sont compatibles TTL.

L'AM 6112 contient un convertisseur numérique analogique 12 bits qui est à la fois monotonique et linéaire. Il comprend aussi un registre à approximations successives (SAR), un comparateur de tension (ajusté à la sortie des tranches de silicium), une référence de tension de précision et les indispensables résistances de sélection de gamme et de gain, permettant la numérisation de signaux unipolaires ou bipolaires.

### Applications

La résolution (0,024 %) et la vitesse de conversion de 3,3  $\mu$ s créent toute une nouvelle gamme d'applications. Des signaux hautes fréquences et le comportement transitoire de signaux basses fréquences peuvent maintenant être analysés. L'AM 6112 a été conçu de façon à pouvoir s'interfacer avec de nombreux types de microprocesseurs grâce aux choix possible d'initialisation de la conversion et de lecture de la donnée de sortie.

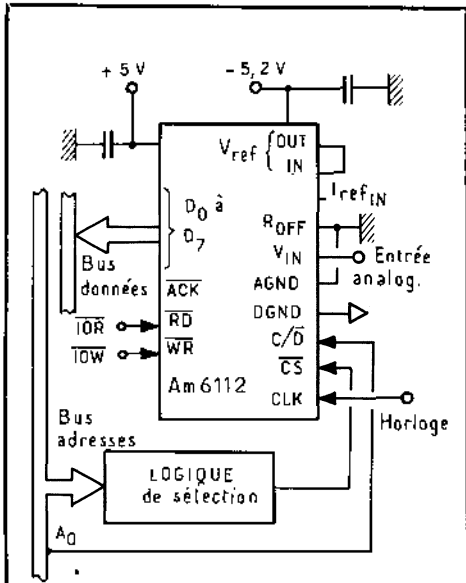


Fig. 9

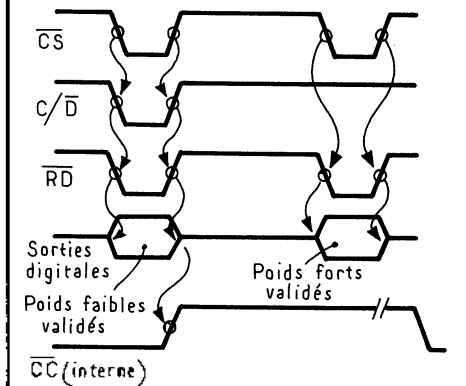


Fig. 10

Dans un système minimum,  $\overline{CS}$  peut être directement relié à une ligne d'adresse. Ce pointeur poids forts/poids faibles (C/E) est connecté à la ligne d'adresse  $A_0$ , ce qui a pour seule contrainte de placer la donnée alternativement à une adresse paire puis impaire.

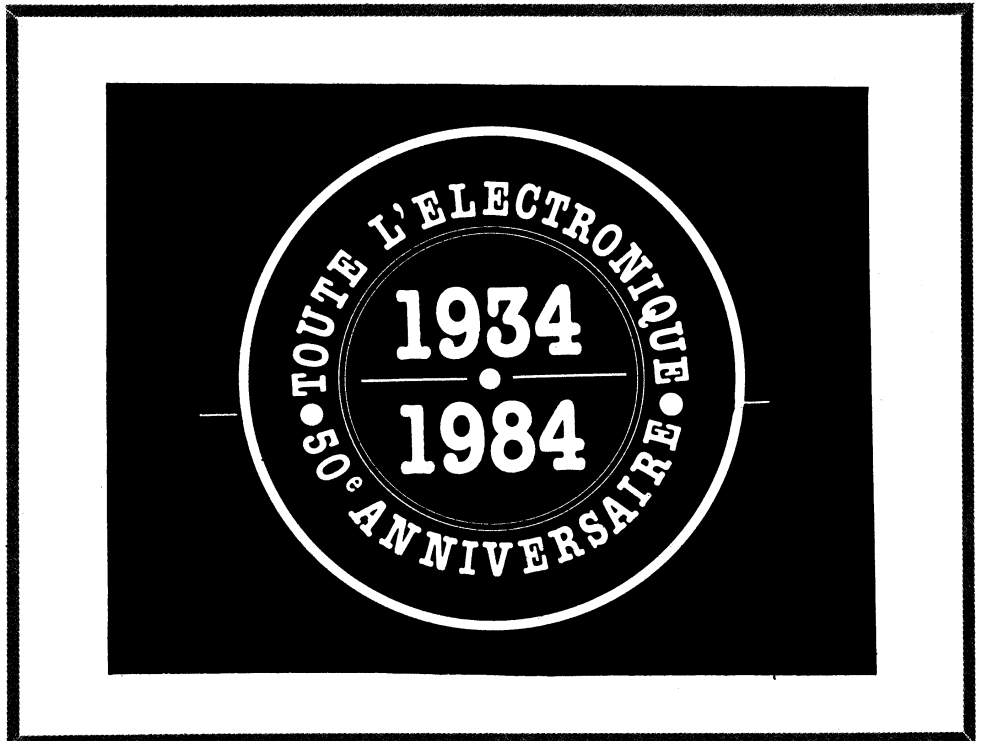
La conversion en Modes 0 et 3 est initialisée par la commande d'écriture (WR) du microprocesseur et en Mode 1 par la commande de lecture (RD). Le chronogramme associé au Mode 1 est présenté figure 10. La commande de début de conversion est générée à la fin du cycle de lec-

ture et l'octet de poids fort est lu pendant que la conversion suivante est en cours.

Le dernier mode (Mode 4) est un mode autonome. Dans ce cas, le composant se comporte comme un convertisseur analogique - numérique à approximations successives conventionnel. La sortie des octets poids forts/poids faibles est contrôlée par la ligne C/D.

Les performances de l'AM 6112 sont résumées dans le tableau 5.

B. G.



**FRIWO**

Chargeurs pour accumulateurs

\* Etanches NiCd et au plomb, sans entretien.  
\* Pour l'équipement industriel de base de petites machines, outillage de jardin électriques, d'appareils radio, de magnétophones, d'appareils à dicter, de calculatrices de poche et de