

Il y a moins d'un an, Motorola annonçait la naissance et l'échantillonnage d'un nouveau type de structure de semiconducteur de puissance réunissant des techniques MOS et thyristor sur une même puce. Cette annonce n'a pas eu un grand retentissement car cette structure conduit à des temps de coupure de plusieurs microsecondes, et Motorola a préféré chercher à réduire ces temps avant de lancer une production véritablement industrielle. Il n'empêche que ces thyristors MOS peuvent d'ores et déjà trouver des applications intéressantes dans des cas particuliers où la rapidité ne constitue pas un facteur essentiel.

Le plus gros handicap des MOS de puissance moyenne et haute tension, est leur résistance à l'état passant ou R_{dson} . En effet celle-ci est liée, pour les DMOS de commutation, à la tension de claquage :

$$R_{dson} = \frac{K}{S} V_{BR}^{2.5}$$

ce qui, pour obtenir des courants intéressants en électronique de puissance, amène à des surfaces de silicium (S) incompatibles avec des rendements de fabrication corrects. Par exemple pour $I = 15 \text{ A}$, $R_{dson} = 0,1 \Omega$ à 25°C et $V_{BR} = 600 \text{ V}$, on obtient S théorique $\geq 75 \text{ mm}^2$.

Il reste donc la mise en parallèle coûteuse et délicate. Une solution est née avec la venue du MOS thyristor qui permet d'abaisser brutalement cette limite théorique du R_{dson} pour une surface de silicium donnée.

Nous allons donc voir comment sont réalisées ces structures, leur principe de fonctionnement, leurs caractéristiques électriques, leurs commandes et leurs applications.

Technologie

Sur la figure 1, on reconnaît la structure cellulaire classique d'un MOS de puissance DMOS avec ses canaux horizontaux et son courant vertical.

Cependant, on a ajouté sous le DMOS (drain) une couche supplémentaire P^+ pour créer l'anode du thyristor.

Maintenant on reconnaît dans la petite bande hachurée verticale, la structure verticale classique d'un SCR avec 4 bandes et 3 jonctions :



Donc, si nous arrivons à créer par le MOS classique un courant électronique suffisant pour amener l'injection de trous de la part de la couche P^+ , on a bien une double injection électronique et de trous des structures SCR qui nous donnent une faible tension de déchet à l'état passant.

On peut maintenant représenter cette structure symboliquement.

Sur la figure 2, on reconnaît immédiatement la combinaison auto-blocante de deux transistors PNP et NPN.

Le MOS thyristor

Le MOSFET est mis en fonctionnement par une tension grille source normale supérieure à environ 3 V, le courant résultant est le courant de base du transistor PNP qui démarre ; celui-ci alimentant la base du transistor NPN et les conditions de gain de boucle supérieur à 1 étant maintenant créés, le phénomène de régénération d'un thyristor normal démarre

$$\alpha_1 + \alpha_2 > 1$$

Le MOSFET peut maintenant être éteint : $V_{GS} = 0$, le système continue à fonctionner tant que le courant de charge reste supérieur à un courant minimum (courant de maintien).

En réalité, le phénomène de déclenchement du système est un peu plus complexe, en particulier la résistance R_G doit être optimisée (résistance du puit P), car elle entre dans deux possibilités de déclenchement :

- soit comme on l'a vu par déclenchement de l'ensemble NPN/PNP,
- soit par polarisation du substrat avec le seul transistor PNP.

Le mode de déclenchement par substrat peut être réalisé en éléments discrets avec de petits MOSFETS à substrat accessible (figure 3).

Pour optimiser cette résistance, on peut diffuser des canaux qui relient la source aux puits P.

Le symbole proposé pour ce produit est donné par la figure 4 .

Caractéristiques statiques

Sur un traceur de courbes, le produit a comme caractéristiques de puissance (I , V de sortie), la courbe donnée par la figure 5.

On reconnaît la courbe classique d'un SCR normal dans le quadrant 1. Dans le quadrant 3, cette structure présente un assez fort courant de fuite ($> 10 \text{ mA}$) ; elle peut donc être considérée comme asymétrique.

Pour la structure commercialisée actuellement, le MCR 1000 de surface de silicium de 14 mm^2 , on a comme autre caractéristique statique :

V_{TM} typique = 1,3 V à 20 A soit une

$$R_{dson} \text{ équivalente de } \frac{1,3}{20} = 0,065 \text{ Ohm}$$

Le courant d'accrochage est $I_c = 350 \text{ mA}$ et le courant de maintien $I_H = 25 \text{ mA}$. La tension

Le MOS thyristor

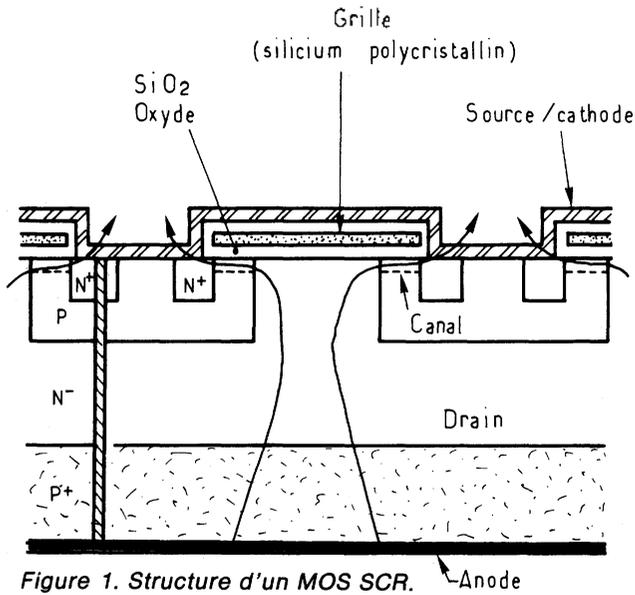


Figure 1. Structure d'un MOS SCR.

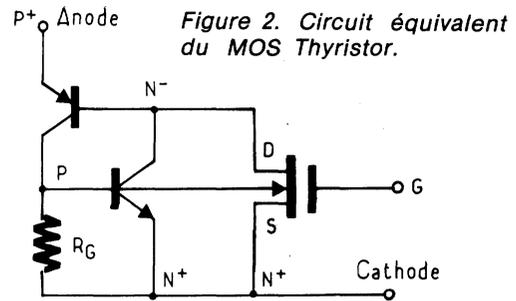


Figure 2. Circuit équivalent du MOS Thyristor.

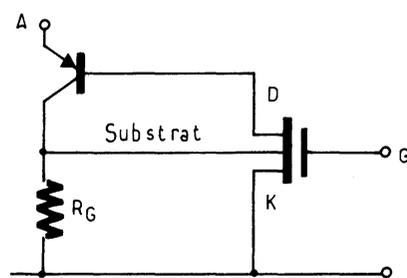


Figure 3. Déclenchement par substrat.

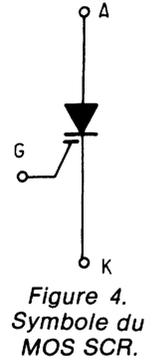


Figure 4. Symbole du MOS SCR.

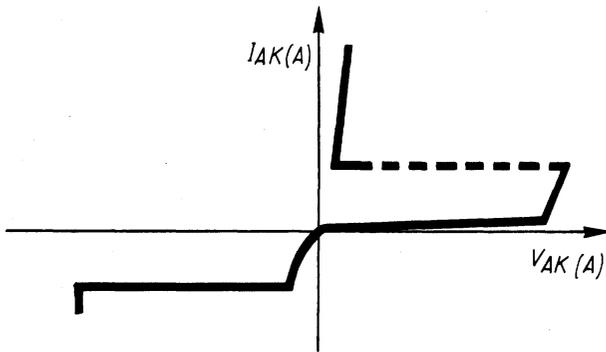


Figure 5. Caractéristiques du MOS SCR.

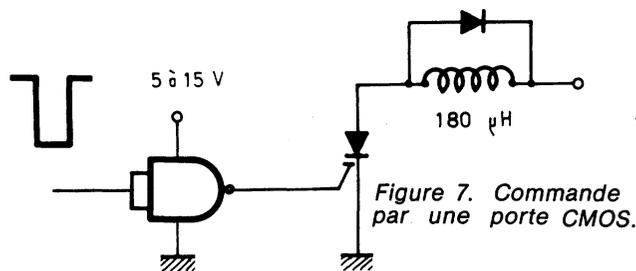
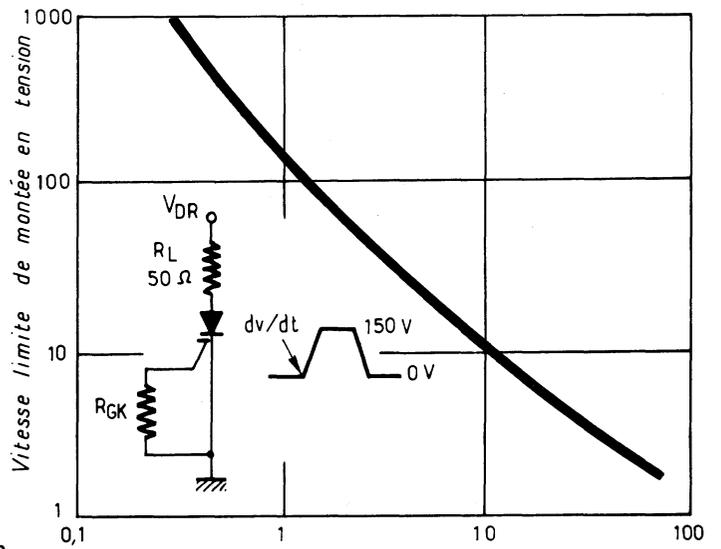


Figure 7. Commande par une porte CMOS.



R_{GK} - Résistance grille-cathode ($k\Omega$)
Figure 6. Possibilité en dv/dt en fonction de la résistance de source.

Figure 8. Mise en conduction avec une porte CMOS.

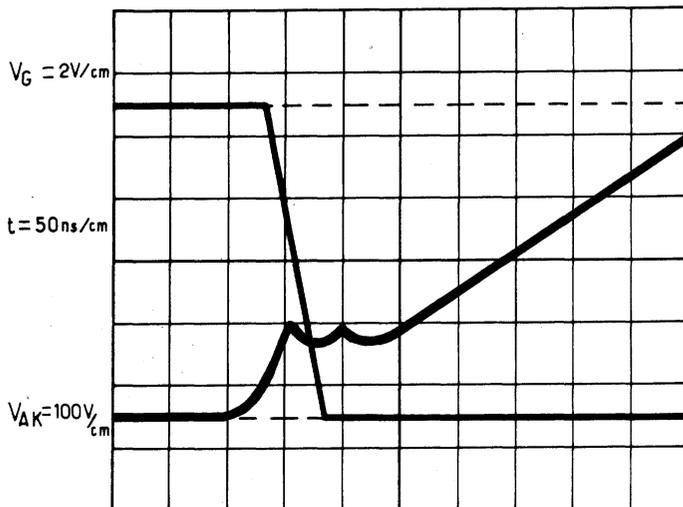
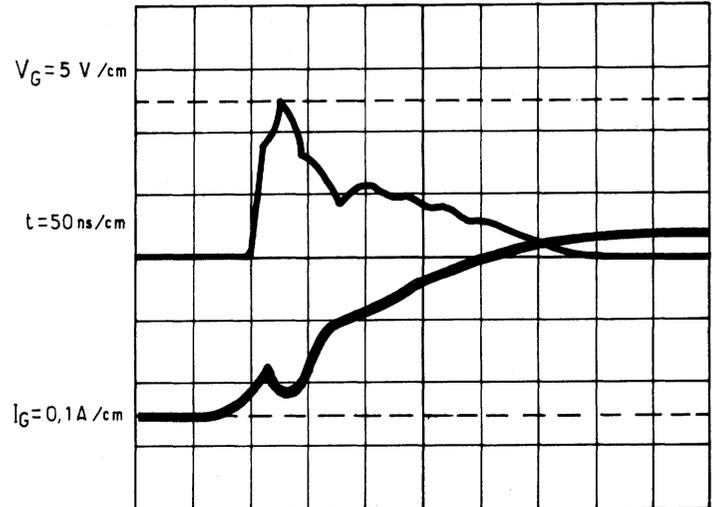


Figure 9. Caractéristique de grille avec un MC 14049.



minimum de commande V_{GK} est de 2,5 volts ce qui garantit une bonne immunité au bruit.

Caractéristiques dynamiques

1) La première caractéristique dynamique d'un SCR est son temps de blocage, pendant lequel on ne peut le repolariser en direct sans remise en conduction naturelle appelée t_q . Celui-ci, pour les structures actuelles, se situe aux environs de :

$$t_q \approx 4 \text{ microsecondes,}$$

mais nous espérons, par une bonne optimisation de la structure, arriver rapidement à un t_q compris entre une et deux microsecondes.

2) Une caractéristique importante pour les SCR est aussi le di/dt à la mise en conduction : grâce à sa structure multicellulaire, un maximum de surface est allumé dans un minimum de temps ; aussi de multiples essais à des di/dt égaux à 100 A par microseconde n'ont pu détruire ce produit.

3) Les SCR sont généralement utilisés dans des circuits à fort gradient de potentiel dV/dt .

La tenue à ce paramètre est évidemment fonction de la polarisation de grille. On a donc (figure 6) la courbe du dV/dt en fonction de la résistance R_{GK} .

On voit ici que grâce à sa tension de seuil V_{GTH} d'environ 2 V, on a une meilleure tenue au dV/dt qu'une structure SCR classique qui a une tension de déclenchement d'environ 0,6 V.

4) Une autre caractéristique dynamique, le temps de mise en conduction, dépend beaucoup de la commande ; ce que nous allons examiner maintenant.

Commande du MOS SCR

Le principal avantage du MOS SCR par rapport au SCR normal, est sa commande à faible niveau de puissance (grande impédance d'entrée) ; on bénéficie ainsi de produits qui peuvent être commandés par de la logique classique.

1) Commande par porte CMOS MC 14011 (figure 7).

Celle-ci ne délivrant que quelques milliampères ($< 10 \text{ mA}$), le temps de mise en conduction est assez long (figure 8).

Si on met les quatre portes disponibles dans un seul boîtier, en parallèle, on a un courant de charge des capacités d'entrée quatre fois plus important ($\sim 30 \text{ mA}$) et donc un temps de mise en conduction encore meilleur : 30 nanosecondes au lieu de 50 nanosecondes.

Si on utilise un boîtier à six portes « Buffer » MC 14094 (figure 9), on dispose de 80 mA et donc d'une meilleure immunité du dV/dt , le temps de mise en conduction étant toujours très bon.

2) Commande par porte TTL — LS 74LS00 (figure 10).

3) Mesure des temps de commutation. Se rapporter au tableau ci-dessous.

Porte de commande et alimentation de ces portes	Temps de délai t_D (ns)	Temps de montée T_r (ns)
MC 14011 à 5 V d'alimentation	200	80
MC 14011 à 15 V	40	25
4 X MC 14011 à 5 V	60	35
4 X MC 14011 à 15 V	15	15
MC 14049 à 15 V	30	25
MC 14049 à 5 V	125	70
6 X MC 14049 à 15 V	15	15
MC 74 LS00	35	60
4 X MC 74 SL00	20	20

4) Si l'on fait varier la résistance d'attaque (R_1), on obtient les courbes de la figure 11.

Applications

1) Redressement à 50 HZ

Soit à amorcer le produit sur une demi-sinusoïde à 50 HZ (10 ms) ; un paramètre important est l'angle de non-conduction (figures 12 et 13).

Si on commande le MOS SCR par une porte, on s'aperçoit que la loi qui donne le minimum de courant crête de grille ou le minimum de largeur d'impulsion pour amorcer le produit est un peu surprenante.

En effet, il faut augmenter le courant de grille minimum pour avoir l'amorçage quand la largeur d'impulsion de commande augmente ; on s'attendrait plutôt à l'inverse en terme de quantité d'électricité nécessaire pour charger les capacités du MOS SCR.

Cependant, si on regarde de plus près le schéma équivalent (figure 2), on s'aperçoit qu'avec une impédance de grille faible le MOS est mis en conduction rapidement avec une faible impédance R_{dson} qui court-circuite le transistor NPN, décroît α_2 et donc retarde la condition de blocage du système :

$$\alpha_1 + \alpha_2 \leq 1$$

Donc pour avoir le minimum d'angle de perte, il faut une assez grande résistance de grille (100 k Ω).

Pour garder une bonne immunité au dV/dt , il est bon d'avoir le minimum d'impédance de grille d'où le schéma optimum de la figure 14 pour allumer un MOS SCR sur une sinusoïde.

La capacité est ajoutée pour diminuer le temps de retard (t_d) à la mise en conduction.

Avec ce circuit on a un temps de retard à la mise en conduction de $t_d = 40 \text{ nanosecondes}$, un temps de montée $t_r = 80 \text{ ns}$, et un angle de perte d'environ 200 microsecondes soit :

$$\Theta_P = \frac{0,2}{10} \times 180^\circ \approx 4 \text{ degrés}$$

avec un courant de charge de 3 ampères.

Le MOS thyristor

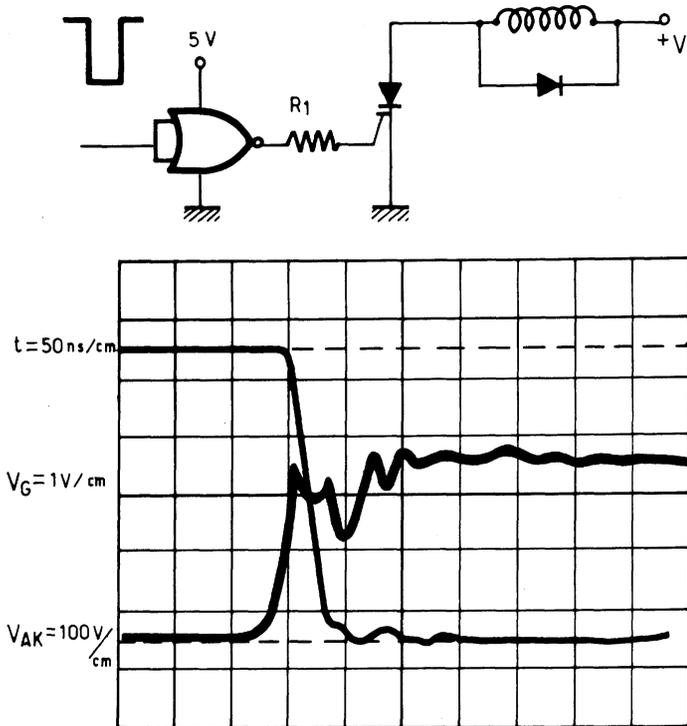


Figure 10. Commande et caractéristique à la mise en conduction par 4 portes en parallèle.

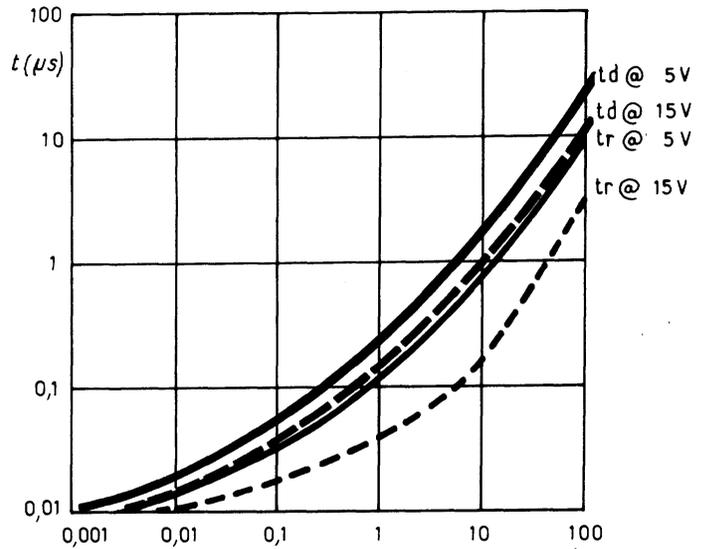


Figure 11. Temps de commutation en ($k\Omega$) fonction de R série.

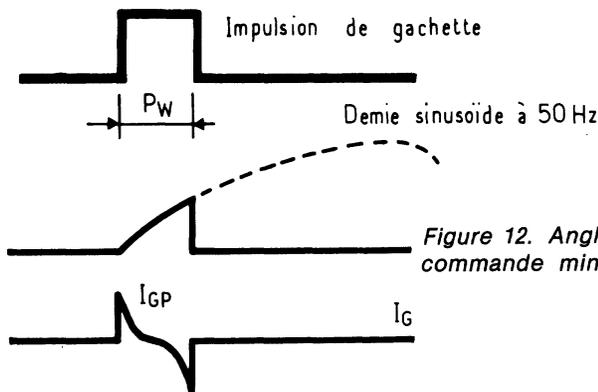


Figure 12. Angle de commande minimum P_W .



Figure 13. Commande minimum pour un arc de sinusoïde passant par zéro.

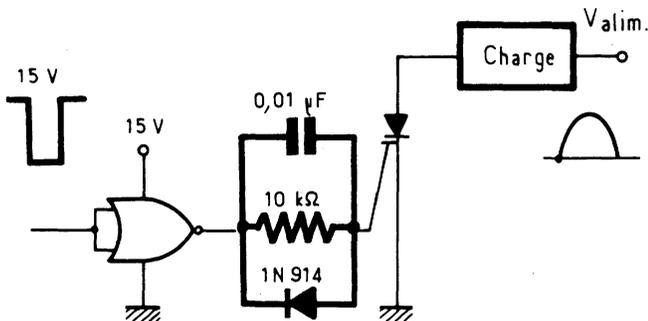


Figure 14. Schéma optimum de commande.

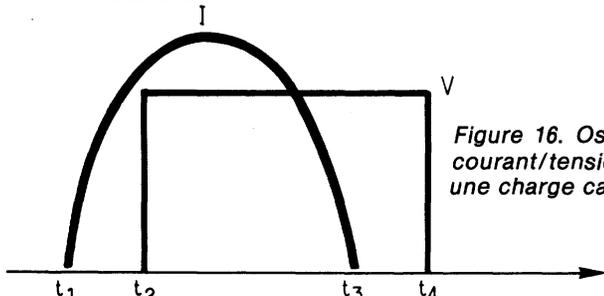


Figure 16. Oscillogramme courant/tension dans une charge capacitive.

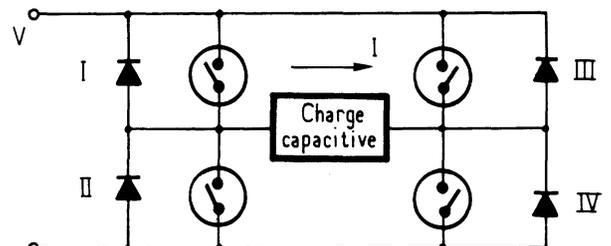


Figure 15. Convertisseur continu/alternatif.

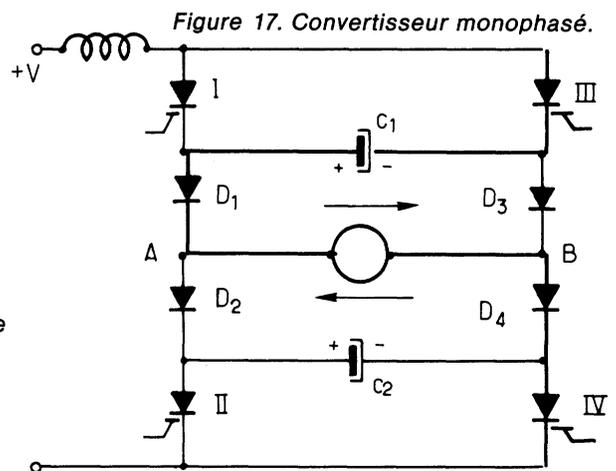


Figure 17. Convertisseur monophasé.

Le MOS thyristor

2) *Interrupteurs dans des convertisseurs (figure 15).*

A) Si la charge est capacitive, il n'y a pas de problème ; c'est le produit idéal car il aura le minimum de pertes, les commutations se faisant naturellement.

— Quand on allume le MOS SCR au temps t_2 (figure 16), il y a suffisamment de courant pour être sûr d'avoir I_L .

— Au passage à t_3 le courant s'annule donc, le MOS SCR se bloque tout seul.

— L'inversion de la tension en t_3 se fait en allumant le MOS SCR II.

B) Si la charge est selfique, on peut utiliser le convertisseur simple et économique de la figure 17.

Si on a T1 et TIV en conduction et si on veut les arrêter pour inverser le courant, il suffit d'allumer TIII, la capacité C1 étant automatiquement chargée par le système dans le bon sens ; le courant circule en TIII, C1 DI, la charge, D4, TIV, puis le courant s'annulant dans T1, il s'arrête automatiquement (peu de pertes).

Lorsque le courant de charge a inversé la tension aux bornes de C1, D1 se bloque, D3 se débloque, le potentiel VB monte, le courant circule de B vers A à travers TIII, D3, D2, C2, TIV. A ce moment là, on met en conduction TII ; TIV se bloque grâce à C2.

Le courant de charge s'est inversé.

Ce système permet de réaliser un commutateur robuste (SCR) et très efficace (peu de pertes à la mise en conduction, à la coupure ou en fonctionnement) ; les diodes protègent les MOS SCR contre une conduction inverse éventuelle.

Avec des MCR 1000-6 (600 V-15 A), on pourrait ainsi commander une charge alternative de 5 à 6 kVA.

Conclusions

Cette nouvelle technologie qui allie les propriétés des MOSFETS de puissance et des SCR paraît pleine d'avenir, car elle permet de commander le commutateur avec une faible énergie (MOS) sans avoir une tension de déchet prohibitive à l'état passant (R_{dson}).

Le seul inconvénient est le blocage, mais le progrès technologique aidant, il sera possible à court terme de descendre les t_q au dessous de la microseconde, et donc de trouver sur le marché des produits rapides, robustes et faciles à commander comme l'exige les contraintes de coût de l'électronique de puissance.

Pierre Aloisi
(Motorola, Toulouse)

Bibliographie

1) — AL — PSHAENICH 1982 : « The MOS SCR, a new Thyristor Technology », Motorola EB 103.

2) — RJ GODIN 1982 : « MOSFET offers low on resistance », Electronics, Dec 15.