

La logique ECL : technologie et performances

par J. JOURNEAU, S. MARTIN et M. RAPPENEAU (*)

Le présent article constitue la première partie d'une étude consacrée à l'ECL. Le but de celle-ci est de faire connaître l'ECL aux utilisateurs dont l'activité n'est pas la grande informatique ainsi qu'aux jeunes ingénieurs et techniciens qui n'ont, en général, fait qu'effleurer le sujet en école. De plus, il existe un mythe de l'« ECL difficile » dû à ce que la transposition directe d'un schéma TTL ou C-MOS en ECL est impossible sans l'emploi de précautions particulières. La connaissance des règles élémentaires exposées dans cette série démystifiera ces difficultés.

Généralités sur l'ECL

Qu'apporte l'ECL ?

— L'ECL apporte d'abord une grande vitesse de réponse, permettant un fonctionnement à fréquence élevée.

— De plus, la puissance électrique consommée, bien qu'élevée pour une porte simple, croît moins vite que la complexité des fonctions sur un circuit intégré.

— Par ailleurs, grâce à l'ECL, il est possible de traiter en temps réel des phénomènes rapides, tels que le contrôle de processus nucléaires, les bases de temps d'oscilloscopes, et toutes les mesures en général, dont la résolution doit être inférieure à une nanoseconde. Il permet aussi de traiter en temps réel des phénomènes très complexes tels que la météorologie, la gestion de réseaux énergétiques, ou de très grandes bases de données (cas des grands ordinateurs où la vitesse de traitement est prépondérante).

— Enfin, l'ECL permet d'optimiser le coût d'un système, en accélérant les sous-systèmes qui doivent répondre rapidement (tel un multiplieur ECL sur un ordinateur TTL).

Quand utiliser l'ECL ?

a) L'ECL s'impose quand le gain en vitesse est plus important que la perte en coût système, due aux contraintes électriques précisément imposées par cette plus grande vitesse.

b) L'ECL permet d'améliorer le coût d'un système, lorsque l'on remplace n fonctions identiques, à vitesses v , par une fonction ECL à vitesse nv , plus un système de multiplexage, toutes les fois où la fonction en question est suffisamment complexe.

C'est le cas, par exemple, en télécommunications et communication de données où l'accroissement du débit des lignes permet de réduire leur nombre, donc le coût d'ensemble du système, ainsi que sa maintenance.

c) Au-delà d'un débit d'information de 100 M bits/s, l'ECL s'impose pour traiter celle-ci.

Domaines d'application de l'ECL

Grande informatique

— Toute unité centrale à temps de cycle compris entre 10 et 50 ns est tout, ou partie, en ECL.

— Les contrôleurs d'entrée-sortie rapides le sont également (canaux d'accès aux disques, aux blocs mémoires, aux périphériques rapides, ou à d'autres processeurs).

— Les mémoires à temps d'accès rapide sont ECL (mémoire tampon ou « cache ») la plupart du temps, mais parfois aussi la mémoire centrale, pour les gros ordinateurs les plus rapides).

Petite et moyenne informatique

— Il est possible d'augmenter la puissance d'un petit système à base de microprocesseurs, par l'adjonction sur son bus de fonctions rapides telles que

additionneurs, multiplieurs, transformation de Fourier rapide, corrélateurs, etc.

— Il est également possible d'augmenter la puissance d'un tel système en réalisant en ECL tout, ou partie, du processeur lui-même.

Instrumentation

L'ECL permet la réalisation des équipements suivants :

— testeurs rapides de composants ou de cartes, logiques ou analogiques

— analyseurs logiques, pour l'acquisition simultanée de l'état logique de plusieurs canaux ou signaux d'un système en cours de mise au point ou de maintenance

— oscilloscopes rapides avec acquisition, stockage et traitement numérique des signaux

— chronomètres de très haute résolution et compteurs de fréquences élevées.

Télécommunications

— L'ECL intervient actuellement dans la réalisation de calculateurs qui pilotent des centraux de commutation téléphonique.

— Elle permet également la conception de nouveaux centraux téléphoniques qui commutent des signaux à large bande, d'origine vidéo ou provenant de canaux de données, ou encore du multiplexage de nombreux canaux audio.

Elle permet enfin la réalisation de liaisons intercentraux à fort débit (concentration, codage, répéteurs et régénérateurs, décodage, démultiplexage) sur canaux à câbles coaxiaux, optiques ou par voie hertzienne.

(*) Ingénieurs RTC, Centre microélectronique de Caen.

Traitement numérique du signal en temps réel

— L'ECL est la technologie idéale pour le traitement numérique des signaux vidéo de télévision (filtrage, décodage, mixage, effets spéciaux, distribution).

— Elle permet, de plus, la numérisation des fonctions principales des téléviseurs.

— Les simulateurs en temps réel de phénomènes complexes, tels que simulateur de vol ou de tir, comportent de larges parties en ECL.

— L'ECL se prête également au traitement des signaux de radars.

Comparaison aux autres familles logiques ; critères de choix

● L'ECL comprend essentiellement les principales fonctions des autres familles logiques (portes, bascules, circuits complexes ou MSI).

A quelques exceptions près, les fonctions sont répertoriées selon l'ordre suivant de leurs trois derniers chiffres (avec préfixe 10 XXX ou 100 XXX).

- 100 à 109 Portes simples
- 110 à 119 Portes complexes et récepteurs de ligne
- 120 à 129 Interfaces
- 130 à 139 Bascules, compteurs
- 140 à 155 Registres, mémoires, combinaison latch et multiplexeurs
- 156 à 179 MSI combinatoires (parités, priorité, multiplexeurs, décodeurs, retenue)
- 180 à 189 Circuits arithmétiques (additionneurs, UAL)
- 190 à 399 Autres interfaces spéciaux
- 400 à 499 Mémoires grandes capacités
- 500 à 699 Séries militaires
- 800 à 899 Microprocesseurs et circuits associés.

Il n'a pas été possible de reproduire exactement sous le même numéro les fonctions logiques existant en TTL, pour plusieurs raisons :

1. Les circuits ECL demandent en général trois broches d'alimentation contre 2 pour les T2L ; le nombre de broches restant disponibles pour des entrées/sorties de signaux logiques est donc différent.
2. La porte de base ECL réalise une fonction OU, la porte TTL une fonction ET.
3. Les portes ECL génèrent très facilement des sorties complémentaires (Q et \bar{Q}) qui confèrent une grande souplesse d'utilisation. Les fonctions utilisant ces sorties sont privilégiées dans la famille, et remplacent souvent deux types TTL à la fois.

| Familles logiques : | CMOS | TTL compatible | | | | | ECL | |
|---|------------|----------------|--------|--------|--------|--------|------|-------|
| | | TTL | LS | ALS | FAST | S | 10 K | 100 K |
| Tension d'alimentation (V) | 5 à 15 | 5 | 5 | 5 | 5 | 5 | -5.2 | -4.5 |
| Consommation (mA) | 1.4* | 2 | 0.4 | 0.2 | 1 | 4 | 5 | 8 |
| Excursion logique (V) | 5 à 15 | 3 | 3 | 3 | 3 | 3 | 0.9 | 0.7 |
| Sortance max | >50 | 10 | 20 | 10 | 30 | 10 | >30 | >30 |
| Temps de propagation typique (ns) | 20 | 10 | 10 | 4 | 2.8 | 3 | 2 | 0.75 |
| Raideur des fronts (Vns) | 0.5 | 0.35 | 0.2 | 1.2 | 2 | 2 | 0,3 | 0.5 |
| Fréquence max d'une bascule D (MHz) | >12 | 15 | 25 | 35 | 100 | 75 | 125 | 400 |
| Perte de vitesse due à la sortance (ns/sortance utilisée) | 1.2 | 0.6 | 0.3 | 0.25 | 0.1 | 0.3 | 0.1 | 0.007 |
| Facteur de mérite : | | | | | | | | |
| porte de base (pJ) | 280* | 100 | 20 | 4.5 | 14 | 55 | 50 | 30 |
| porte dans un complexe (pJ) | 20* | | | | | | 10 | 5 |
| Boîtiers principaux | 14, 16, 24 | 14, 16 | 14, 16 | 14, 16 | 14, 16 | 14, 16 | 16 | 24 |
| Nombre de types (typique) | 120 | >100 | >150 | >100 | >70 | >100 | 60 | 40 |
| Coût approximatif par porte (F) (gamme civile) | 0.25 | 0.25 | 0.20 | 0.30 | 0.40 | 0.30 | 0.35 | 3 |
| Gammes de fonctionnement | | | | | | | | |
| civile : | oui | oui | oui | oui | oui | oui | oui | oui |
| militaire : | oui | oui | oui | oui | oui | oui | oui | non |

* Vitesse de fonctionnement : 5 MHz

Note : L'ensemble des données ci-dessus est une représentation très simplifiée des logiques existantes. Les valeurs indiquées ne sont qu'approximatives ; elles dépendent totalement des conditions d'utilisation (tension d'alimentation, conditions de charge...) et du fournisseur.

Pour toute information précise, il faut se référer à un catalogue fournisseur.

Tableau 1

4. Dans le cas particulier de l'ECL 100 000, le boîtier normal comprend 24 broches et permet donc des fonctions encore plus complexes, remplaçant plusieurs types T2L. Ainsi, un décodeur HXA 100170 peut être utilisé soit en 1×8 sorties, soit en 2×4 sorties, avec sorties hautes ou basses, et couvre ainsi les fonctions de quatre décodeurs TTL.

5. Les besoins en interfaces sont différents pour les logiques rapides, qui ne traitent normalement que des informations, et des logiques plus lentes qui peuvent, elles, être interfacées sur des dispositifs d'affichage (« display drivers ») ou de puissance. L'ECL a surtout besoin d'être interfacé :

— vers des lignes de transmission à faible distance, par exemple à fils torsadés, avec des émetteurs de ligne à sorties symétriques et des récepteurs de ligne à entrée différentielle

— vers des bus de données à niveaux ECL, par des émetteurs de bus (« bus drivers ») capables de fournir un courant élevé dans le bus ou au contraire de s'en déconnecter en le chargeant le moins possible, réalisant ainsi l'équivalent des circuits TTL à trois états (« tri-state »)

— vers d'autres familles logiques : ECL 10 000 vers ECL 100 000, ECL vers CMOS, ou vers T2L ; en particulier il est important de pouvoir interfacier les processeurs ECL vers des mémoires centrales MOS à niveaux TTL par des interfaces bidirectionnelles.

Le tableau 1 rappelle les principales caractéristiques des familles logiques.

Les paramètres de choix de l'ECL sont principalement la fréquence élevée de fonctionnement, ainsi que la rapidité de temps de propagation.

Sont également prises en compte l'amélioration substantielle du facteur de mérite avec l'intégration, et la faible raideur des fronts de signaux, ce qui évite des problèmes de diaphonie au niveau système.

Il existe également des circuits à grande vitesse qui, sans faire strictement partie des familles logiques ECL, possèdent des entrées ou sorties compatibles avec les niveaux ECL, et font largement appel aux techniques de couplage d'émetteur dans leurs schémas électriques internes. Les diviseurs de fréquences VHF et UHF (« prescalers ») utilisés dans les compteurs et synthétiseurs en sont l'exemple

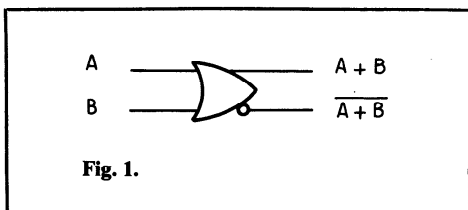
le plus connu, mais il existe aussi des multivibrateurs, comparateurs de phase, convertisseurs analogiques, etc.

Description des familles ECL

Il existe à ce jour deux familles d'ECL (la série ECL 10 000 et la série ECL 100 000) qui sont considérées comme standards (multifournisseurs). La première contient plus de 60 types, la seconde environ 40. La puissance de conception avec ces familles est accrue par des circuits à haute intégration pouvant être personnalisés à la demande, sous certaines conditions.

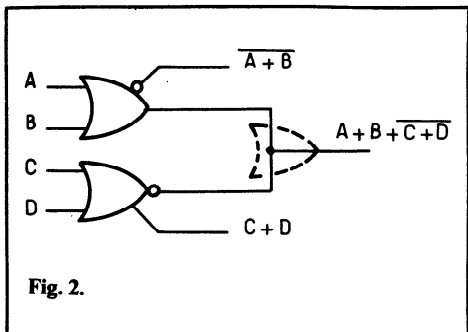
Schémas logiques

● Au niveau des circuits élémentaires, la porte de base est le OU/OU-NON (OR/NOR) à deux entrées et sorties complémentaires. (fig. 1)



● Le fait que toutes ces portes possèdent les sorties directe et inverse permet une réalisation plus aisée des schémas.

● Une autre possibilité intéressante est le OU-câblé, qui permet de relier directement les sorties de deux portes, pour réaliser une fonction OU. (fig. 2)



Conception d'un schéma logique

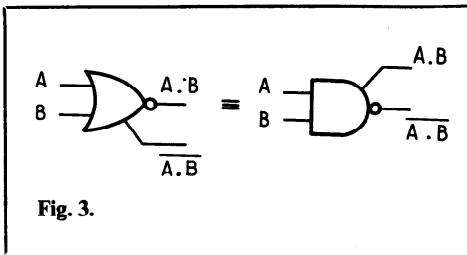
Puisque l'ECL est basée sur la porte OU/OU-NON, si l'on est habitué à concevoir le système à partir de portes ET/ET-NON (AND/NAND), il faut d'abord transcrire le schéma en portes OU/OU-NON.

Cette opération est très facile (on peut utiliser les lois de Morgan qui permettent cette conversion) :

$$A.B = \overline{\overline{A} + \overline{B}} \text{ et } A + B = \overline{\overline{A}.B}$$

(nous utilisons, pour les variables logiques, la notation A.B pour l'intersection et A + B pour l'union) (fig. 3).

De plus, certaines entrées sont directes, contrairement aux circuits TTL où ces entrées sont inversées. Par exemple, les entrées d'effacement et de mise à un pour les circuits séquentiels (SET et



CLEAR). Ceci provient, bien sûr, de la différence de conception entre TTL et ECL, où les portes de base sont respectivement ET et OU, et donc, pour « forcer » un signal d'entrée vers la sortie, on applique respectivement un 0 ou un 1.

Ceci ne pose aucun problème, vu que l'on dispose presque toujours de sorties directes et inversées sur les circuits simples.

Autres familles ECL

D'autres familles ECL ont été créées dans le passé, sans connaître la même expansion que les autres.

Citons pour mémoire les MECL 1 et 2 qui ont été à l'origine de l'ECL.

La MECL 3 est assez proche des performances de la 100 000, mais plus consommante et moins complète. Il existe enfin une série intermédiaire entre 10 K et 100 K qui retient de la première sa fonction et sa vitesse, et de la seconde ses niveaux électriques compensés en température.

La famille 10 000 a été complétée récemment par des circuits plus rapides (série 10 KH, vitesse 1 à 1,2 ns).

Schémas électriques et fonctionnement de l'ECL

L'étude ci-après traite de la porte ECL 10 K OU-NON à deux entrées et deux sorties complémentaires, la famille 10 K représentant typiquement l'ECL.

Le présent chapitre suit point par point les informations contenues dans une

spécification du catalogue commercial, afin de permettre au lecteur une compréhension aisée de celui-ci. (fig. 4.1)

Commutation de courant

L'étage de commutation est représenté sur la figure 4-2, et les caractéristiques de commutation de cet étage sur la figure 4-3 (tensions collecteurs en fonction de la tension d'entrée).

Le courant traversant la porte vaut :

$$I = \frac{\text{Max}(V_E, V_{BB}) - V_{be} - V_{EE}}{R_7}$$

V_{be} = chute de tension émetteur-base de T_{R2} ou T_{R5} , de l'ordre de 0,8 V

Le courant est de l'ordre de quelques milliampères (4 mA pour une porte 10 K). Sur cette figure, on distingue quatre zones de fonctionnement repérées A, B, C, D.

● En zone A, V_E est suffisamment faible pour que T_{R2} soit bloqué. V_1 est pratiquement confondu avec V_{CC} (aux fuites près dans T_{R2}). le courant I passe presque intégralement dans R_6 , créant une chute de tension V_2 constante de l'ordre de 1 V, R_6 ayant une valeur choisie à cet effet.

V_{BB} est choisi légèrement plus bas que $V_{CC} - V_2$, pour éviter la saturation de T_{R5} en maintenant une tension collecteur-base > 0 ; $V_{CC} - V_{BB}$ est choisi, pour ce faire, de l'ordre de 1,3 V.

● En zone B, la tension d'entrée est voisine de V_{BB} , les deux transistors T_{R2} et T_{R3} conduisent. L'ensemble se comporte comme un amplificateur différentiel. Les transistors étant très voisins, lorsque $V_E = V_{BB}$, le courant I se partage également dans chaque branche, et on a $V_1 = V_2 = 0,5$ V. La largeur de cette zone est d'environ 100 mV à 25 °C, cette valeur variant comme $\frac{4kT}{q}$ (où k est la constante

de Boltzman, q la charge de l'électron et T la température absolue de la jonction V_{BE}). Cette loi provient du fonctionnement des jonctions émetteur-base de T_{R2} et T_{R5} .

● En zone C, V_E est suffisamment élevé pour bloquer T_{R5} . V_2 est alors confondu avec V_{CC} et $V_1 = R_3 I$; R_3 est choisie telle

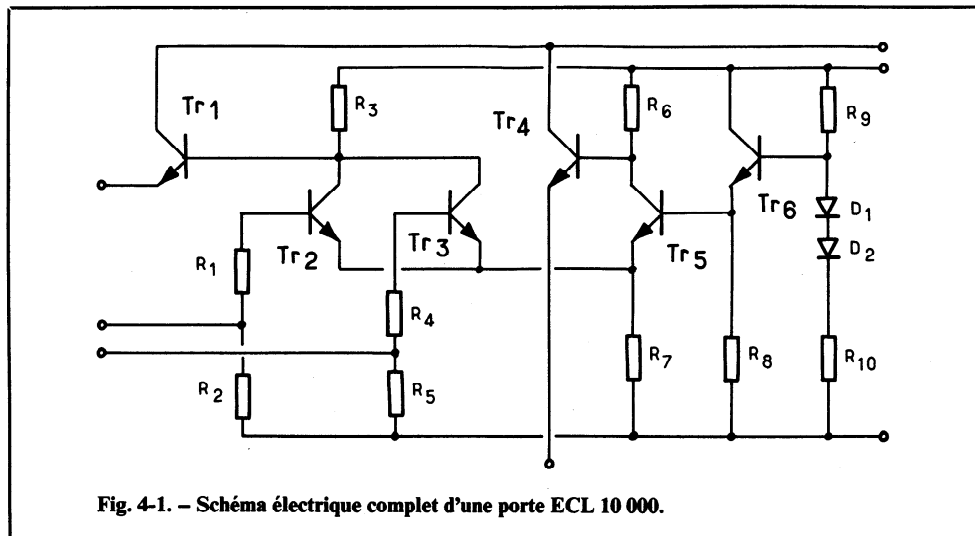


Fig. 4-1. - Schéma électrique complet d'une porte ECL 10 000.

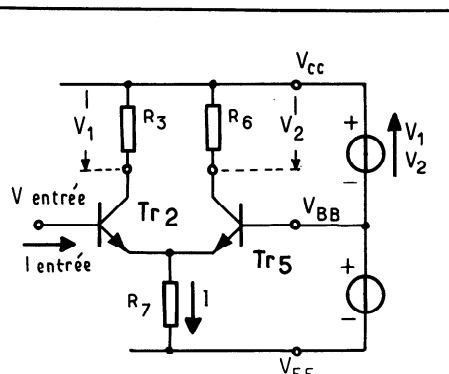


Fig. 4-2. - Schéma simplifié de l'étage de commutation.

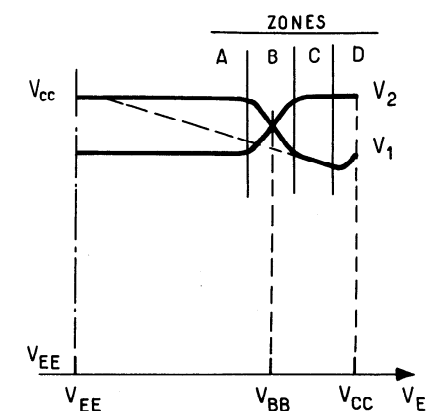


Fig. 4-3. - Diagramme de commutation des tensions de collecteur V_1, V_2 en fonction de la tension d'entrée V_E .

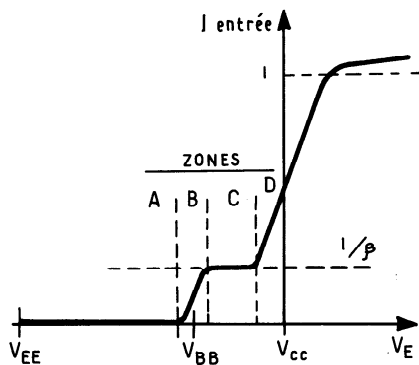


Fig. 4-4. - Diagramme du courant d'entrée en fonction de la tension d'entrée V_E .

que la chute de tension V_1 soit voisine d'un volt. I varie en zone C, puisqu'il dépend alors de V_E . En effet, le courant passant intégralement par Tr_2 , sa valeur est maintenant donnée par $I = (V_E - V_{be} - V_{EE})/R_7$. C'est pourquoi, dans de nombreux circuits, la résistance R_7 sera remplacée par une source de courant, pour s'affranchir de cette variation.

● En zone D, V_E est suffisamment élevé pour saturer Tr_2 . Dans ce cas, la jonction base collecteur est polarisée en direct et la tension collecteur se met à suivre la tension d'entrée, expliquant la remontée de la caractéristique de V_1 sur la figure 4-3.

Le courant I ne pouvant plus être complètement fourni par le collecteur du transistor, la différence proviendra du courant de base de Tr_2 qui augmente considérablement. L'évolution du courant de base de Tr_2 (courant d'entrée de la porte simplifiée) est indiquée sur la figure 4-4.

Dans les zones A, B, C, le transistor Tr_2 n'étant pas saturé, le courant d'entrée est proportionnel à V_1 ; en zone D, on voit apparaître le courant excédentaire dû à la saturation.

Emetteur-suiveur ; caractéristiques de sortie et de transfert

Les signaux V_1, V_2 délivrés par l'étage décrit dans le paragraphe précédent seront utilisés directement, dans le cas des portes CML (logique à mode de courant, non décrite ici). Ils ont cependant l'inconvénient d'être fournis sous haute impédance, car R_3 et R_6 valent plusieurs centaines d'ohms, pour un courant I de quelques milliampères. De plus, pour former des circuits logiques associatifs, il est nécessaire que la tension de seuil en entrée, ici égale à V_{BB} , soit comprise entre les tensions haute et basse de sortie ; ceci impose un décalage vers le bas des tensions de sortie. C'est la fonction des transistors de sortie Tr_1 et Tr_4 de la figure 4-5, qui sont montés en émetteur suiveur. Ces transistors peuvent fournir des courants importants en sortie, et en particulier être chargés par des lignes à 50Ω . Leur collecteur est alimenté par une tension V_{CC2} (en général égale à

V_{CC1}) capable de fournir le courant demandé en sortie de la porte. Il sera expliqué plus loin pourquoi il n'est pas conseillé d'utiliser V_{CC1} à cet effet.

La figure 4-6 représente la caractéristique de sortie $V_0 = (V_3$ ou $V_4)$ fonction du courant de sortie I_0 , lorsque la porte est dans un état franc (zone A ou C).

On retrouve, entre les deux courbes, un écart qui correspond à celui des tensions collecteurs sur Tr_2 ou Tr_5 .

Deux droites de charge sont tracées sur cette caractéristique, 50Ω et 250Ω . Pour limiter le courant de sortie débité par la porte, la charge 50Ω est connectée à une tension intermédiaire V_{TT} . Les charges supérieures peuvent être connectées directement à V_{EE} .

Sur ce diagramme, figurent les niveaux de sortie haut et bas V_{OH} et V_{OL} .

La figure 4-7 représente les caractéristiques de transfert $V_0 = (V_3, V_4)$ fonction de V_E . Cette caractéristique se déduit de celle de la figure 4-3 par translation vers le bas d'un V_{be} . On peut vérifier que l'on obtient des tensions de sortie V_{OH} et V_{OL} qui encadrent le seuil de la tension d'entrée V_{BB} .

Générateur interne de tension de seuil

La tension de seuil V_{BB} est fournie dans chaque circuit ECL par un générateur interne, représenté figure 4-8. Ce générateur est conçu pour maintenir la tension de seuil centrée entre V_{OH} et V_{OL} , quelles que soient la température et la tension d'alimentation. A cet effet, un pont diviseur $R_9 - R_{10}$ D_1 D_2 génère un courant proportionnel à celui de la porte.

Les chutes de tension des diodes D_1 et D_2 compensent les V_{BE} de Tr_5 et Tr_6 , et la résistance R_9 fournit une tension qui est la moitié de la chute de tension maximum dans R_6 .

Si les V_{be} de Tr_4 et Tr_6 sont égaux, V_{BB} reste centrée entre V_{OH} et V_{OL} . De plus, si $V_E = V_B$, alors $V_3 = V_4 = V_{BB}$.

Choix de V_{CC} comme tension de référence (masse)

Sur la figure 4-9, sont représentées les tensions de sortie de deux portes ali-

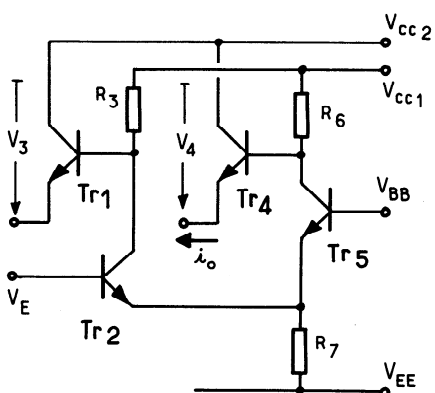


Fig. 4-5. - Porte ECL avec étage de sortie à émetteurs-suiveurs.

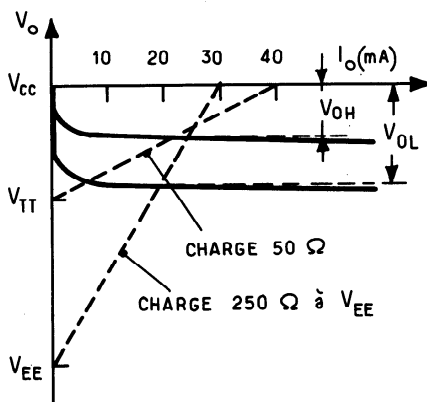


Fig. 4-6. - Caractéristique de sortie : V_0 en fonction de I_0 .

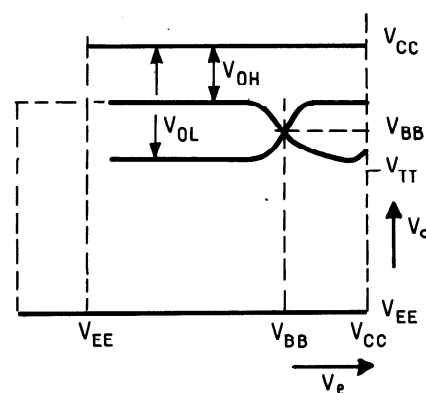
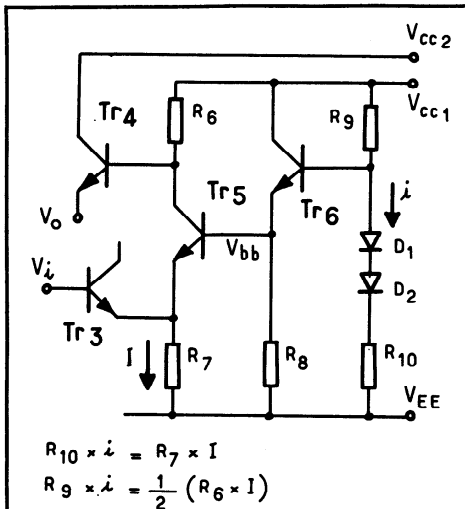


Fig. 4-7. - Caractéristique de transfert sur charge 50Ω : V_0 fonction de V_E .



$$R_{10} \times I = R_7 \times I$$

$$R_9 \times I = \frac{1}{2} (R_6 \times I)$$

Fig. 4-8. - Générateur de tension de seuil (ECL 10 K).

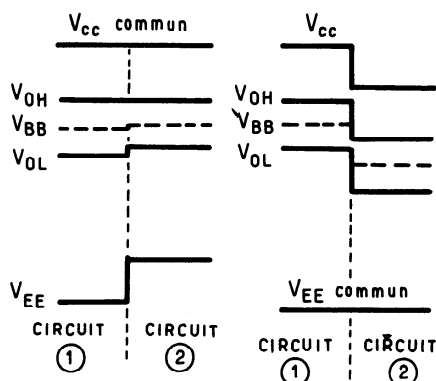


Fig. 4-9. - Variation des niveaux de sortie en fonction de la tension d'alimentation (ECL 10 K).

mentées par des tensions $V_{CC} - V_{EE}$ légèrement différentes, ce qui est le cas dans les systèmes où différentes cartes ont différents régulateurs.

On remarque que, si V_{CC} est commun aux deux portes, V_{OH} ne varie pratiquement pas, et le V_{OL} de chaque porte reste compatible avec la tension de seuil V_{BB} de l'autre.

Dans le cas où le V_{EE} est commun, les tensions de sortie V_{OH} et V_{OL} des deux portes peuvent devenir tellement différentes que le seuil de la seconde n'est plus encadré par les tensions de sortie de la première.

Pour cette raison, tous les circuits ECL sont référencés par rapport à V_{CC} , qui est pris à 0 V. Toutes les autres tensions telles que V_{OH} , V_{OL} , V_{EE} sont donc négatives.

Circuit d'entrée et fonction OU

La fonction logique d'une porte est obtenue par la mise en parallèle de transistors Tr_2, Tr_3, \dots, Tr_n (voir figure 4-10). Quand toutes les tensions d'entrée $V_{E2}, V_{E3}, \dots, V_{En}$ sont à l'état bas, c'est-à-dire inférieures à V_{BB} , tout le courant de la porte passe par Tr_5 et la tension de sortie V_4 est à l'état bas (V_{OL}).

Il suffit qu'une seule des tensions d'entrée V_{En} passe à l'état haut ($V_{En} > V_{BB}$) pour que le courant traverse le transistor de l'entrée concernée Tr_n ; la sortie V_4 passe alors à l'état haut (V_{OH}). On peut

dire, dans ces conditions, que les autres entrées peuvent alors prendre un état quelconque, la sortie V_4 restera à l'état haut. Les transistors de ces entrées pourront dériver une partie du courant I, mais l'enverront toujours dans la résistance R_3 .

Le circuit réalise ainsi une fonction OU entre ces entrées. La table de vérité en logique positive est représentée.

Remarque :

La commutation simultanée des transistors d'entrée modifie sensiblement la caractéristique de transfert. En effet, lorsque toutes les tensions d'entrée atteignent V_{BB} , le courant I se partage équitablement dans tous les transistors, ce qui fait que R_3 est traversée par une partie du courant I proportionnelle au nombre de transistors d'entrée, donc la porte commute plus tôt. Ceci est équivalent à dire que la tension de seuil V_{BB} est décalée (figure 4-10, partie droite).

verseur de relais ; de même qu'avec des relays, on peut réaliser des cascades de contacts, on peut réaliser des cascades d'étages différentiels, comme le montre la figure 5-1.

Les transistors recevant les signaux A et B sont mis en série, réalisant ainsi une fonction ET.

Pour éviter la saturation du transistor inférieur, il faut décaler les seuils des deux étages différentiels d'une tension comparable à l'excursion logique sur l'entrée A. Il est donc nécessaire de générer une seconde tension de référence V_{b2} , décalée de 1 V à 1,6 V par rapport à V_{b1} , et d'assurer un décalage égal sur le signal d'entrée A, ce qui s'obtient au moyen d'un émetteur-suiveur, comme le représente la figure 5-2, qui montre une porte OU-EXCLUSIF.

Cette possibilité logique est tellement puissante et peu consommante en puissance et en nombre de composants qu'elle est utilisée systématiquement pour les circuits complexes des familles ECL avec deux ou trois niveaux d'aiguillage de courant (le terme américain consacré est « series gating »).

C'est pour cette raison que la tension de la famille 10 K a été donnée à -5,2 V, pour laisser la place de deux décalages de tension (3 niveaux d'aiguillage de courant), alors que, pour une porte simple, 2,6 V à 3 V auraient été suffisants.

Principe des fonctions complexes

Ce chapitre décrit la réalisation de fonctions complexes et de bascules à partir des propriétés logiques particulières des aiguillages de courant et des couplages entre portes internes.

Aiguillages de courant

● L'étage de commutation étudié plus haut se comporte comme un contact in-

Bascules

● Les fonctions de type « bascule » utilisent largement ce concept. La figure 5-3

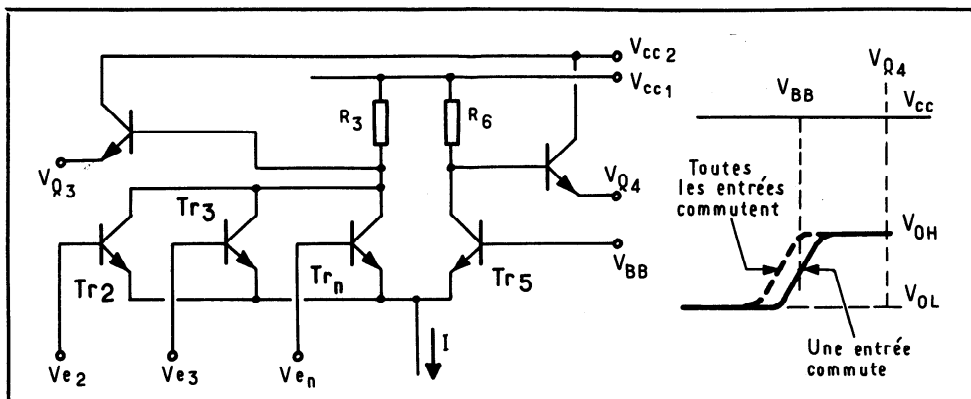


Fig. 4-10. - Circuit d'entrée ; schéma et fonctionnement.

| | | | | | |
|----------------------------------|--|--|--|----------------------------------|----------------------------------|
| V_{E1} V_{IH} V_{IL} | V_{E2} V_{IL} V_{IH} | | V_{E1} 1 0 | E_2 0 1 1 1 0 1 | E_2 0 1 0 0 1 0 |
| | V_{OH} V_{OH} V_{OL} V_{OH} | | | | |
| Sortie V_{Q4} (tensions) | | | Sortie Q_4 (Etats logiques, convention $V_H = 1$ $V_L = 0$) | | |
| | | | Fonction OU | | |
| | | | Fonction OU-NON | | |
| | | | $Q_4 = E_1 + E_2$ $Q_3 = \overline{E_1 + E_2}$ | | |

Fig. 4-11. - Table de vérité.

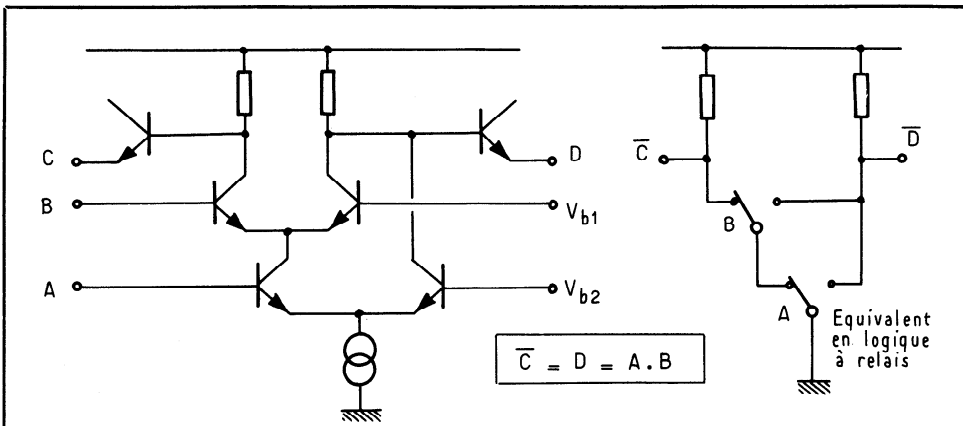


Fig. 5-1. - Aiguillages de courants.

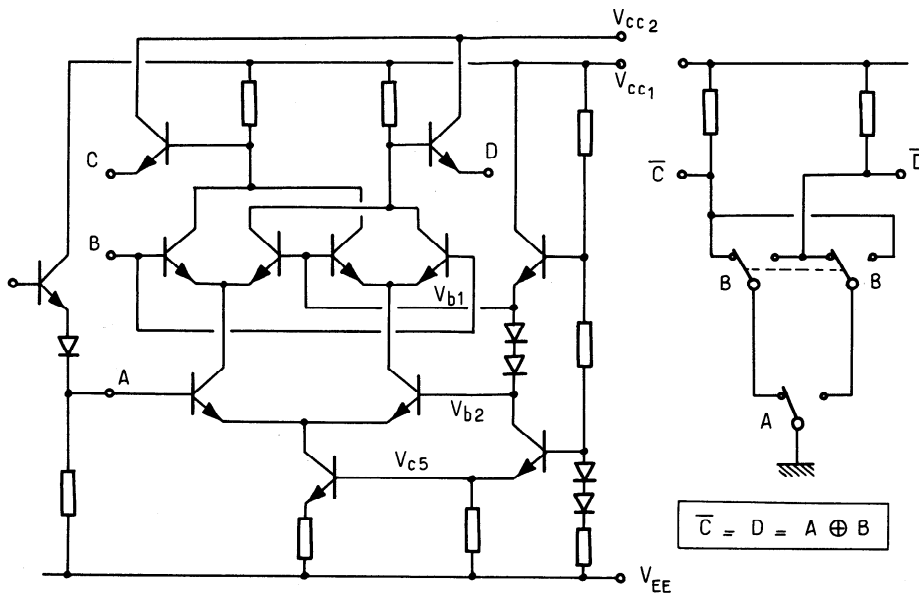


Fig. 5-2. - Porte OU-EXCLUSIF à deux niveaux d'aiguillage.

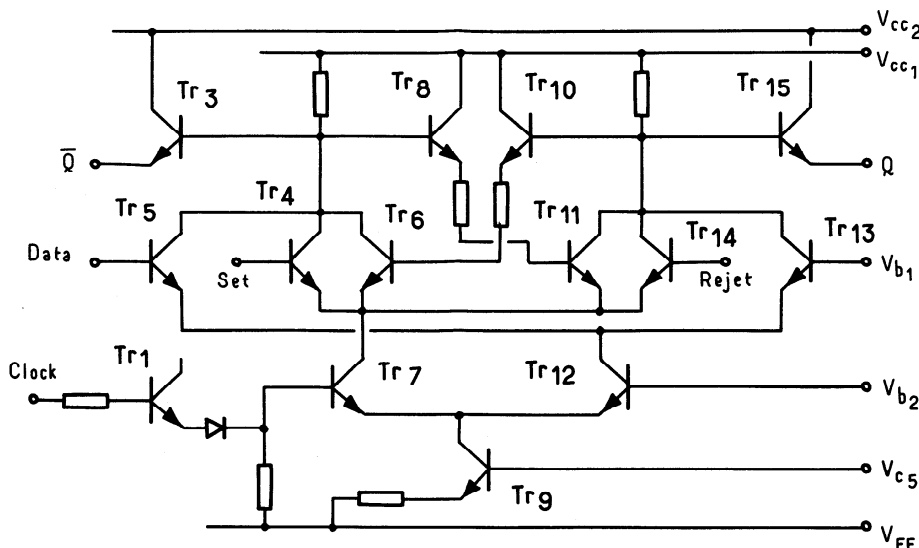


Fig. 5-3. - Bascule simple (latch) type D.

représente une bascule simple qui réalise le verrouillage d'une information « data » à l'ordre d'un signaldit « d'horloge » (clock). Lorsque « clock » est à l'état bas, le courant de la source Tr_9 est aigillé par Tr_{12} vers l'étage différentiel « data » formé par Tr_5 et Tr_{13} , et de là

vers les sorties Q et \bar{Q} , mais il commande, au passage, l'état logique des « sorties internes » Tr_8 et Tr_{10} , qui reproduisent l'état de l'entrée « data ». Lorsque l'horloge passe à l'état haut, le courant est aigillé par Tr_7 vers le différentiel formé par Tr_6 et Tr_{11} , qui, lui, est

commandé par les sorties internes. Le circuit est alors verrouillé sur l'état « data » qui précédait la remontée du signal horloge, quel que soit l'état ultérieur de cette entrée « data ».

Dans cet état verrouillé, on peut faire changer la bascule d'état, en appliquant un état lent sur l'un des transistors Tr_4 ou Tr_{14} , qui joueront ainsi un rôle de mise forcée à état haut ou bas de la sortie.

Fonctions OU câblées

● La figure 5-4 illustre une autre souplisse de l'ECL pour la réalisation de fonctions complexes. Le fait de pouvoir commander plusieurs émetteurs-suiveurs de sortie avec la même porte permet de générer aisément des fonctions supplémentaires.

Sur la figure 5-4, quatre fonctions logiques indépendantes sont réalisées à partir de seulement deux étages différentiels, par combinaison des sorties.

On remarquera que, pour les sorties internes, qui n'ont pas à commander des lignes 50 Ω, mais seulement des entrées internes à relativement haute impédance, on utilise des résistances internes d'assez forte valeur reliées au V_{EE} .

$R_T =$ de 1 000 à 5 000 Ω.

Caractéristiques électriques d'une porte ECL

Caractéristiques statiques

Gabarit des tensions

Le gabarit est étudié à partir du gabarit classique d'une fonction OU, qui délimite la caractéristique de transfert (tension de sortie fonction de la tension d'entrée). Dans la région de transition, le gain de la porte sera supérieur à un, donc celle-ci régénère les signaux logiques. On définit ainsi les immunités au bruit à l'état haut $N_{IH} = V_{OHT} - V_{IHT}$ et à l'état bas $N_{IL} = V_{ILT} - V_{OLT}$ (voir figure 6-1).

Ces notations sont propres à l'ECL, T étant l'initiale anglaise de seuil (threshold). Les angles du gabarit (les points de coordonnées V_{IHT} , V_{OHT} et V_{ILT} , V_{OLT} sont fréquemment appelés « corner points ».

La courbure de la caractéristique de transfert a une valeur bien définie au voisinage des « corner points », et est suffisamment faible pour pouvoir garantir d'une immunité au bruit supplémentaire quand la tension d'entrée atteint des niveaux situés dans la plage de la tension de sortie. Ceci définit les points (V_{ILmax} , V_{OLmax}) et (V_{IHmin} , V_{OHmin}).

La figure 6-2 représente donc le gabarit statique d'une porte ECL. Dans le cas de l'ECL 10 K, ce gabarit évolue avec la température et la tension d'alimentation du circuit.

Caractéristiques de sortie

Les caractéristiques de sortie ont été étudiées plus haut et sont représentées figure 4-6. Il faut noter que les niveaux de sortie figurant en ordonnée sur le gabarit de la figure 4-13 sont supposés mesurés sur une charge 50 Ω reliée à $V_{TT} = -2V$.

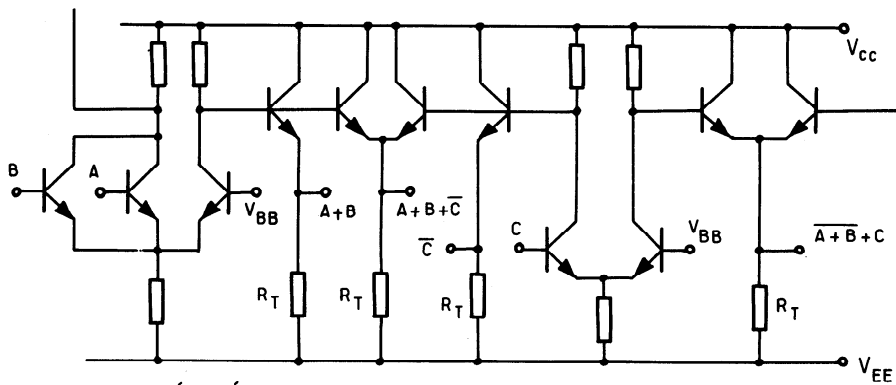


SCHÉMA ÉQUIVALENT

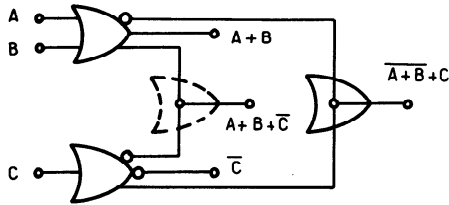


Fig. 5-4. - Emploi des OU-câblés.

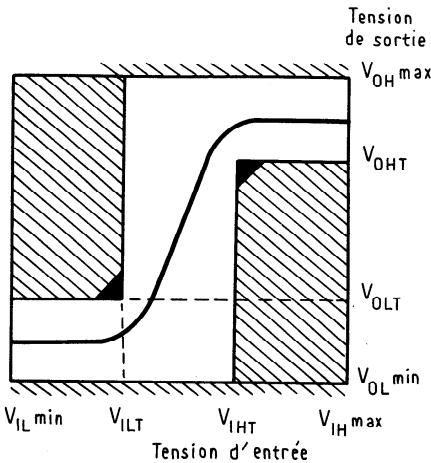


Fig. 6-1. - Principe du gabarit.

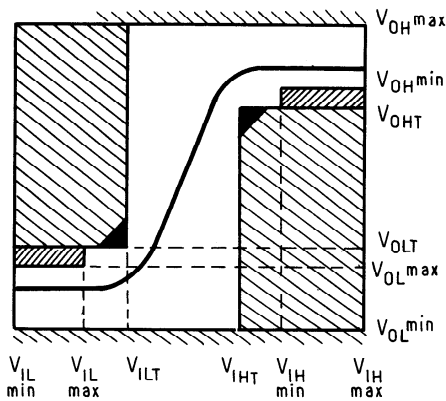


Fig. 6-2. - Gabarit statique ECL.

Dans le cas d'autres charges, il faut tenir compte de la forme des caractéristiques qui influe sur les valeurs mesurées de V_{OH} et V_{OL} .

Caractéristiques d'entrée

L'entrée de la porte ne se fait pas directement sur la base d'un transistor, mais à travers un réseau de deux résistances $R_1 - R_2$ (ou $R_4 - R_5$), comme représenté sur la figure 4-1. La résistance R_1 (R_4) de quelques dizaines d'ohms, en série avec la base, sert à avoir une impédance d'entrée positive à toutes les fréquences, car le courant d'entrée sur la figure 4-2 peut être déphasé de plus de 90° par rapport à la tension d'entrée, par suite d'effet capacitif en haute fréquence, faisant ainsi apparaître une résistance négative sur la base de T_{R2} .

La résistance R_2 (R_5), de l'ordre de $50 \text{ k}\Omega$ sert à rappeler à l'état bas les entrées non utilisées.

La caractéristique d'entrée de la porte ECL est représentée figure 6-3. Le point I_{IHmax} garantissant la charge statique maximum que représente l'entrée de la porte,

le point I_{ILmin} garantissant l'efficacité de la résistance de rappel.

Consommation

La valeur spécifiée habituellement est celle du courant traversant la ligne d'alimentation V_{EE} .

Ce courant ne dépend pas de la façon dont la porte est chargée. Il comprend, par contre, les courants d'entrée des circuits, d'où l'importance, pour les mesures, de respecter l'état des entrées prévu dans les spécifications.

Influence de la température sur les caractéristiques statiques

L'effet de la température sur les caractéristiques statiques de l'ECL 10 K est principalement dû à la variation du V_{BE} des transistors, et particulièrement des transistors de sortie (T_{R4} et T_{R1}).

La figure 6-4 montre les variations des niveaux de sortie en fonction de la température. Le gabarit statique est donc spécifié généralement à différentes températures ambiantes.

L'immunité au bruit maximum est obtenue lorsque deux circuits connectés sont à même température.

Lors d'une mesure d'un circuit, il faut s'assurer que l'équilibre thermique est atteint avant toute mesure.

Influence de la tension d'alimentation sur l'ECL 10 K

La figure 4-9 montre, dans sa première partie, la variation des niveaux de sortie. Lorsque la tension d'alimentation V_{EE} varie, V_{OH} ne varie pratiquement pas, V_{OL} varie comme $1/4 V_{EE}$ et V_{BB} comme $1/8 V_{EE}$. On peut, par ailleurs, déduire de la figure 4-8 que le courant consommé varie proportionnellement à $(|V_{EE}| - 2V_{BE})$.

Caractéristiques dynamiques

Les caractéristiques à préciser sont celles concernant l'utilisation du composant dans son application. On définit, pour mesurer ces paramètres, un environnement très proche de celui de l'application. On applique une tension d'entrée représentative des signaux qui se propagent dans le système, soit des impulsions comprenant des niveaux haut et bas typiques de V_{OH} et V_{OL} et possédant des fronts représentatifs des fronts obtenus en sortie.

Pour cette raison, on envoie sur les entrées les signaux représentés sur la figure 6-6.

Les deux paramètres dynamiques importants sont le temps de propagation t_p (pour les transitions montantes t_{pLH} et descendantes t_{pHL}), ainsi que les temps de front ou de transition (t_{TLH} et t_{THL}).

Les temps de propagation définissent le temps de réponse entre la borne d'entrée et celle de sortie mesurées.

Pour des raisons d'équipement de mesure, il est plus facile de mesurer les temps de propagation à 50% de l'amplitude des signaux, ce qui introduit une légère erreur, car cette mesure devrait s'effectuer à V_{BB} . Ces temps de propagation pour une porte simple ECL 10 K sont voisins de 2 ns.

Les temps de transition donnent une indication sur les fréquences maximales de fonctionnement et du parasitage haute fréquence provoqué dans le système par leur raideur. Les temps sont

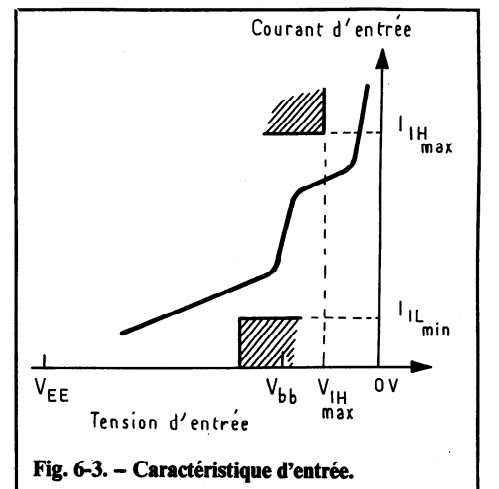


Fig. 6-3. - Caractéristique d'entrée.

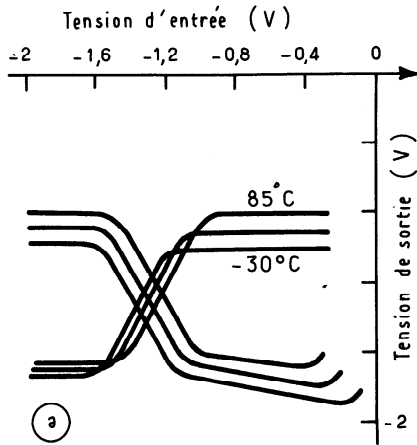


Fig. 6-4. - Influence de la température (ECL 10 K).

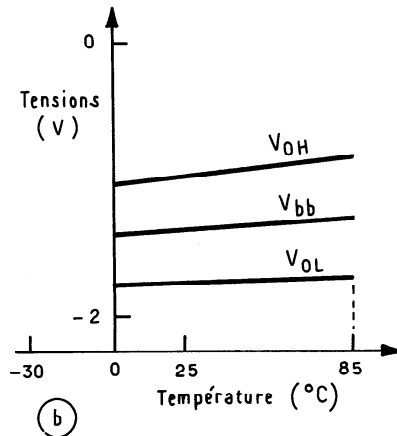


Fig. 6-5. - Temps de transition de sortie d'une porte, en fonction de celui d'entrée.

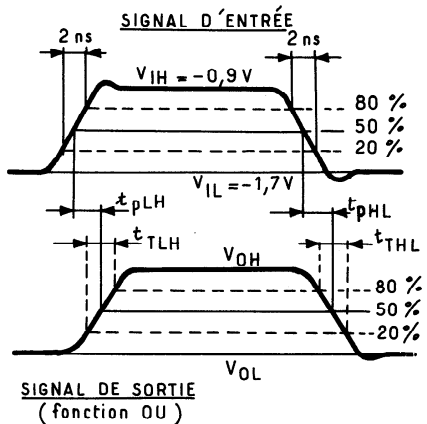


Fig. 6-6. - Formes d'ondes en mesures dynamiques.

mesurés entre 20 % et 80 % de l'amplitude du signal, pour donner une meilleure idée du signal au voisinage de la zone de transition (entre 10 % et 90 %, la mesure serait perturbée par les petites aberrations présentes au voisinage des niveaux haut et bas).

Les circuits de mesure indiqués sur les spécifications et utilisés en laboratoire utilisent V_{TT} comme masse, au lieu de V_{CC} , ce qui facilite grandement le couplage des générateurs de signaux et oscilloscopes 50 Ω .

● La commutation interne de la porte s'effectuera en deux temps :

Premier temps : la tension d'entrée monte à l'état haut ; la tension d'entrée du transistor TR_2 est retardée, en raison de sa capacité d'entrée, suivant une loi

de type RC ; puis, quand cette tension rentre dans la zone B de la figure 4-3, le transistor entre en conduction, ce qui lui prend un temps dépendant de sa fréquence de coupure : f_T .

Deuxième temps : le transistor TR_2 en conduction injecte le courant I dans la résistance R_3 . La tension collecteur, suivie quasi instantanément par la tension de sortie, se met à évoluer selon une loi de type RC également, dépendant de la capacité totale sur le collecteur de TR_2 ; celle-ci est d'autant plus forte que la résistance de charge d'émetteur de TR_1 est faible.

Les temps de montée et descente dépendent de cette deuxième phase, tandis que les temps de propagation dépendent de l'ensemble. Leurs valeurs pour une porte simple sont d'ailleurs comparables.

Particularités de l'ECL 100 K

L'ECL 100 K est une famille logique plus récente que l'ECL 10 K et qui a été améliorée sur les points suivants :

- vitesse de la porte de base (2,5 fois plus rapide),
- plus grande complexité des fonctions proposées, grâce à l'emploi systématique d'un boîtier 24 broches,
- amélioration de l'immunité au bruit dans les conditions extrêmes d'emploi, par régulation interne des niveaux en tension et en température.

Vitesse de la porte ECL 100 K de base

Les temps de propagation de 0,75 ns typique sont obtenus grâce à un procédé d'intégration à isolement latéral par oxyde donnant des transistors de petites dimensions, à capacités parasites réduites (moins de 0,2 pF), à très grande vitesse de commutation ($f_T = 5$ GHz).

De plus, une partie de cette vitesse provient de l'augmentation du courant traversant les portes de sortie (celles qui commandent les charges 50 Ω).

Pour utiliser au mieux cette famille, des boîtiers nouveaux ont été développés (boîtiers plats, boîtiers sans broches) de plus petites dimensions.

Leurs temps de propagation et leurs ca-

ractéristiques en haute fréquence sont meilleurs que ceux des boîtiers conventionnels.

Schéma électrique de l'ECL 100 K

Le schéma électrique est assez voisin de celui de l'ECL 10 K. La différence essentielle réside dans les réseaux de compensation en tension et en température (voir figure 7-1).

La tension de référence du seuil V_{BB} et la tension de commande de la source de courant V_{CS} sont fournies par un régulateur qui génère des tensions de 1,3 V, indépendamment des variations de V_{EE} ou de la température.

Le courant I traversant la porte est maintenant tel que $R_7 I + V_{be5}$ est égal à 1,3 V. Lorsque la tension d'entrée est égale à $V_{bb} = -1,3$ V et que le courant se partage également entre les deux branches du différentiel $TR_2 - TR_3$, aucun courant ne traverse R_8 et les deux tensions de sortie sont égales : $V_3 = V_4 = R_3 I/2 + V_{be1}$. Par construction, $V_{be1} = V_{be5}$, $R_7 I = R_3 I/2$ et $V_3 = V_4 = -V_{CS} = -1,3$ V.

Le point de croisement central des caractéristiques de transfert se trouve donc stabilisé à $V_{entrée} = V_{sortie} = -1,3$ V, quelles que soient la tension d'alimentation V_{EE} et la température.

V_{be5} diminue quand la température s'accroît, donc, à V_{CS} constant, le courant I dans R_7 croît avec la température.

Pour éviter que cette augmentation de I se traduise par une dérive des niveaux de sortie lorsque la porte est entièrement commutée, un réseau $R_8 D_1 D_2$ a été placé entre les collecteurs de TR_2 et TR_3 , qui absorbe une partie du courant d'autant plus grande que la température est élevée.

Les coefficients de température résultants sont représentés sur la figure 7-2. En dessous de 0 °C, il ne reste pratiquement plus de courant dans R_8 et la stabilisation de V_{OH} et V_{OL} cesse de fonctionner. Les circuits restent cependant utilisables, mais avec une immunité au bruit réduite, et ne sont pas spécifiés dans ce cas. Sur cette figure est représenté également le comportement des niveaux statiques, si le réseau $R_8 D_1 D_2$ n'était pas connecté.

Schéma du régulateur

Le schéma du principe du régulateur est donné figure 7-3.

Le régulateur repose sur la comparaison des V_{be} des transistors TR_{10} et TR_9 reliés par leur base. Le courant dans TR_9 est déterminé par R_9 et $V_{CS} - V_{be9}$. Le courant dans TR_{10} est déterminé par R_{11} et $V_5 - V_{be11}$. Par ailleurs, V_{CS} et V_5 sont sensiblement égaux, puisque reliés à V_6 par V_{be7} et V_{be8} respectivement.

Donc, le rapport des courants dans TR_9 et TR_{10} est fixé par le rapport entre R_{11} et R_9 . La loi des jonctions indique alors que $V_{be9} - V_{be10}$ est proportionnel à la température absolue, donc le courant traversant R_{10} a un fort coefficient de température positif. Ce courant est le même que celui traversant R_{11} et R_{13} . Les valeurs de R_{11} et R_{13} sont calculées pour que le coefficient de température positif de la

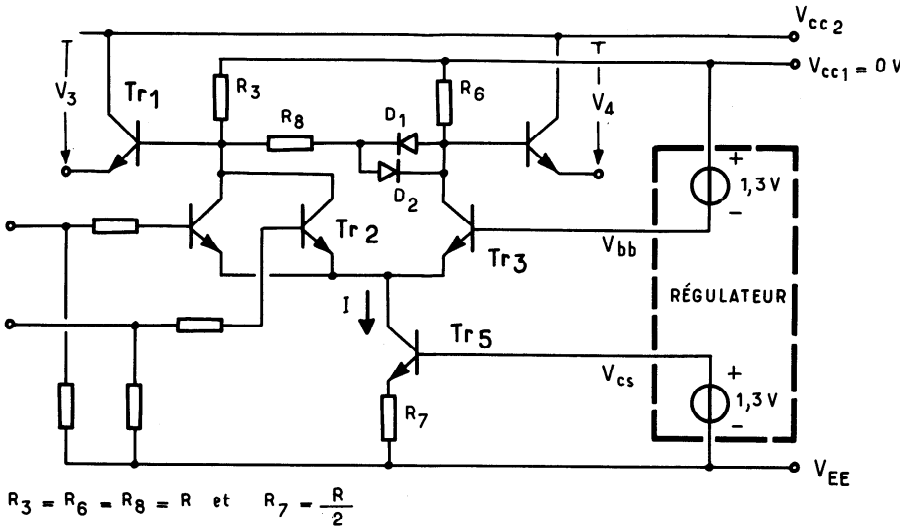


Fig. 7-1. - Schéma de principe d'une porte ECL 100 K.

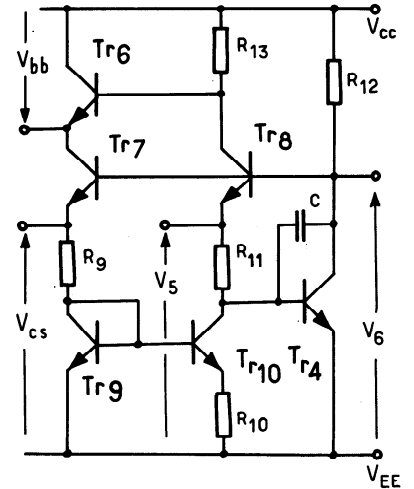


Fig. 7-3. - Principe du régulateur ECL 100 K.

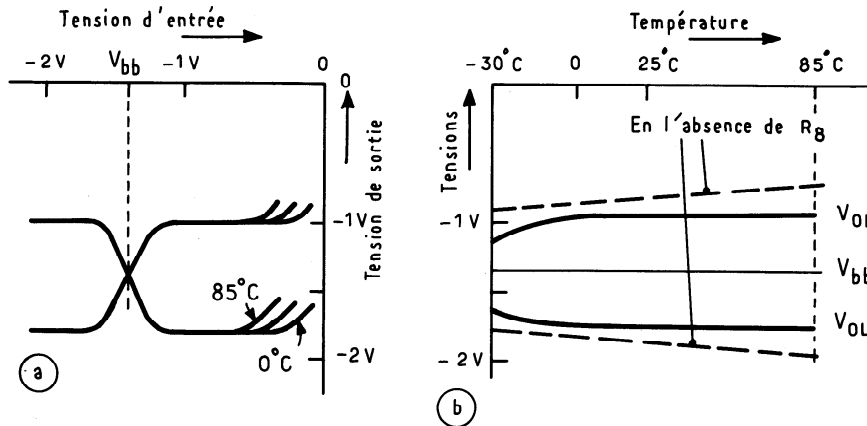


Fig. 7-2. - Influence de la température (ECL 100 K).

des variations de tension d'alimentation et de température.

Les tensions V_{CS} et V_{bb} ont donc des valeurs définies intrinsèquement par les propriétés du silicium ($1 V_{be}$ à $0^\circ K \approx 1,3 V$).

Le condensateur C stabilise la boucle de réaction $TR_{11} - RR_8 - R_{11}$ et évite des oscillations du régulateur, lors des fluctuations de la tension d'alimentation ou du courant débité.

Les régulateurs sont calculés pour fonctionner dans une plage de tensions d'alimentation V_{EE} de $-4,2 V$ à $-5,7 V$.

Fonctions complexes en ECL 100 K

On notera que beaucoup de fonctions complexes utilisent des aiguillages de courant à trois et même quatre niveaux, malgré la tension d'alimentation minimum plus faible qu'en ECL 10 K. Ceci est obtenu par l'emploi de niveaux logiques internes plus faibles, et un calcul plus précis des tensions de polarisation des étages de commutation, rendu possible par la régulation de ces niveaux.

J.J., S.M. et M.R.

tension à leurs bornes soit exactement opposé à celui négatif des V_{be} de TR_{11} et TR_6 . Ainsi, les tensions V_5 et V_{BB} sont indépendantes de la température. TR_{11} agit comme un régulateur shunt qui aurait TR_8 et TR_{11} en contre réaction, entre collecteur et base. En l'absence d'un cou-

rant dû à TR_{10} , TR_{11} fixerait la tension V_5 à $1 V_{be}$ et V_6 à $2 V_{be}$, indépendamment de V_{CC} et du courant traversant R_{12} . Le courant supplémentaire injecté par TR_{10} vient compenser le coefficient de température négatif de TR_{11} et permet d'obtenir V_5 indépendamment à la fois

Toute l'Electronique

Une grande variété de rubriques :

Pour les schémas et circuits : la schématèque et les Applications et Circuits.

Pour les produits nouveaux : Produits du mois et Nouveautés de l'industrie.

Pour les informations générales : le Panorama.