

La logique rapide QMOS

par L. MARÉCHAL (*)

La société RCA qui est à l'origine de la technologie CMOS en 1962 a introduit depuis peu sur le marché la technologie QMOS.

Les techniques modernes de photographie combinées à celles de l'ordinateur permettent de maîtriser une géométrie très fine de 3 microns. Géométrie fine et procédé CMOS combinent au sein d'un même produit les avantages des technologies bipolaires et CMOS. C'est ainsi que la QMOS bénéficie d'une très faible consommation au repos, d'une grande immunité au bruit, elle fonctionne sur une alimentation unique à large tolérance de tension et travaille à des fréquences de produits bipolaires TTL. LS.

Deux familles font partie de la série QMOS. Il y a d'une part la CD 54/74HC qui présente les niveaux d'entrée logiques CMOS et est destinée à être montée dans les systèmes CMOS de la deuxième génération et d'autre part la CD54/74HCT qui présente les niveaux d'entrée de la logique bipolaire TTL LS et qui constitue ainsi un produit de remplacement direct de ces circuits. Les deux familles sont caractérisées suivant les standards JEDEC.

Les circuits intégrés de logique QMOS sont de brochage compatible avec la plupart des circuits 54/74 TTL LS et CD4000 que l'on trouve aujourd'hui sur le marché (fig. 1).

Ils sont composés de portes, de circuits tampon, de bistables, de transmetteurs et de registres octaux, de compteurs et de nombreux circuits spécialisés.

La famille QMOS

Une géométrie de 3 microns combinée aux avantages d'une structure auto ali-

gnante sur silicium polycristallin confère à la famille QMOS les meilleures caractéristiques des deux familles CMOS et TTL LS.

Une faible consommation, une grande immunité au bruit ainsi qu'une large plage de températures de fonctionnement sont autant d'atouts inhérents à la structure CMOS. La longueur de 3 microns de la grille permet l'accès aux vitesses TTL LS.

La figure 2 compare une coupe dans une puce CMOS à grille de 7 microns à une coupe dans une puce QMOS à grille de 3 microns en silicium polycristallin. C'est cette importante réduction de la taille qui dans le procédé QMOS rend possible des temps de propagation dix fois plus petits que dans le procédé à grille métallique.

Le classement vitesse-puissance de la famille logique (fig. 3) montre l'avantage de la technologie QMOS sur les technologies concurrentes au point de vue consommation de puissance. On y voit aussi que la technologie QMOS est aussi rapide que la technologie bipolaire TTL LS et est de vitesse comparable à l'ALS.

Les principales caractéristiques des familles QMOS HC, HCT et HCU sont :

- une économie de puissance (faible consommation au repos: les circuits QMOS dissipent des microwatts là où les circuits TTL LS dissipent des milliwatts)
- Courant au repos typique:
 - 2 na par porte;
 - 4 na par bistable;
 - 8 na par circuit MSI;
- Un temps de propagation typique de 10 ns ($C_L = 50pF$)
- Un temps de propagation typique de 8 ns ($C_L = 15pF$)
- Des circuits HC et HCU qui fonctionnent entre 2 et 6 V de tension d'alimentation permettant la mémorisation à partir de 2 V comparés aux 4,5 V de la TTL LS.

(*) RCA Solid State Bruxelles

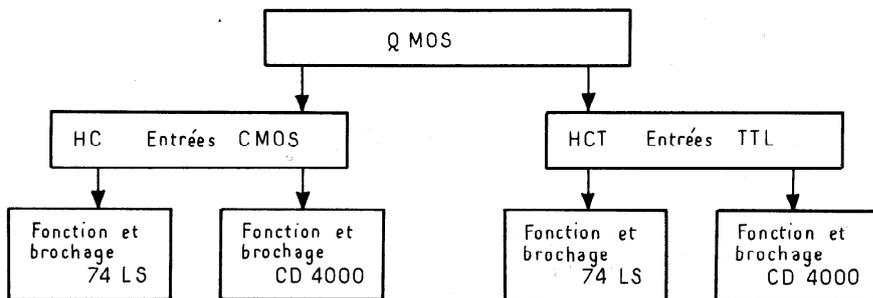


Fig. 1 : Les standards 74 TTL LS et CD 4000 de la famille QMOS.

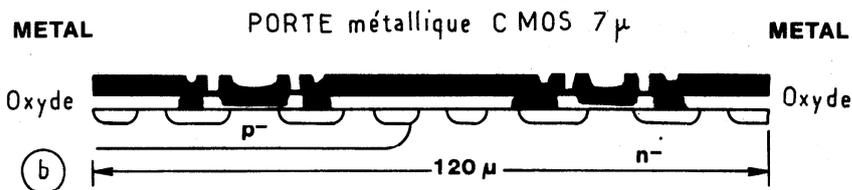
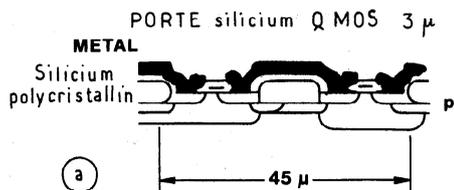


Fig. 2 : Coupe dans une puce QMOS de 3 μ (a) et dans une puce métallique 7 μ (b).

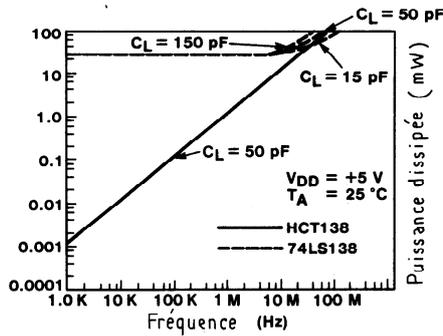
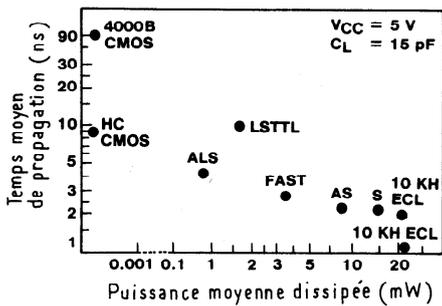


Fig. 3 : Comparaison vitesse - puissance des différents membres de la famille logique CMOS - QMOS - TTL LS - ALS, etc...

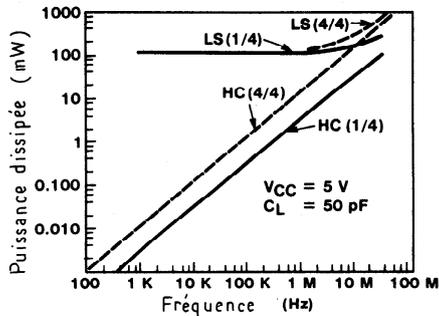


Fig. 4 : Consommation typique de puissance au repos comparée pour les technologies RMOS et bipolaire.

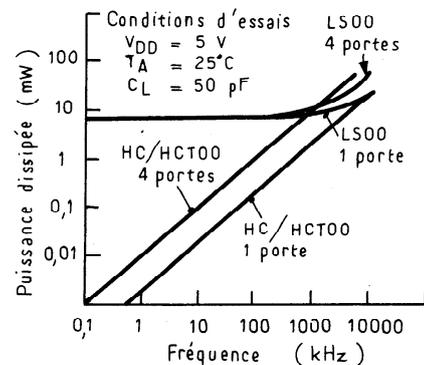
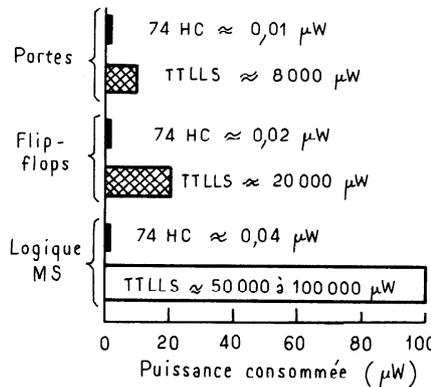
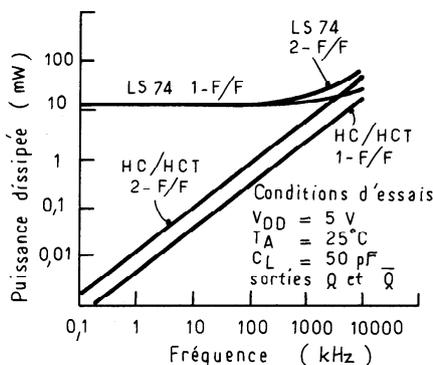


Fig. 5



Compétition QMOS TTL LS

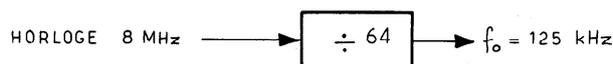
La technologie QMOS présente trois avantages fondamentaux sur la technologie TTL LS :

- Une économie de puissance dissipée remarquable.
- Une plus grande immunité au bruit.
- Une plage de températures de fonctionnement élargie.

Economie de puissance dissipée.

La propriété la plus remarquable des circuits QMOS est leur faible consommation. La figure 4 compare portes, bistables et différents circuits logiques MSI pour leur consommation au repos. Une porte QMOS par exemple consomme 800 000 fois moins de puissance que son homologue bipolaire; un circuit bistable consommera 1 000 000 de fois moins de puissance et un produit MSI entre 1 250 000 et 2 500 000 fois moins. On voit ainsi que cette série QMOS est particulièrement bien adaptée à tout système prévoyant un fonctionnement de secours sur batterie.

La consommation de puissance en fréquence de ces circuits QMOS est elle aussi très attractive ainsi que le montre la figure 5. On y voit qu'une porte QMOS CD74HC00 travaillant à une fréquence de 100 kHz ne consomme que 1/35 de la puissance consommée



Emploi de 6 "D" FF ou 3 CI.74 XX 74

Etage	CI-1		CI-2		CI-3		
	# 1 ÷ 2	# 2 ÷ 2	# 3 ÷ 2	# 4 ÷ 2	# 5 ÷ 2	# 6 ÷ 2	
f _{entrée} (MHz)	8	4	2	1	0,5	0,25	-
74 LS 74 puissance (mW)	22,0	18,0	16,0	14,0	13,0	12,0	LS TOTAL 95 mW
74 HCT 74 puissance (mW)	15,0	8,0	4,0	2,0	1,0	0,5	HCT TOTAL 30,5 mW
Economie de puissance (%) CMOS / ITLLS	32	55	75	86	92	96	Economie de puissance net 68 %

Fig. 6

par une porte TTL LS comparable. Les consommations dynamiques des deux familles QMOS et TTL LS se rejoignent à partir d'une fréquence de 10 MHz. L'économie de puissance réalisée va en augmentant avec la complexité du circuit logique; ainsi un simple bistable CD74HC74 fonctionnant à 100 kHz ne consommera que 1/50 de la puissance consommée par son homologue bipolaire. Le QMOS CD74HCT138 dissipera 200 fois moins et le transmetteur CD74HCT243 400 fois moins.

Pour se faire une idée de l'économie de puissance réalisée dans un circuit pratique, considérons un diviseur par 64 réalisé dans les deux technologies (fig. 6). Ce circuit comporte 6 bistables type D ou 3 circuits CD74HCT74. La fréquence d'entrée est de 8 MHz. Le tableau comparatif de puissance consommée par étage conclut à une économie totale de 68% pour le diviseur QMOS. Cet avantage permet une diminution considérable du coût total du système réduisant taille et quantité d'éléments tels que radiateurs, ventilateurs, alimentations, raccordements etc... Enfin, l'utilisateur du circuit va lui aussi tirer profit de cet avantage; les équipements utilisant des composants bipolaires consomment beaucoup et entraînent des frais d'exploitation se montant à plusieurs milliers de francs. Equipés de circuits QMOS moins voraces, les mêmes équipements s'avèrent beaucoup plus économiques. Un équipement TTL LS dissipe dès qu'il est sous tension même s'il reste inactif, un équipement QMOS au contraire dissipe de la puissance en proportion du travail qu'on lui demande d'accomplir. Au repos il se fait oublier, en commutation il entraîne une dépense proportionnelle au nombre de composants commutant au même mo-

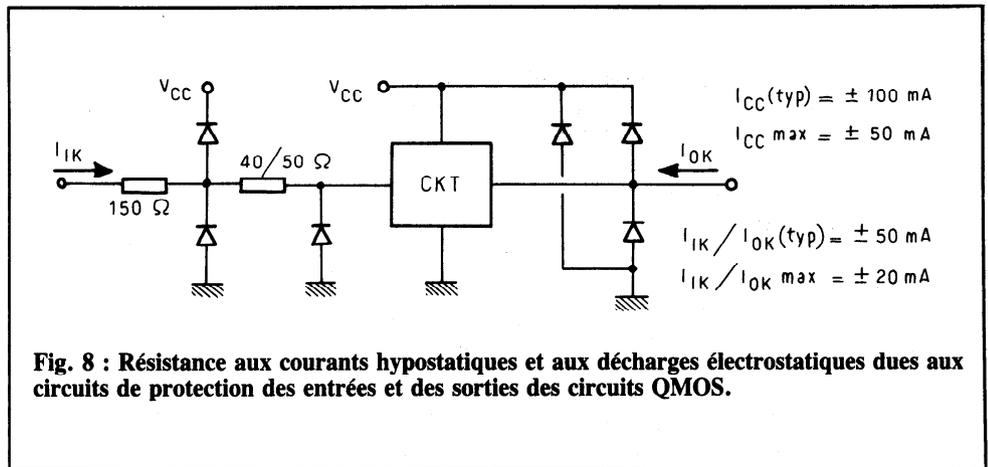


Fig. 8 : Résistance aux courants hypostatiques et aux décharges électrostatiques dues aux circuits de protection des entrées et des sorties des circuits QMOS.

LA TECHNOLOGIE

Coupe dans une puce QMOS.

La technologie CMOS rapide repose sur :

- une grille en silicium polycristallin d'une longueur de 3 microns, auto-alignante,
- une technique de diffusion par implantation d'ions,
- une interconnexion en silicium polycristallin
- un oxyde de grille très fin.

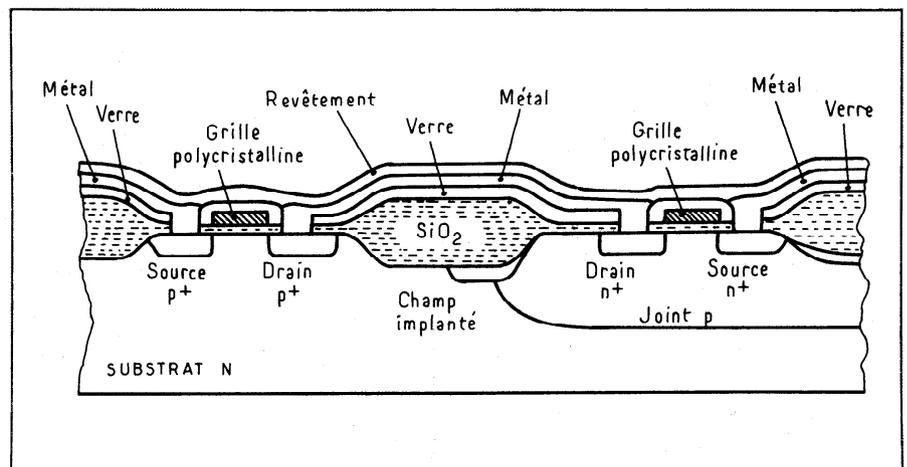
La grille 3 microns diminue la taille de la géométrie de la puce augmentant de manière appréciable la vitesse. La technique d'implantation d'ions réduit les capacités parasites de grille associées aux aires de

diffusion formant des jonctions plus étroites et réduisant les diffusions latérales.

Le silicium polycristallin permet par un niveau supplémentaire de connexions internes une plus grande flexibilité débouchant sur une réduction de la taille de la puce.

La goutte de dioxyde de silicium (SiO₂) séparant les jonctions n et p augmente encore l'intégration de la puce.

Un oxyde de grille très mince augmente la sortance et par là la vitesse.



ment et à leur cadence de commutation. Ainsi même aux fréquences où les consommations dynamiques des circuits discrets se rejoignent il y aura économie de puissance au niveau du système complet.

Immunité au bruit.

La majorité des équipements électroniques doivent être capables de fonctionner dans un environnement bruyant. Ventilateurs, moteurs, variateurs de lumière, etc... sont autant de générateurs de bruit potentiels qui peuvent affecter fortement le fonctionnement des systèmes les mieux conçus. Les composants TTL LS exigent des filtres complexes pour éli-

miner ces bruits. Les composants QMOS améliorent d'un facteur 2 à 3 l'immunité au bruit allégeant d'autant les circuits de filtrage réduisant le coût total de l'équipement.

Plage de températures élargies.

Les produits TTL LS commerciaux fonctionnent entre des limites de températures relativement proches comparées à celles des circuits QMOS : de 0°C à 70°C contre - 40°C à + 85°C. On constate un éloignement des limites de 55°C en faveur des QMOS.

Les circuits QMOS avec leur faible dissipation permettent un fonctionnement à température plus basse et une éco-

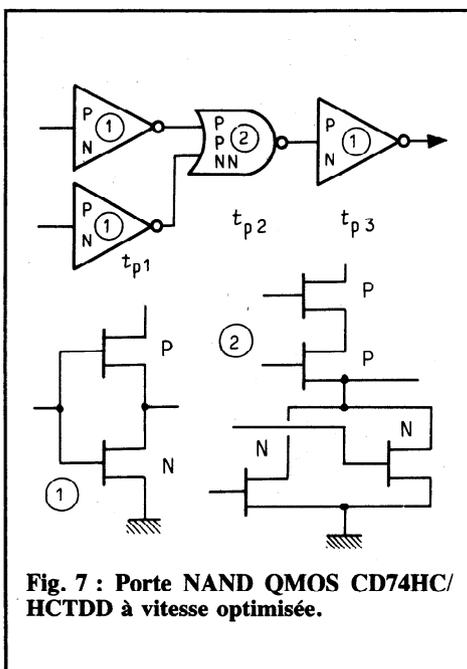


Fig. 7 : Porte NAND QMOS CD74HC/HCTDD à vitesse optimisée.

nomie importante de puissance dissipée. Leur plus grande tolérance au bruit amoindrit les effets déplorable des interférences électriques sur les systèmes électroniques fonctionnant dans un environnement bruyant. Des limites de températures de fonctionnement plus écartées donnent plus de souplesse aux systèmes pour s'adapter à un environnement de températures hostiles.

Conception.

Les fabricants de ces nouveaux composants font un grand usage de l'ordinateur pour améliorer qualité, performance et géométrie de leurs puces. Quatre outils sont utilisés :

- Le RCAP qui simule les composants actifs et passifs (semblable au SPICE)
- Le MOSFIT qui simule les composants actifs (Transistors)
- Le CRITIC qui vérifie la conformité du schéma général
- Le « Interactive Layout Graphics » qui visualise sur écran vidéo et améliore le schéma général du circuit intégré.

Ces outils ont optimisé les circuits intégrés QMOS en vitesse et en qualité. La figure 7 montre à titre d'exemple un circuit QMOS quadruple porte NAND à deux entrées optimisé par ordinateur pour sa vitesse.

- Une grande vitesse demande l'optimisation :

- au niveau de chaque étage les rapports des gains (géométrie) des transistors N MOS et P MOS pour obtenir des vitesses symétriques ($t_{PLH} = t_{PHL}$ et $\tau_{PLH} = \tau_{THI}$)
- du rapport des gains de deux étages successifs pour minimiser le temps de propagation total t_p ($t_{p1} + t_{p2} + t_{p3}$)
- de la vitesse, l'immunité au bruit et la symétrie des retards de propagation à l'aide d'entrées bufferisées.

- Une bonne tenue au courant hypostatique (latch-up) est obtenue grâce à la résistance R_1 (figure 8) réalisée sur chaque entrée par la résistivité du silicium polycristallin qui diminue les courants directs dans les diodes D_1 et D_2 du réseau de protection des entrées.

Les entrées soutiennent en moyenne un courant de ± 50 mA; la famille QMOS sera caractérisée à ± 20 mA. Une marge de sécurité identique est réalisée sur les sorties. La courbe de tension de claquage de la figure 9 protège les circuits QMOS contre les effets hypostatiques pour des courants de sortie de 50mA et pour des courants circulant de V_{DD} à V_{SS} de 100 mA (valeur moyenne).

- La protection contre les décharges électrostatiques d'une moyenne de 2,5 kVA est assurée par le réseau formé par les diodes et résistance $D_1, D_2, R_2,$ et D_3 (figure 9) sur les entrées et par

les grandes diodes, composants inhérents à la structure de sortie.

- Interaction entre deux entrées successives: la limite requise est 0,05 (figure 10).

Les diodes D_2 de deux entrées adjacentes forment un transistor parasite PNP qui, s'il est soumis à une tension supérieure à V_{DD} par une des entrées, peut modifier l'état logique de l'entrée adjacente est le paramètre d'interaction du transistor parasite. $V_{parasite} = R I_C = R \alpha_{PNP} I_E$ ou $\alpha_{PNP} = I_C / I_E$. Si α_{PNP} est maintenu bas, « $V_{parasite}$ » n'augmentera pas et par conséquent n'entraînera pas de modification de l'état logique de l'entrée adjacente. Le courant s'écoulera dans le substrat plutôt que dans la résistance.

Avec $\alpha = 0,05$ on peut forcer un courant I_E de 200 μ A dans une entrée (tout en maintenant la tension parasité développée aux bornes d'une résistance de 100 k Ω à l'entrée adjacente

plus petite que la limite $V_{IL Max}$ de 1 V)

$$I_E = I_E / \alpha = \frac{V_{IL} / R}{\alpha} = \frac{1,0V / 100k\Omega}{0,05} = 200\mu A$$

alors que le courant réellement forcé dans le cas d'une entrée V_H de 12 V ne dépasse pas 63 μ A.

$$I_E \text{ réel} = \frac{V_H - V_{DD} - V_{diode}}{R} = \frac{12V - 5V - 0,7V}{100k\Omega} = 63\mu A$$

Cet exemple démontre l'efficacité du paramètre $\alpha = 0,05$ dans la lutte contre l'interaction entre deux entrées adjacentes (fig. 11)

Une sortie de circuit QMOS standard peut piloter 10 charges TTL LS, un bus QMOS 15 TTL LS sur toute la gamme de températures (fig. 12).

La sortie absorbe 4 mA pour un com-

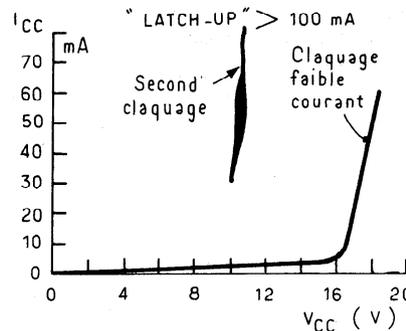


Fig. 9 : Courbe de tension de claquage d'un circuit QMOS.

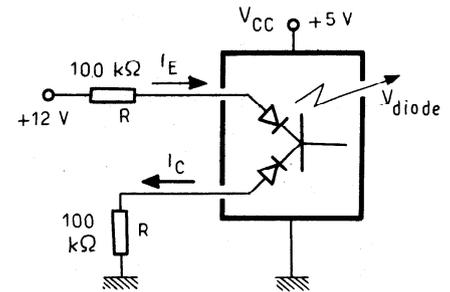


Fig. 11 : Exemple d'interaction entre 2 entrées adjacentes.

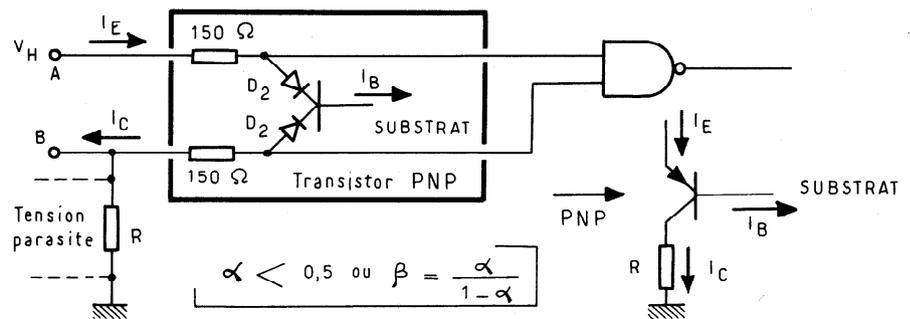


Fig. 10 : Circuit minimisant l'interaction entre 2 entrées adjacentes.

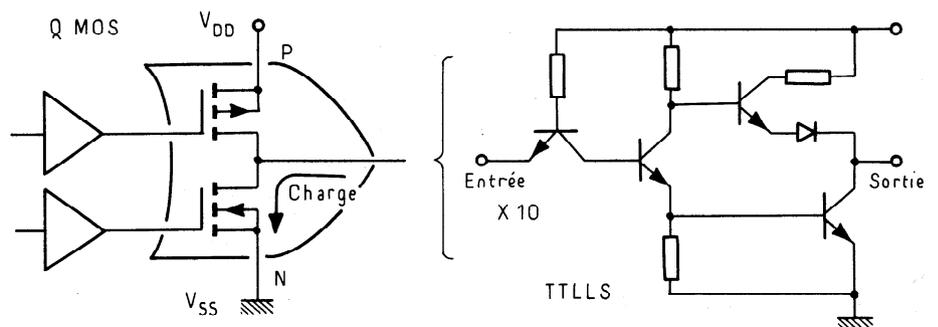


Fig. 12 : Sortance QMOS TTL LS comparée.

posant standard et 6 mA pour un contrôleur de bus. Une caractéristique bien connue des circuits TTL LS est leur sortance réduite. La caractéristique de sortance des circuits QMOS est obtenue sans sacrifice côté puissance, vitesse ou immunité au bruit. On parle d'une sortance de 20 pilotant des charges QMOS soit le double des possibilités d'un circuit TTL LS standard. Une sortance beaucoup plus élevée peut être obtenue au détriment de la vitesse et de l'immunité au bruit. Pour avoir des temps de transition et de propagation symétriques, le courant délivré par la sortie (« source ») est rendu égal au courant absorbé (« sink ») dans la région où le canal est pincé. Pour donner aux deux transistors N et P de sortie le même courant de saturation on a surdimensionné la surface de la partie P pour compenser la mobilité des trous. Ces courants diffèrent cependant dans la région triode (fig. 13).

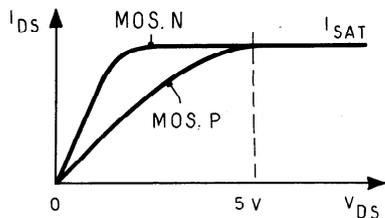


Fig. 13 : Temps de transition et de propagation symétriques des circuits QMOS.

Niveaux d'entrée à $V_{CC} = 5,0$ volts

	HC	HCT	HCU	TTL LS
V_{IL} max	1,0	0,8	1,0	0,8 volt
V_{IH} min	3,5	2,0	4,0	2,0 volts

Niveaux de sortie à $V_{CC} = 5$ V série 74

	QMOS (-40 °C to +85 °C)			0 °C to +70 °C	FAN OUT
	HC	HCT	HCU	LSTTL	
V_{OL} (Max)					
$I_L = 20 \mu A$	0.1	0.1	0.5	-	20 CMOS
$I_L = 4 mA$	0.33	0.33	0.33	0.4	10 LSTTL
$I_L = 6 mA$ (Bus)	0.33	0.33	0.33	0.4	15 LSTTL
V_{OH} (Min)					
$I_L = 20 \mu A$	4.9	4.9	4.5	-	20 CMOS
$I_L = -4 mA$	4.2	4.2	4.2	-	>10 LSTTL
$I_L = -400 \mu A$				2.7	10 LSTTL
$I_L = -6 mA$ (Bus)				-	>15 LSTTL

Fig. 14 : Marges de bruit comparées QMOS-TTL LS niveaux d'entrée (a) - niveaux de sortie (b).

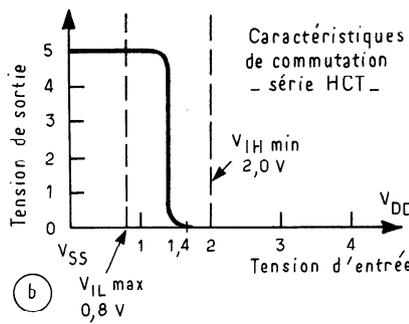
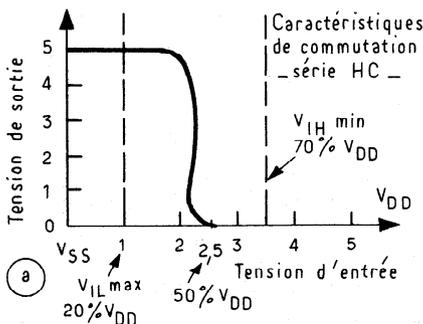


Fig. 15 : Caractéristiques moyennes de commutation QMOS.

Caractéristiques

Caractéristiques statiques :

C'est dans les caractéristiques statiques des circuits QMOS que résident

leurs avantages de faible consommation et de grande immunité au bruit. C'est la faible consommation au repos des circuits QMOS qui rend possible l'économie de puissance réalisée. Ainsi les circuits SSI (portes), les bistables et les circuits « latches » ont un courant au repos environ 2000 fois plus petit que celui de leur homologue TTL LS. Les circuits MSI environ 10 000 fois plus petit.

Niveaux d'immunité au bruit.

Les signaux d'entrée V_{IL} et V_{IH} définissent l'immunité au bruit. (Bruit maximum de tension autorisé sur une entrée lorsque les signaux d'entrée sont à 50 mV des limites de tension d'alimentation). La figure 14 montre la supériorité en termes de marge.

Les caractéristiques moyennes de commutation des séries HC et HCT sont données figure 15. Ces caractéristiques font clairement ressortir la compatibilité QMOS HCT - TTL LS.

Les spécifications des niveaux d'entrée et de sortie des circuits QMOS offrent une plus grande marge de bruit. Deux composants HC commandés l'un par l'autre offre une marge de bruit double de la configuration TTL LS identique. Le rapport de marges entre les deux technologies passe à 4 lorsqu'on interface un circuit HCT avec un circuit HC (fig. 16).

Interface.

Les séries de composants QMOS HC, HCU et HCT sont capables de piloter les circuits TTL LS. Seule la série HCT peut être commandée directement par un circuit TTL LS. Les séries QMOS HC et HCU nécessitent une résistance dite de « pull up » pour satisfaire les exigences V_{IH} minimales. Le recours à cette résistance supplémentaire ne permet pas d'obtenir des composants leurs meilleures performances; la résistance tend en effet à ralentir la vitesse, augmenter les pertes et diminuer la marge de bruit (fig. 17).

T_{AA} de $-55^{\circ}C$ à $+125^{\circ}C$
 V_{CC} de $5V \pm 10\%$

	V_{OL}	V_{OH}	V_{IL}	V_{IH}	MARGE DE BRUIT		FACTEUR d'amélioration HC/HCT à TTL LS	
					$V_{NL} = V_{IL} - V_{OL}$	$V_{NH} = V_{OH} - V_{IH}$	MARGE DE BRUIT BAS	HAUT
HC à HC	0,1 V	4,9 V	1,0 V	3,5 V	0,9 V	1,4 V	2,25	2
HC à HCT	0,1 V	4,9 V	0,8 V	2,0 V	0,7 V	2,9 V	1,75	4,14
HC, HCT à LS	0,33 V	3,7 V	0,8 V	2,0 V	0,47 V	1,7 V	1,175	2,43
LS à LS	0,4 V	2,7 V	0,8 V	2,0 V	0,4 V	0,7 V	-	-

Fig. 16 : Marges de bruit comparées pour différentes interfaces QMOS-QMOS, QMOS-TTL LS, TTL LS-TTL LS.

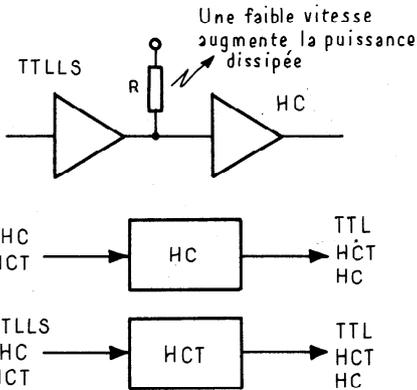


Fig. 17 : Circuits d'interface QMOS-TTL LS, TTL LS-QMOS.

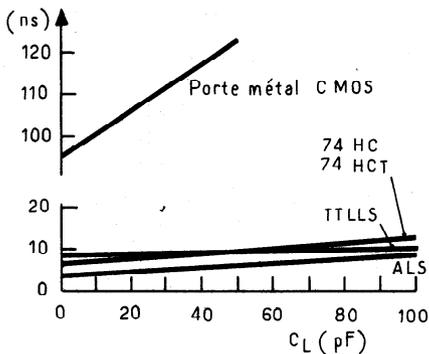


Fig. 18 : t_{pd} typique en fonction de C_L pour les circuits QMOS HC, HCT-TTL LS et ALS.

Temps de transition de la famille

$C_L = 50 \text{ pF}$

Symbole	Famille	V_{CC}	Limite max. 25°C	Unités
t_{THL}	Sortie standard	2	75	ns
		4,5	15	ns
		6	13	ns
t_{TLH}	Sortie commande de bus	2	60	ns
		4,5	12	ns
		6	10	ns

Fig. 19 : Valeurs limites des temps de transition dans les circuits QMOS CD54HC, HCT et CD74HC, HCT.

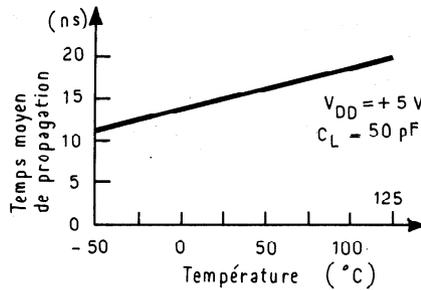


Fig. 20 : Variation typique du temps de propagation du circuit HC138 en fonction de la température.

Les circuits de logique rapide QMOS 74HC et 74HCT sont conçus pour avoir les vitesses de commutation et les fréquences de fonctionnement des circuits TTL LS. On a réduit la variation des retards de propagation avec la capacité de la charge réactive au niveau de celle des circuits TTL LS et ALS. (fig. 18).

Valeurs limites des temps de commutation. (Temps de retard à la propagation t_{PHL} , t_{PLH})

La figure 19 donne les valeurs limites des temps de transition dans les circuits QMOS CD54HC, HCT et CD74HC, HCT. La figure 19 donne les valeurs limites des temps de retard à la propagation dans les circuits QMOS 00, 74, 138 et 243 ainsi que des courbes de valeurs typiques de leur variation en fonction de la capacité C_L de charge et de la tension d'alimentation. La fréquence d'horloge moyenne des circuits bistables pour une charge C_L de 50 est 50 pF MHz comparés aux 35 MHz des circuits TTL LS identiques.

La figure 20 montre comment le temps de propagation dans le circuit QMOS CD74HC138 varie avec la température.

L. M.

SYSTRON DONNER

Multimètre 7362 2 000 000 de points de mesure

Ce nouveau voltmètre est :

- un appareil de métrologie (précision 1.10^{-5})
- un appareil de système (2 à 220 mesures/seconde)
- un appareil de laboratoire (résolution 100 nV)

précis - fiable - fidèle

La calibration s'effectue digitalement à partir du clavier face avant ou du calculateur (bus IEEE)

SYSTRON DONNER