

GPI 32

INTERFACE UNIVERSELLE

MANUEL D'EXPLOITATION

PARTIE 1 : UTILISATION

PARTIE 2 : DRIVER

PARTIE 3 : TEST

- * en haut de page indique le changement complet de la page par rapport à l'IE précédent
- | en marge indique la partie modifiée par rapport à l'IE précédent

PARTIE 1
UTILISATION DU MODULE

GPI 32

SOMMAIRE

Pages

1 - PRESENTATION

1.1 - BUT	1-1
1.2 - CONSTITUTION GPI 32	1-2
1.3 - RACCORDEMENT DES GPI	1-3
1.4 - CONDITIONS D'UTILISATION	1-3
1.5 - CONTRAINTES D'UTILISATION	1-3

2- DESCRIPTION DE L'INTERFACE UNIVERSELLE

2.1 - SYNOPTIQUE DE LA CHAINE DES DONNEES	2-1
2.2 - SORTIE INFORMATIONS	2-2
2.3 - ENTREE INFORMATIONS	2-4
2.4 - SIGNAUX DE SERVICE DIVERS	2-6
2.5 - UTILISATION DES SIGNAUX DE SERVICE - EXEMPLES	2-8
2.6 - CARACTERISTIQUES DES SIGNAUX	2-12

3 - PROGRAMMATION

3.1 - GENERALITES	3-1
3.2 - MODES D'ECHANGE	3-3
3.2.1 - Mode programmé simple	3-3
3.2.2 - Mode programmé par Interruption	3-6
3.2.3 - Mode canal	3-14

4- MISE EN OEUVRE

4.1 - SYNOPTIQUE GENERAL DES INTERRUPTIONS DE L'I.U	4-1
4.1.1 - Etude du synoptique	4-3
4.2 - FICHE DE CONNEXION DU GPI 32	4-5
4.3 - IMPLANTATION DES TRACKS SWITCHES ET DES BROCHES WRAPPING	4-6
4.4 - SYNOPTIQUE GENERAL DES INTERRUPTIONS	4-7
4.5 - TRACKS SWITCHES	4-8
4.5.1 - Adresse carte	4-8
4.5.2 - Numéro HLW	4-9
4.5.3 - Canal LDC	4-10
4.5.4 - Canal MDC	4-11

	Pages
4.6 - EXEMPLES DE MISE EN OEUVRE	4-12
4.6.1 - Arbre de polling	4-13
4.6.2 - Gestion des MOT1E et MOT1S par interruption	4-14
4.6.3 - Gestion des appels externes par interruption	4-16
4.6.4 - Gestion des MOT2E et MOT2S par interruption	4-18
4.6.5 - Gestion (non simultanée) des mots 1S ou 1E en canal	4-20
4.6.6 - Gestion (non simultanée) des mots 1S ou 1E en canal avec MOT2E et MOT2S et 1 appel externe gérés par IT	4-24
4.6.7 - Gestion des 4 mots et des 2 appels externes par IT	4-25
5 - ANNEXES	
5.1 - EQUATIONS INTERFACE UNIVERSELLE	
5.2 - SCHEMAS DE PRINCIPE	
5.3 - SERIGRAPHIE DE LA CARTE	
5.4 - CABLE DE LIAISON N° 1 153 045	

1. - PRESENTATION

1.1 - BUT

L'interface Universelle offre à l'utilisateur les signaux, les informations d'entrées et de sorties, nécessaires pour assurer la liaison entre un ordinateur de la gamme SOLAR et une ou plusieurs unités périphériques

- Machine à interface TTL, logique particulière, sorties tout ou rien, entrées tout ou rien.

Le dialogue est du type «appel-réponse» il peut être assuré en mode

- programmé simple
- programmé par interruption
- canal (Low data ou médium data-channel ou High speed data-channel)

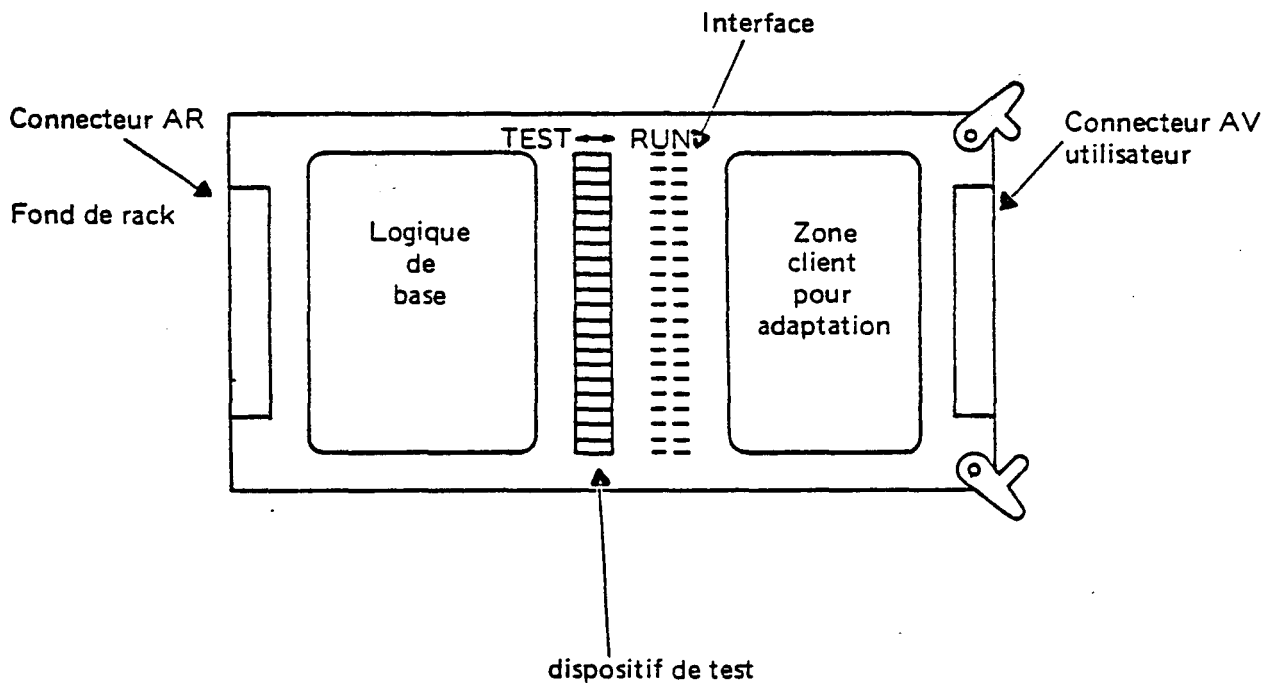
Le module GPI 32 est constitué d'une carte N° 1.150.312 format 1/2 (13" x 7,7") occupant un emplacement de fond de rack, du manuel d'exploitation N° 1.159.305/00.01.46 et d'un programme de test N° 1.158.305.01.02.

On distingue :

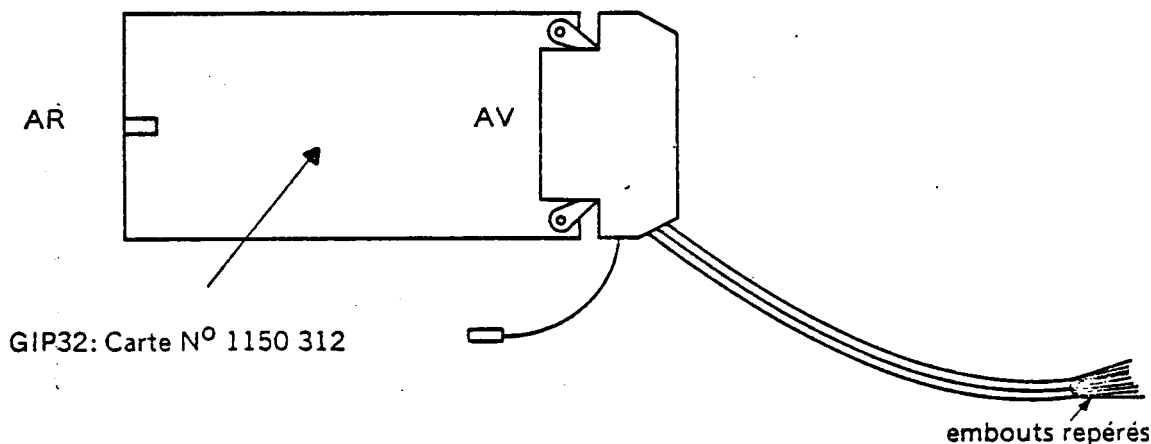
- Une logique de base réalisant le changement d'interface (BUS I/O SOLAR-> interface universelle) et comportant tous les circuits pour assurer la gestion des signaux de service et des interruptions.
- Un dispositif de test
- Une zone disponible pour la réalisation d'une logique spéciale d'adaptation en «fils soudés» ou «wire wrapp» capable de recevoir soit
 - 40 boîtiers DIL 14 ou 16 broches
 - 30 boîtiers DIL 14 ou 16 broches et 1 boîtier DIL 40
 - 32 boîtiers DIL 14 ou 16 broches et 2 boîtiers DIL 28

L'étude, la réalisation et le câblage sont à la charge de l'utilisateur.

L'interface utilisateur est disponible au milieu de la carte sur 2 rangées de pins «wire wrapp».



1.3- RACCORDEMENT DES GPI avec l'organe périphérique



Les signaux d'interface sont disponibles à l'avant de la carte (GPI 32 N° 1 150 312). La liaison entre le sous ensemble périphérique et la carte sera réalisée avec un câble multipaires, blindé de préférence. Ce câble n'est pas fourni avec le module ; toutefois est offert sur option l'élément technologique nécessaire au raccordement. A disposition :

- Un câble de liaison Q1616 2 fois 16 quartes N° 1 153 045 00 avec embouts repérés à une extrémité et équipé à l'autre extrémité d'un connecteur AV 2 x 40 broches.

1.4- CONDITIONS D'UTILISATION -ALIMENTATION

L'alimentation 5 V est assurée par le bac support.

- Consommation de chaque carte : 1,2 A sous 5 V
- Température d'utilisation (fonctionnement) 10⁰ à 40⁰ C.
- Distance de raccordement dans un environnement non perturbé : 10 m maximum.

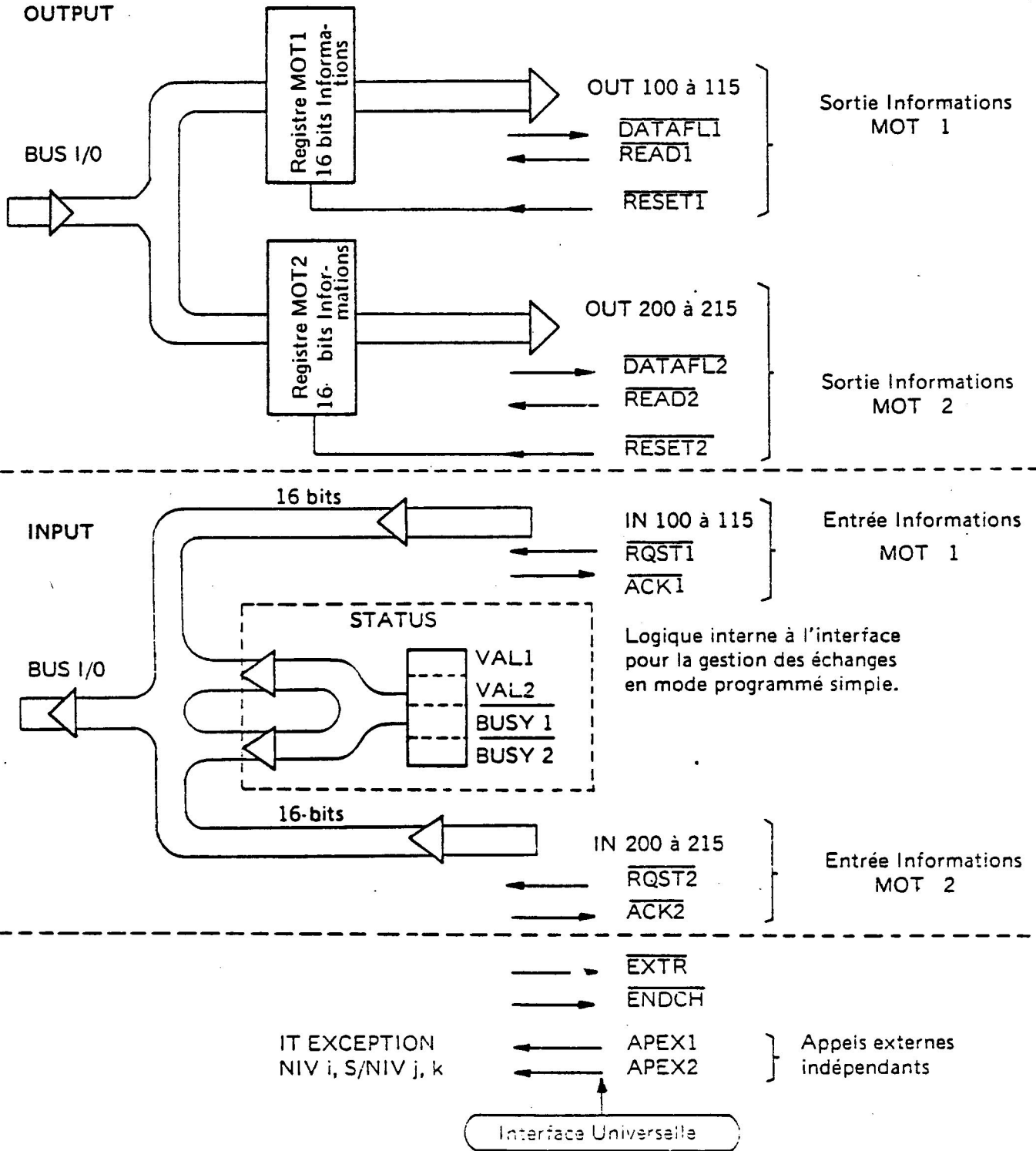
1.5 - CONTRAINTES D'UTILISATION

- Zone client pour adaptation

Consommation maximale autorisée : 0,8 A sous 5 V.

2.-DESCRIPTION DE L'INTERFACE UNIVERSELLE

2.1 - SYNOPTIQUE DE LA CHAÎNE DES DONNÉES



L'interface comprend 2 ensembles logiques distincts permettant un dialogue bidirectionnel entre le calculateur et un sous ensemble périphérique.

On distingue

- un ensemble relatif aux échanges en **SORTIE** dans le sens calculateur → périphérique.
- un ensemble relatif aux échanges en **ENTREE** dans le sens périphérique → calculateur.

2.2 -SORTIE INFORMATIONS

L'utilisateur dispose de 2 mots de sortie.

A chaque mot sont associés 2 signaux de service : un signal «appel» et un signal «réponse»

MOT 1

-Un registre tampon de 16 bits mémorise un mot d'informations en provenance du calculateur
Ce registre est chargeable par l'instruction SIO standard; il est également utilisé par tous les canaux pour transférer les blocs d'informations.

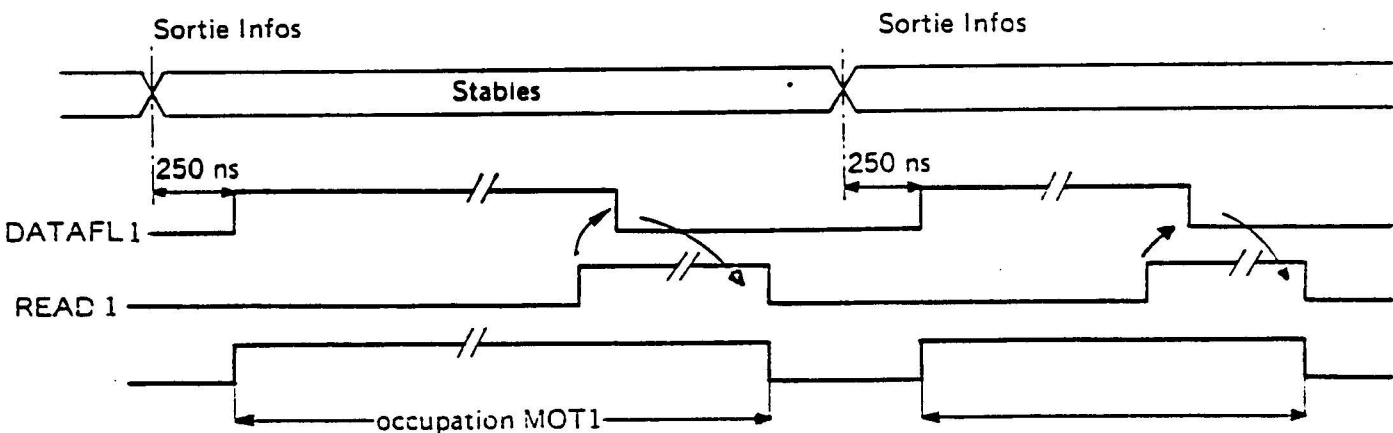
Les signaux de service de ce registre sont

/DATAFL1 = signal d'appel émis par l'interface universelle

/READ1 = signal de réponse émis par l'utilisateur.

Ce registre est remis à zéro par la mise sous tension calculateur et par la clé «INITIALIZE» du pupitre de commande.

Diagramme des signaux MOT1



-OUT 100 à OUT 115 : Bits d'informations

Les informations sont transmises en valeur à l'utilisateur.

- DATAFL1 : Indicateur de données. Ce signal précise que le mot d'informations, qui vient d'être chargé dans le registre, est stable donc exploitable par l'utilisateur. Le front avant ou le niveau peut être éventuellement utilisé comme horloge de chargement pour un registre tampon externe à la carte. Ce signal subsiste tant que la réponse (READ1) n'est pas envoyée par l'utilisateur.
- READ1 : Réponse émise par l'utilisateur. Ce signal est destiné à désactiver l'indicateur DATAFL1. Il doit être maintenu jusqu'à la disparition de celui-ci. La réponse peut être annulée dès la disparition de DATAFL1. L'interface universelle élabore dans sa logique interne - un signal d'occupation (BUSY1) qui dure depuis DATAFL1 jusqu'au front arrière de la réponse. L'état d'occupation de ce mot, testable à chaque instant par programme, est utilisé pour la gestion des échanges en mode programmé simple.

MOT 2

- Un registre tampon de 16 bits mémorise un autre mot d'informations en provenance du calculateur.

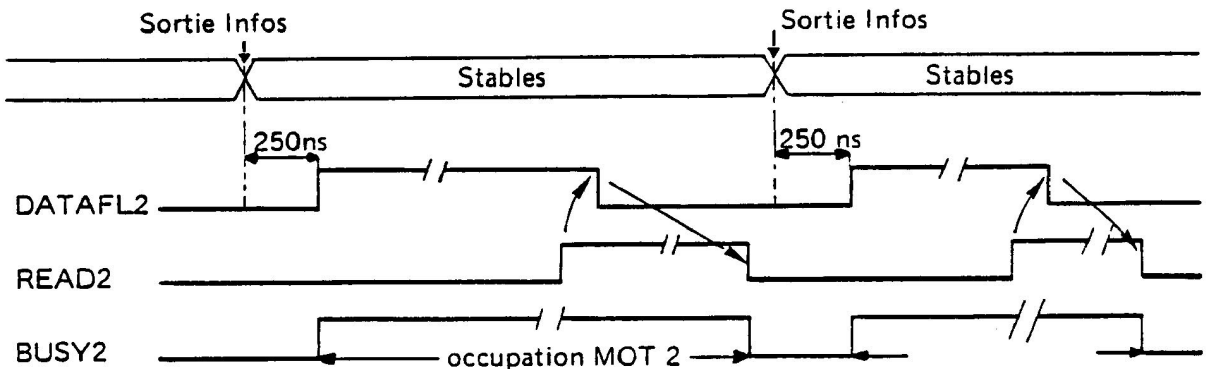
Ce registre est chargeable exclusivement par programme (Instruction SIO standard), il est inaccessible par les canaux.

Les signaux de service de ce registre sont

- = /DATAFL2 = signal d'appel
- = /READ2 = signal de réponse

Ce registre est remis à zéro par la mise sous tension calculateur et par la clé «INITIALIZE» pupitre.

Diagramme des signaux MOT2



-OUT 200 à OUT 215

Bits d'informations

- DATAFL2 : Indicateur de données (cf : DATAFL1)
- READ2 : Réponse émise par l'utilisateur (cf : READ1)

Le signal **BUSY 2** est élaboré par l'interface universelle pour la gestion du mot en mode programmé simple.

2.3 - ENTREE INFORMATIONS

L'utilisateur dispose de 2 mots d'entrée. A chacun sont associés 2 signaux de service (un signal d'appel et un signal de réponse).

MOT 1

- Un multiplexeur d'entrées à plusieurs voies permet avec l'une des voies la prise en compte par le calculateur d'un mot d'informations extérieures de 16 bits. II n'y a pas de registre tampon dans l'interface universelle, les informations présentées doivent donc être stables pendant l'opération d'entrée (mémorisation extérieure s'il y a lieu).

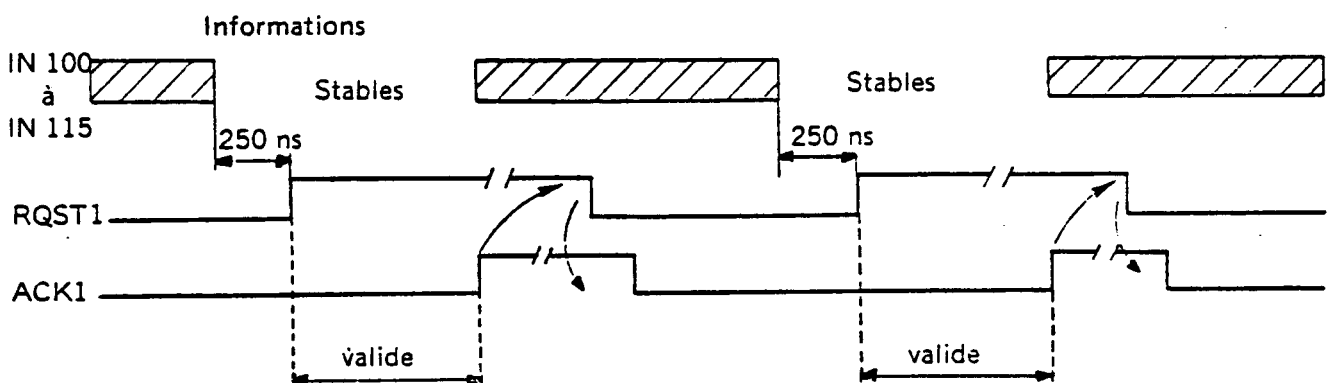
Ce mot d'informations est gérable soit :

- en mode programmé, par l'instruction SIO Standard.
- en mode canal

Les signaux de service de ce mot sont :

- RQST1: demande d'entrée informations, signal d'appel émis par l'utilisateur.
- ACK1 : Réponse de l'interface.

Diagramme des signaux MOT1



- IN100 à IN:115 : Bits d'informations

Les informations doivent être présentées en valeur au moins 250 ns avant le front avant de la demande d'entrée RQST1 et rester stables jusqu'à la réponse ACK1.

— RQST1 : demandé d'entrée MOT 1 (signal appel)

Ce signal précise au calculateur qu'il peut faire l'acquisition du mot qui est présenté, les informations étant stables et valides. RQST1 doit rester actif jusqu'à ce que la réponse ACK1 apparaisse. RQST1 peut revenir à l'état initial dès que ACK1 est reçu.

— ACK1 : réponse calculateur

Ce signal apparaît quand l'opération d'entrée du MOT1 est terminée. C'est l'accusé de réception pour l'utilisateur.

Ce signal subsiste tant que la demande RQST1 est maintenue.

MOT 2

Une autre voie du multiplexeur d'entrées permet la prise en compte d'un autre mot d'informations extérieures de 16 bits. Il n'y a pas de registre tampon dans l'interface universelle, les informations présentées doivent être stables pendant toute l'opération d'entrée (mémoire extérieurement s'il y a lieu).

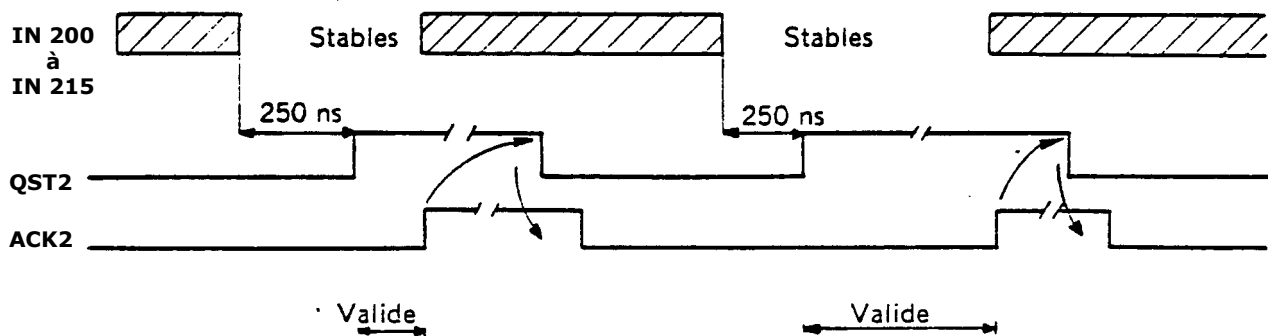
Ce mot d'informations s'acquiert exclusivement par l'instruction SIO Standard

Les signaux de service sont :

— RQST2 = demande d'entrée informations

— ACK2 = réponse calculateur

Diagramme des signaux MOT2



-IN 200à IN215

Bits d'informations.

Les informations doivent être présentées en valeur au moins 250 ns avant le front avant de la demande RQST2 et restées stables jusqu'à la réponse ACK2.

- $\overline{\text{RQST2}}$: demande d'entrée MOT2. Ce signal doit être rester présent au moins jusqu'à ce que la réponse ACK2 apparaisse; il peut revenir à l'état initial dès que ACK est reçu.
- $\overline{\text{ACK2}}$: Réponse. Apparaît en fin d'opération d'entrée et subsiste tant que la demande RQST2 est maintenue.

Pour chaque mot d'entrée, l'interface universelle, à partir des 2 signaux de service, élabore un signal d'état VAL, (VAL1 pour le mot 1 et VAL 2 pour le mot 2) représentant l'instant de validité des informations) que le programme devra tester pour la gestion des échanges en mode programmé simple.

2.4 - SIGNAUX DE SERVICE DIVERS

/EXTR : Signal d'initialisation (Remise à zéro hardware) transmis en complément.

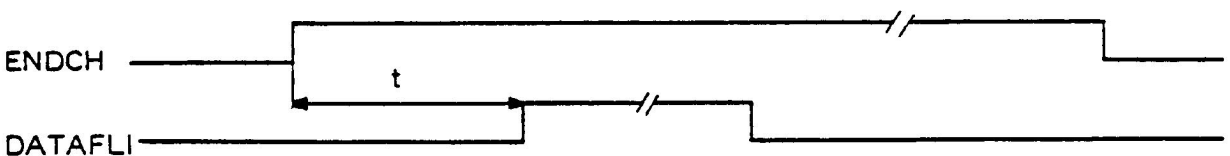
Il apparait

- à la mise sous tension calculateur
- à chaque action sur la clef "INITIALIZE" calculateur.

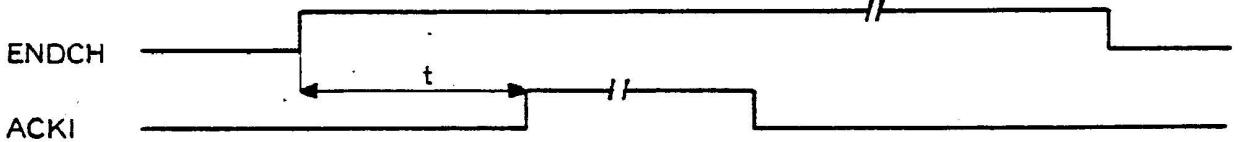
/ENDCH : Fin d'échange canal.

Signal émis er complément par les canaux, exclusivement en mode canal. Il précise que le canal va transférer le dernier mot de l'échange (compte de mots nuls). Il apparait aussi bien en entrée qu'en sortie.

En Sortie



En Entrée



$t = 1 \text{ à } 8 \mu\text{s}$ suivant type de calculateur

ENDCH est annulé par software sous tache hardware relative au traitement de l'IT EXCEPTION de fin d'échange (interface universelle).

- APEXI

Entrée appel externe N°1 qui permet de déclencher une interruption exceptionnelle. Cette entrée est sensible aux transitions montantes. (largeur minimum d'impulsion : 300 ns si impulsion positive, 1,5 μs si impulsion négative).



- APEX2

Entrée appel externe No 2, indépendante de APEX1, présentant les mêmes caractéristiques électriques qu'APEX1.

Pour ces 2 entrées, dans le cas d'une commande extérieure par bouton poussoir, prévoir un filtrage ou une mémoire anti-rebonds.

Nota : En utilisation normale les entrées APEX1 non utilisées au niveau interface devront être référées au + 5V.

/RESET1 = Entrée de remise à zéro du registre tampon MOT1 de sortie

/RESET2 = Entrée de remise à zéro du registre tampon MOT2 de sortie.

- Normalement à l'état haut, ces entrées sont actives à l'état bas: .

2.5 - UTILISATION DES SIGNAUX DE SERVICE - EXEMPLES

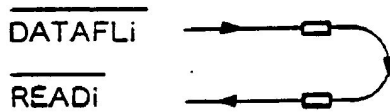
Elaboration des signaux de réponse READ1 et READ2

1° cas

- L'organe périphérique n'a pas de cycle d'occupation propre

(Exemple : sorties tout ou rien, etc ...). Les ordres de sortie sont sous l'entière responsabilité du programme, le périphérique est alors toujours libre.

On peut relier pour un même mot de sortie, l'appel et la réponse d'un même mot de sortie.



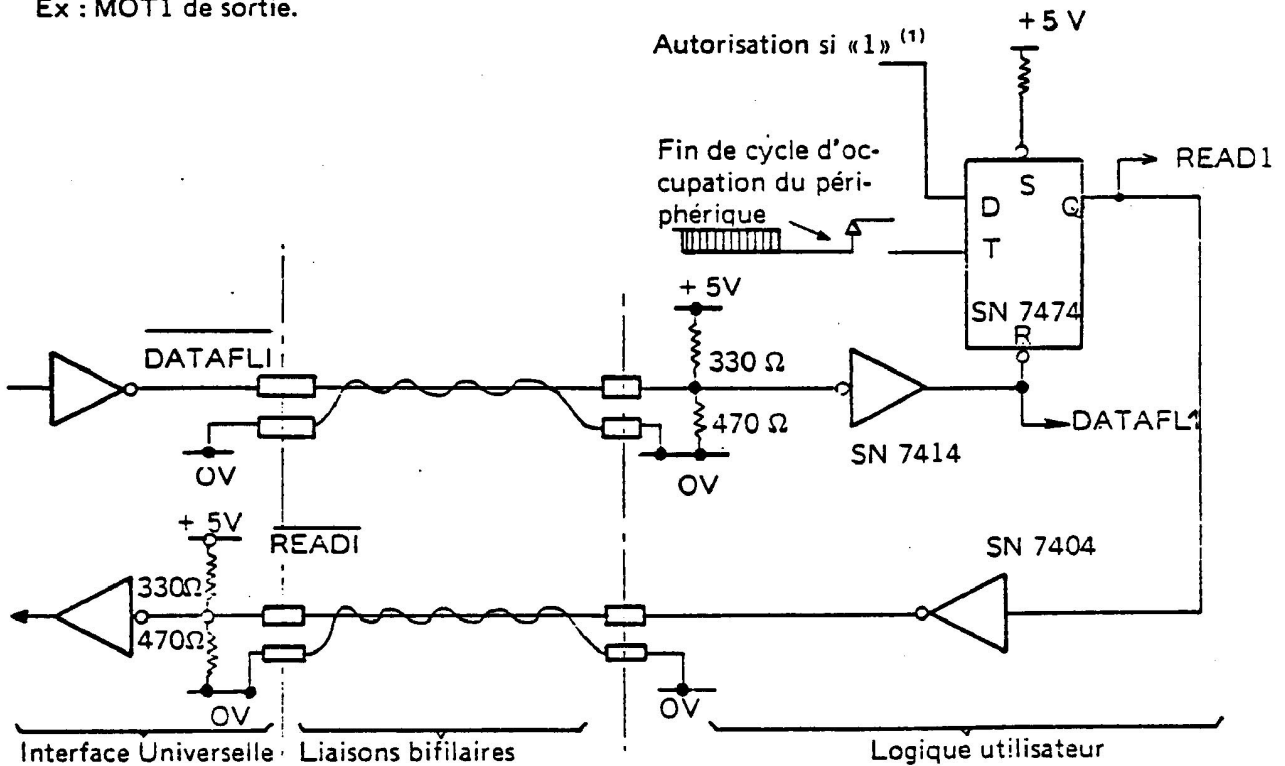
La logique de la carte mère est conçue de telle façon que **la réponse puisse être l'appel lui-même**. Toutefois seul le mode programmé simple — pour les mots correspondants — est possible.

2° cas

L'organe périphérique possède un cycle d'occupation.

Nous conseillons le schéma ci-dessous pour la gestion de chaque réponse READ.

Ex : MOT1 de sortie.



(1) Autorisation si 1 devient $\overline{\text{ENDCH}}$ pour un échange en mode canal sur le mot 1 (cette condition est le minimum nécessaire).

Élaboration des signaux des demandes d'entrée RQST1 et RQST2

Comme en sortie, 2 cas possibles.

1^{er} cas

L'organe périphérique n'a pas de cycle de validation.

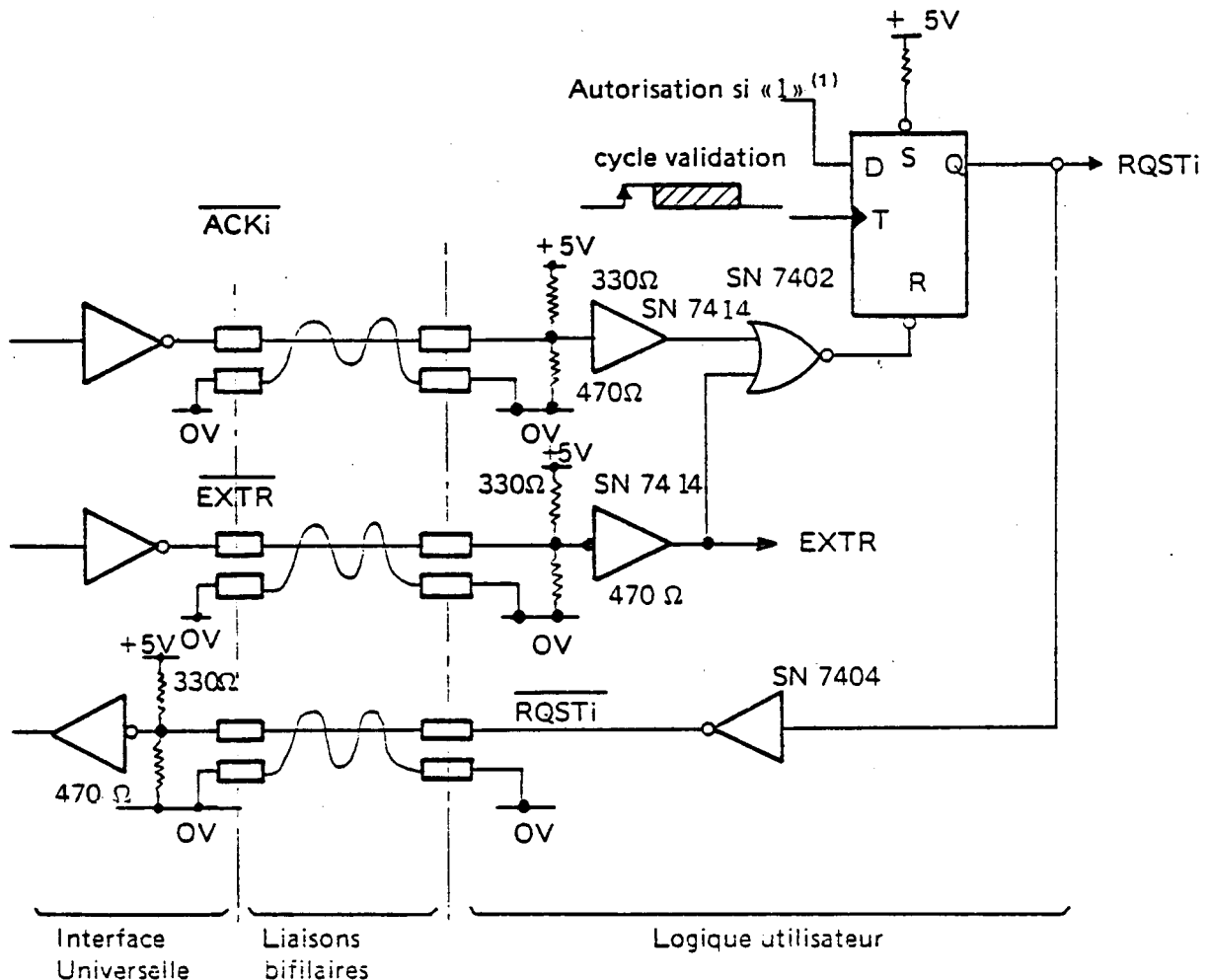
(Exemple : Entrées Tout ou Rien, registre d'état d'un périphérique etc ...)

L'acquisition d'un MOT d'entrée est possible à tout instant quel que soit l'état logique du signal \overline{RQST} . Une entrée accumulateur est dite «non valide» si elle s'effectue alors que le signal \overline{RQST} du mot correspondant est à l'état «1». (Procédure généralement utilisée avec les exemples ci-dessus). Il est évident que si pour un mot d'entrée donné on utilise pas le signal de service \overline{RQSTi} , seul le mode programmé simple est possible, à condition de connaître l'instant où les informations à lire sont stables.

2^{ème} cas

L'organe périphérique présente cycliquement des informations valides.

Schéma de principe conseillé



- (1) Autorisation si 1 devient \overline{ENDCH} pour un échange en mode canal sur le mot 1 (cette condition est le minimum nécessaire).

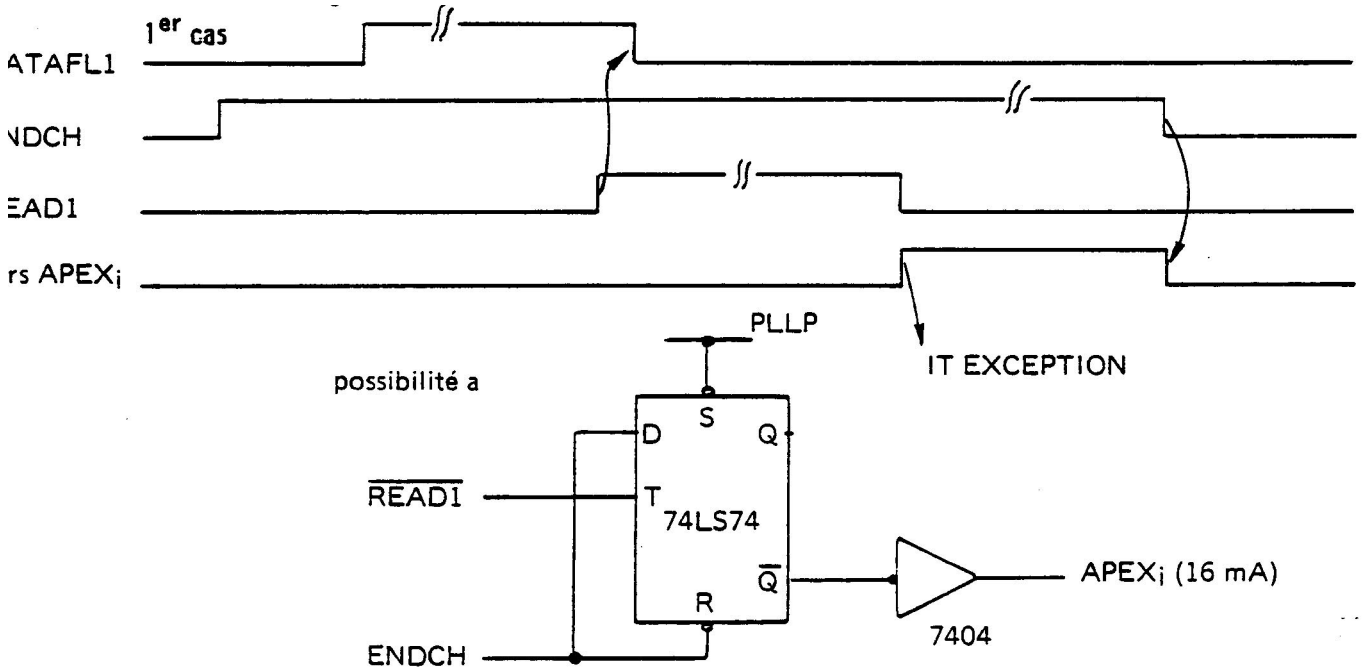
Elaboration de l'interruption exception de fin d'échange (mode canal)

En fin d'échange canal, après réception du signal ENDCH, l'utilisateur doit forcer une IT EXCEPTION (en utilisant une entrée appel externe) pour avertir le programme de la fin d'échange effective du périphérique.

Diverses possibilités, fonction du sens de l'échange, sont offertes à l'utilisateur pour générer cette interruption

1) Echange en mode canal en sortie (mot 1)

Règle générale : l'IT doit toujours être provoquée après la disparition de READ 1 relatif au dernier mot échangé.



possibilité b

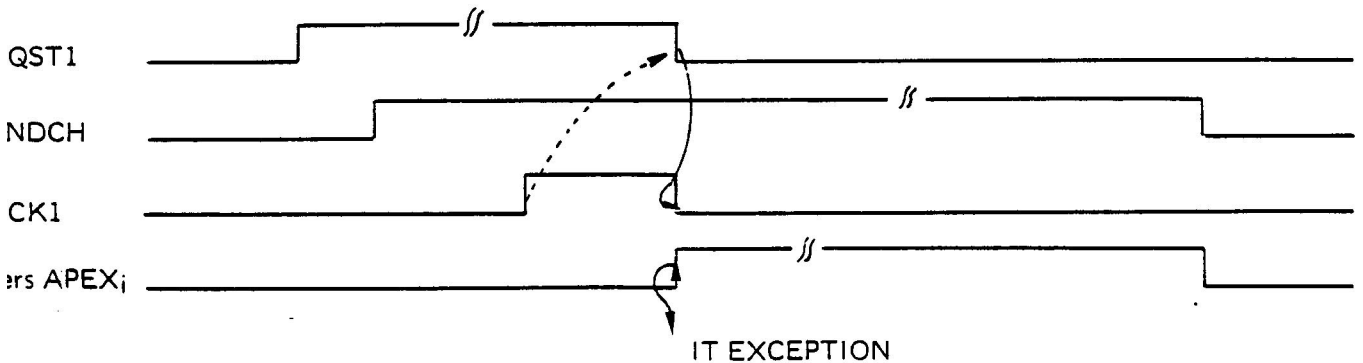
$$APEX_i = \overline{ENDCH (DATAFL1 + READ1)}$$

2ème cas : la fin d'échange est donnée par le périphérique lui-même à la phase près.

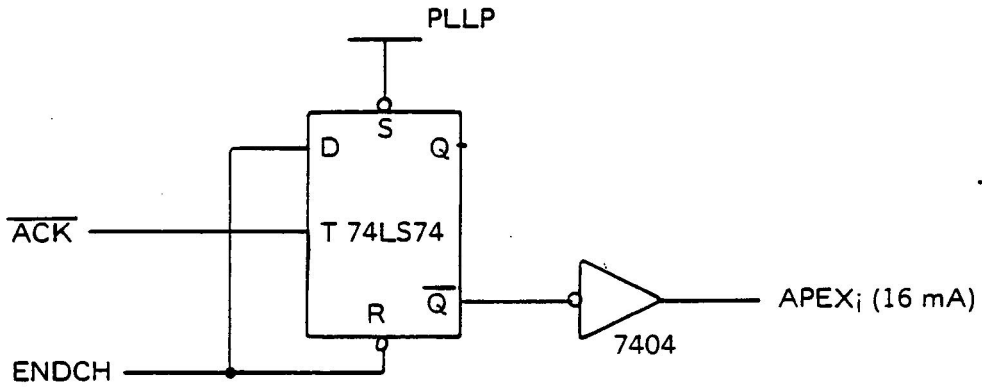
2) Echange en mode canal en entrée (mot 1)

Règle générale : l'IT doit toujours être provoqué après la disparition de ACK1 relatif au dernier mot échangé.

1^{er} cas



possibilité a

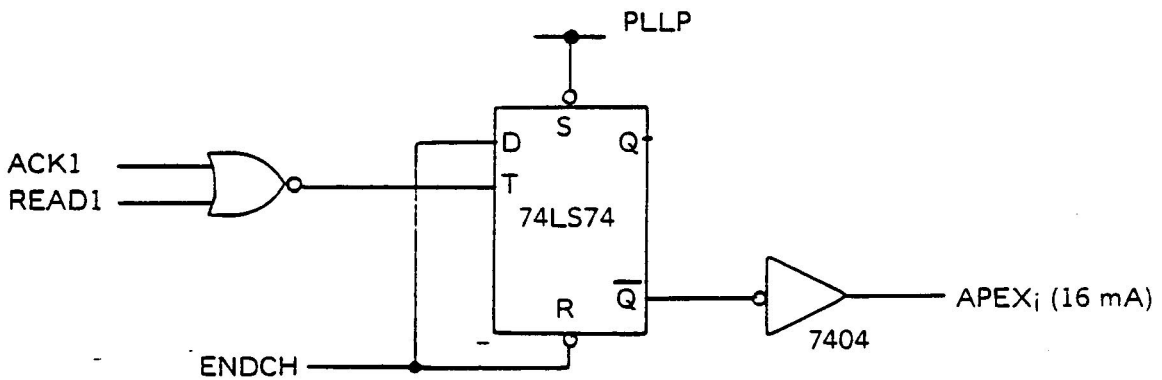


possibilité b

$$APEX_i = ENDCH \cdot \overline{RQST1} \cdot \overline{ACK1}$$

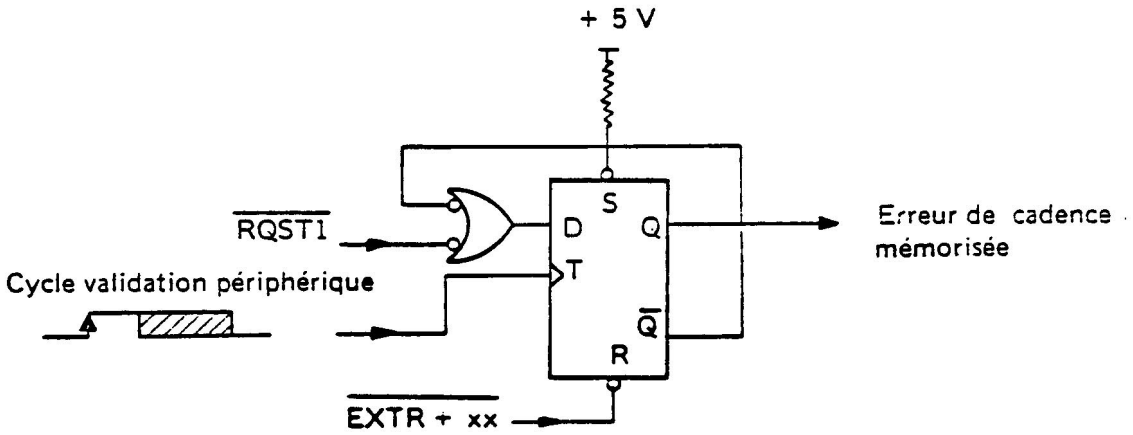
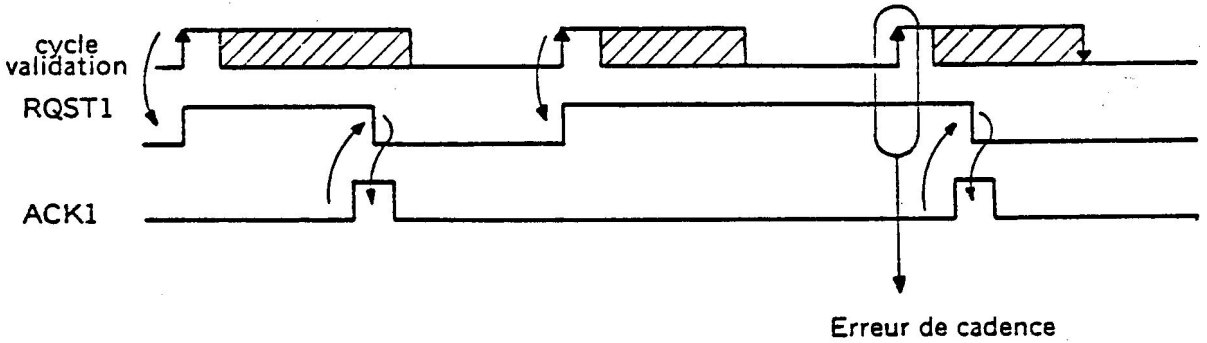
2ème cas : la fin d'échange est donnée par le périphérique lui-même à la phase près.

Remarque : Dans le cas d'un fonctionnement en mode canal de type half-duplex sur le mot 1 on pourra retenir la solution suivante



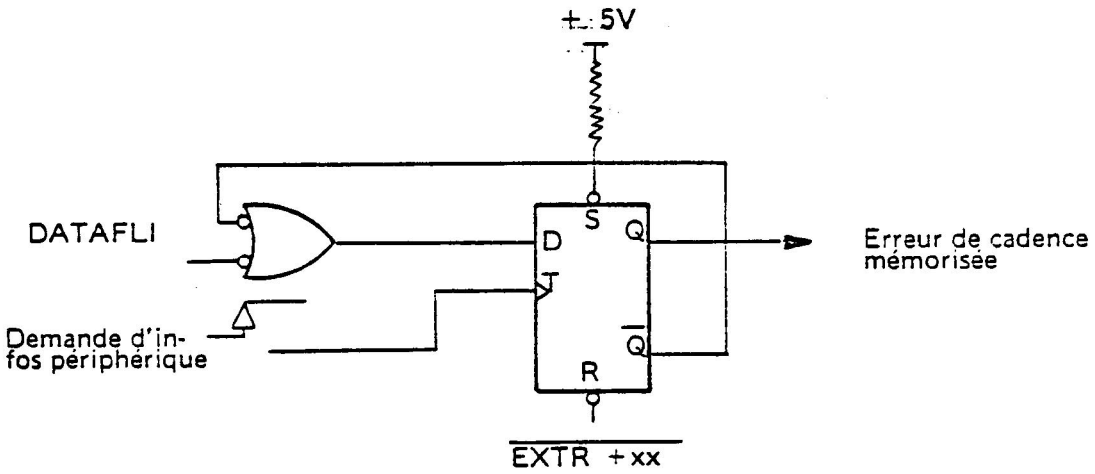
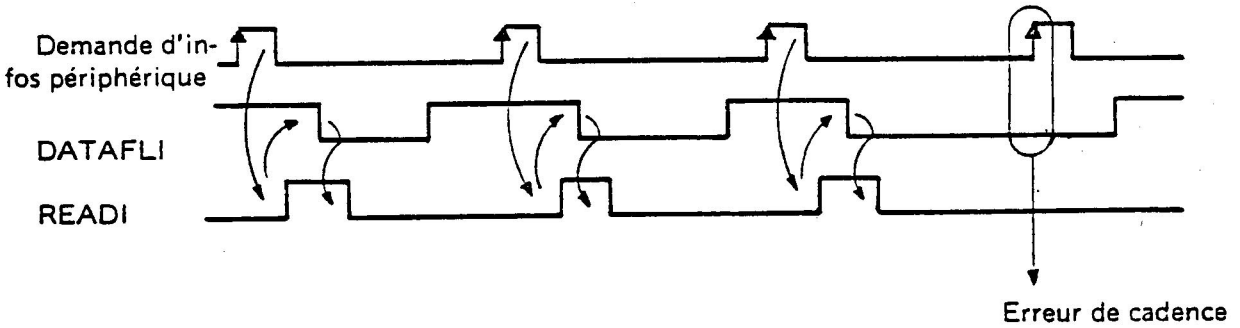
Détection erreur de cadence en entrée

Il est pratiquement nécessaire, avec des périphériques fonctionnant à cadence propre, d'avoir un circuit de détection des erreurs de cadence. Il y a erreur de cadence dans le sens périphérique-calculateur, si une demande d'entrée d'informations est renouvelée alors que la précédente n'est pas satisfaite.



Détection erreur de cadence en sortie

En sortie il y a erreur de cadence si à un instant donné, le mot d'informations que demande le périphérique n'est pas disponible dans le registre tampon de l'interface universelle.





Ces circuits peuvent éventuellement être rajoutés au niveau de la logique utilisateur.

2.6 - CARACTÉRISTIQUES DES SIGNAUX

a) des signaux de sorties

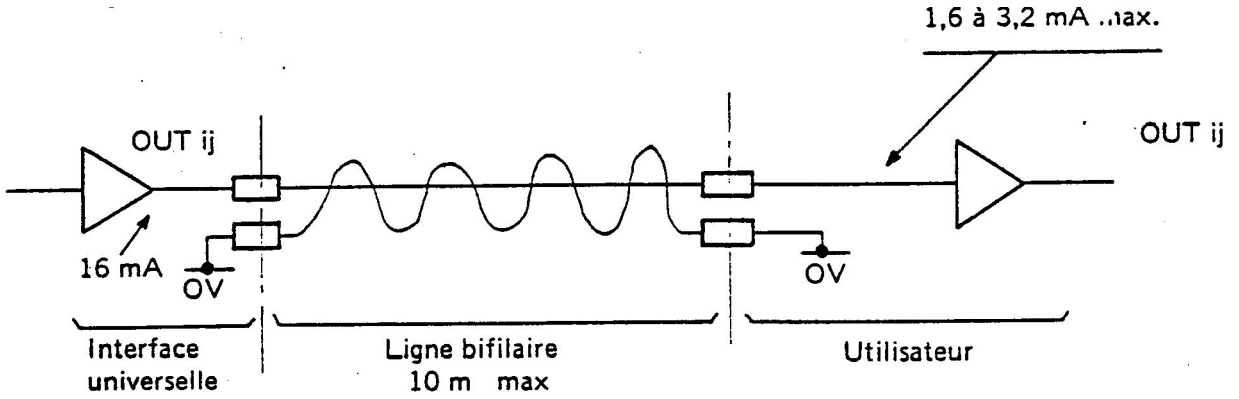
Nom	Sens	Réf. boitier	Sortance (I_{O1}) max.
OUT 100 à OUT 115	Valeur	SN 74173	16 mA
<u>DATAFL1</u>	Complément	SN 7404	16 mA
OUT 200 à OUT 215	Valeur	SN 74173	16 mA
<u>DATAFL2</u>	Complément	SN 7404	16 mA
<u>ACK1</u>	Complément	SN 7404	16 mA
<u>ACK2</u>	Complément	SN 7404	16 mA
<u>ENDCH</u>	Complément	SN 7404	16 mA
<u>EXTR</u>	Complément	SN 7404	16 mA

b) des signaux d'entrées

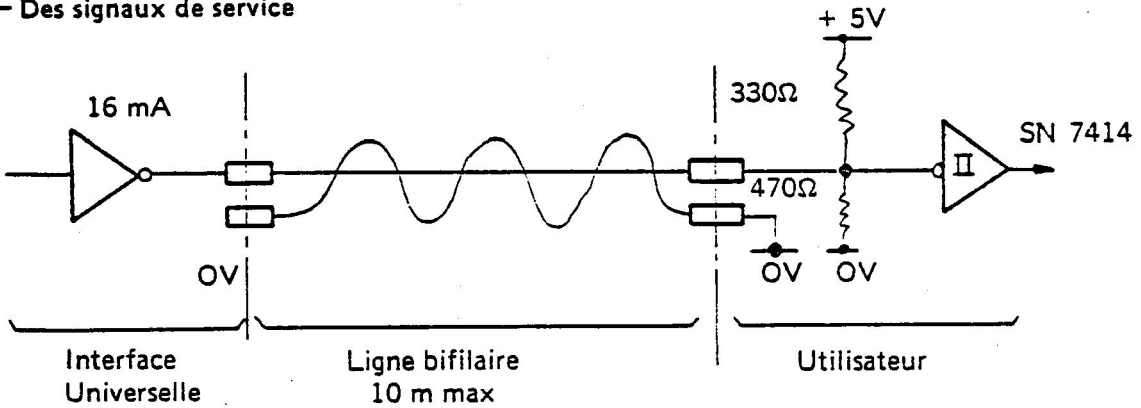
Nom	Sens	Réf. boitier	Entrance (I_{ij}) max.
IN 100 à IN 115	Valeur	SN74 LS157-LS153	0,8 mA
<u>RQST1</u>	Complément	SN7414+ 330//470 Ω	16 mA
IN 200 à IN 215	Valeur	SN 74LS157-LS 153	0,8 mA
<u>RQST2</u>	Complément	SN 7414+330//470 Ω	16 mA
<u>RESET1</u>	Complément	SN 7400 + 1 K Ω (+5V)	6,6 mA
<u>RESET2</u>	Complément	SN 7400 + 1 K Ω (+ 5V)	6,6 mA
APEX1		SN 7414 + 330//470 Ω	16 mA
APEX2		SN 7414 + 330//470 Ω	16 mA
<u>READ1</u>	Complément	SN 7414 + 330//470 Ω	16 mA
<u>READ2</u>	Complément	SN 7414 + 330//470 Ω	16 mA

Réception des signaux côté utilisateur

- Des signaux d'informations

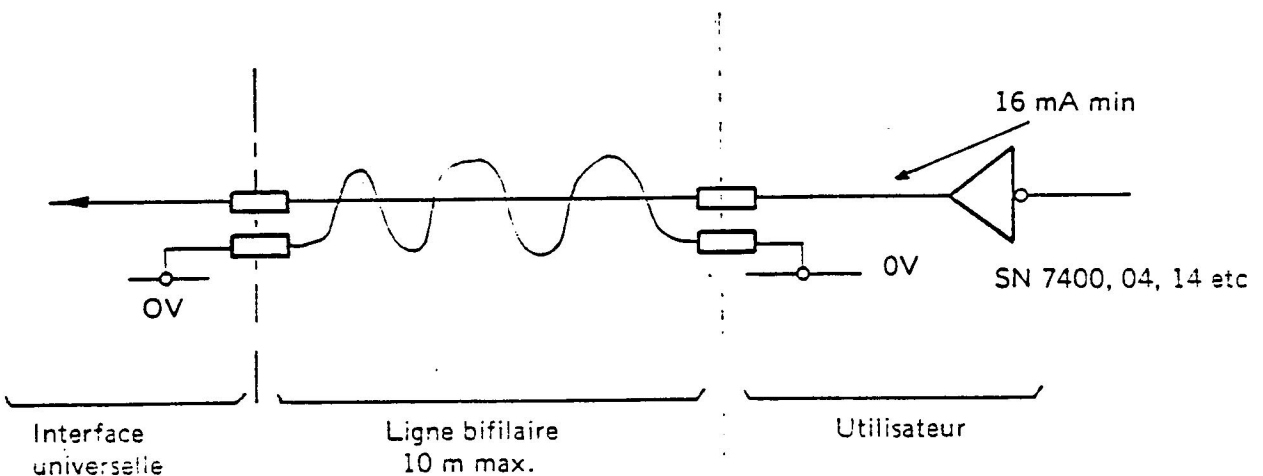


- Des signaux de service



- Emission des signaux côté utilisateur

Pour tout signal : Sortance 16 mA minimum

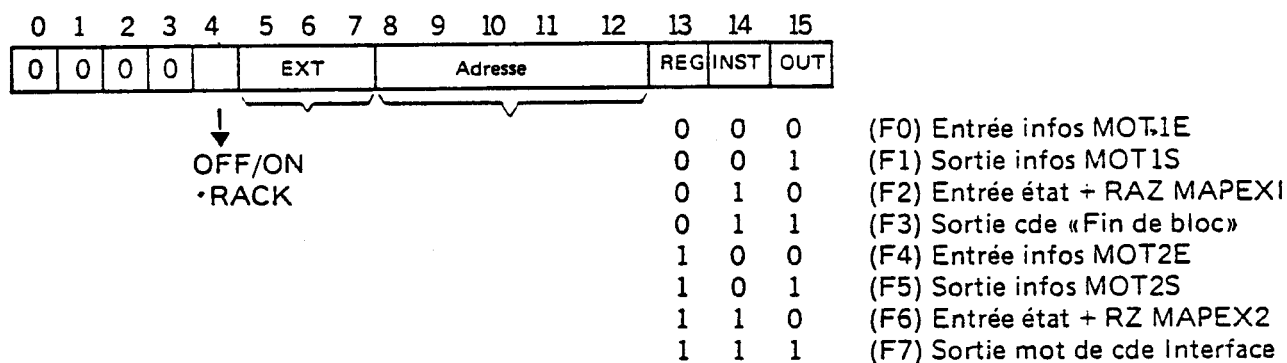


3. - PROGRAMMATION

3.1 - GENERALITES

L'interface universelle est sollicitée par 8 fonctions software .
Ces fonctions sont codées au niveau de l'opérande de l'instruction d'entrée. Sortie Standard SIO.

Opérandes SIO



L'interface universelle utilise la totalité des fonctions codables avec les bits 13 - 14 et 15 de l'opérande SIO.

On distingue

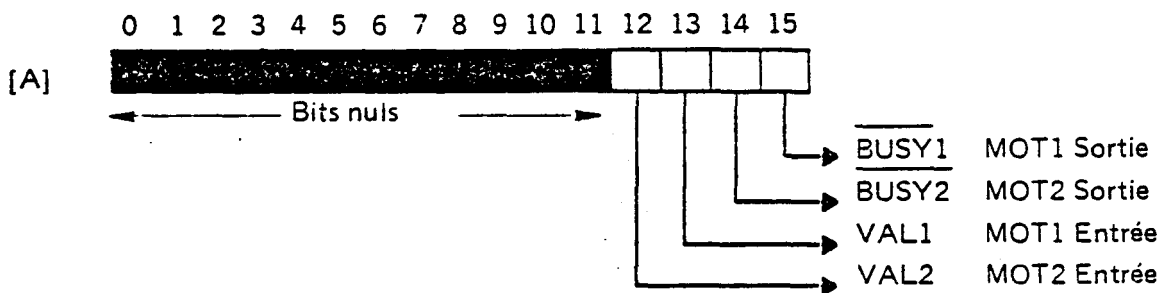
- OFF/ON : bit 4 = 0 si l'interface universelle est placée dans un rack processeur.
bit 4 = 1 si l'interface universelle est placée hors du rack processeur c'est-à-dire dans un rack d'extension.
- EXT : N° du rack d'extension dans le cas où l'interface universelle est placée dans un rack d'extension.
- Adresse : Ce champ de 5 bits représente l'adresse de la carte interface universelle (codage de l'adresse voir 4.6.1.).
- Bits 13-14-15 : Codage de la fonction désirée.

FO (000) : Cette fonction d'entrée permet de faire l'acquisition des informations du MOT 1 Entrée. La prise en compte peut être effectuée soit par programme - mode programmé simple ou par interruption, le mot est alors disponible dans le registre accumulateur - soit par canal avec rangement automatique du mot en mémoire centrale. L'exécution de cette fonction fait monter le signal de service ACKI dans le cas d'une entrée valide (RQST1 = 0).

FI (001) : Cette fonction de sortie est utilisée pour charger le registre tampon du MOT 1 Sortie. Cette action provoque 250 ns plus tard l'apparition du signal de service DATAFLI. En mode programmé le mot transmis est le mot préalablement chargé dans l'accumulateur avant l'instruction SIO, en mode canal les mots sont prélevés dans la table des données.

F2(010) : Fonction d'entrée qui permet :

- de lire un mot d'état ou «status» de 4 indicateurs pour la gestion des mots en mode programmé simple.



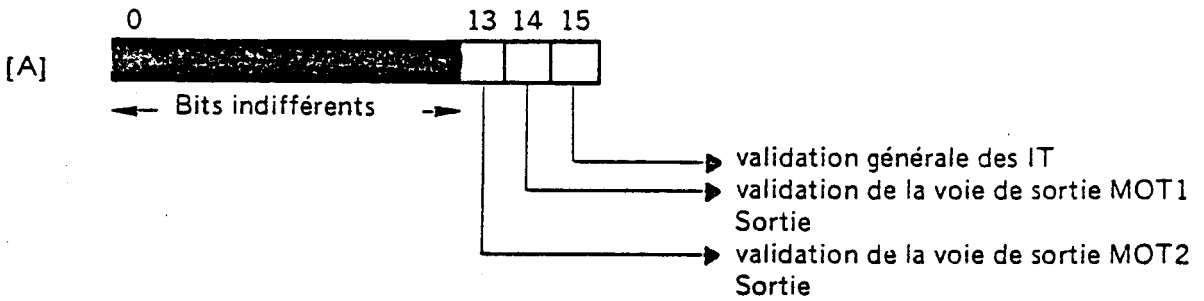
Dans ce mot d'état, l'état valide d'un mot d'entrée est indiqué par un bit à «1» dans l'accumulateur contrairement à l'état d'occupation d'un mot de sortie qui est indiqué par un bit à «0» ; une voie de sortie est donc libre (non occupée) quand le bit correspondant du status vaut «1».

- de remettre à zéro l'élément de registre qui mémorise les appels externes envoyés sur l'entrée APEX1. En effet, tout appel appliqué sur cette entrée est d'abord mémorisé, provoque ensuite une IT EXCEPTION qui après reconnaissance par software, est acquitté en programmant cette fonction de remise à zéro. Cette fonction entraîne donc 2 actions simultanées.

F3 (011) : Cette fonction de sortie est réservée à la commande «Fin de bloc» que transmettent les canaux (Low , Medium ou High data channel) quand le compte de caractères ou de mots est nul. (Fin d'échange normale). Cette commande décodée par l'interface universelle génère le signal ENDCH, prévenant l'utilisateur que le canal va transférer le dernier mot ou caractère de l'échange. ENDCH sera désactivé par programme sous tâche hardware relative à l'IT EXCEPTION de fin d'échange périphérique forcée sur l'une des entrées d'appel externe. (voir organigramme 3.2.3.1).

F4 (100) : Cette fonction d'entrée permet de faire l'acquisition des informations du MOT 2 Entrée (16 ou 8 bits suivant module). La prise en compte s'effectue exclusivement par programme, le mot est alors disponible dans le registre accumulateur. L'exécution de cette fonction génère le signal de service ACK2 si l'entrée était valide (RQST2 = 0).

- F5(101) : Cette fonction de sortie charge le registre tampon du MOT2 Sortie
Cette action provoque 250 ns plus tard l'apparition du signal de service DATAFL2 ; accompagné du mot d'informations ayant été au préalable chargé dans l'accumulateur.
- F6 (110) : Idem F2, mais concerne l'entrée APEX2 (lire F2 en remplaçant textuellement APEX1 par APEX2).
- F7(111) : Fonction de sortie pour le masquage des interruptions.



- Bit 15 = 0 Inhibition de toutes les interruptions, oblige l'interface universelle à fonctionner en mode programmé simple.
Les entrées APEX1 et APEX2 sont verrouillées.
- Bit 15 = 1 Validations des interruptions (Normales et exceptionnelles)
- Bit 14 = 1 Validation de la voie de sortie MOT1 sortie.
Afin d'éviter un appel permanent dans «l'arbre de polling» en dehors de l'utilisation normale d'une voie de sortie, il est nécessaire que celle-ci soit masquée dès la mise sous tension processeur. Le programme devra donc la valider uniquement pendant la période de service.
- Bit 13= 1 Validation de la voie de sortie MOT2 Sortie.

3.2- LES MODES D'ECHANGE

Le tableau qui suit (page suivante) donne toutes les combinaisons d'échange possibles avec l'interface Universelle.

3.2.1 -Mode programmé simple

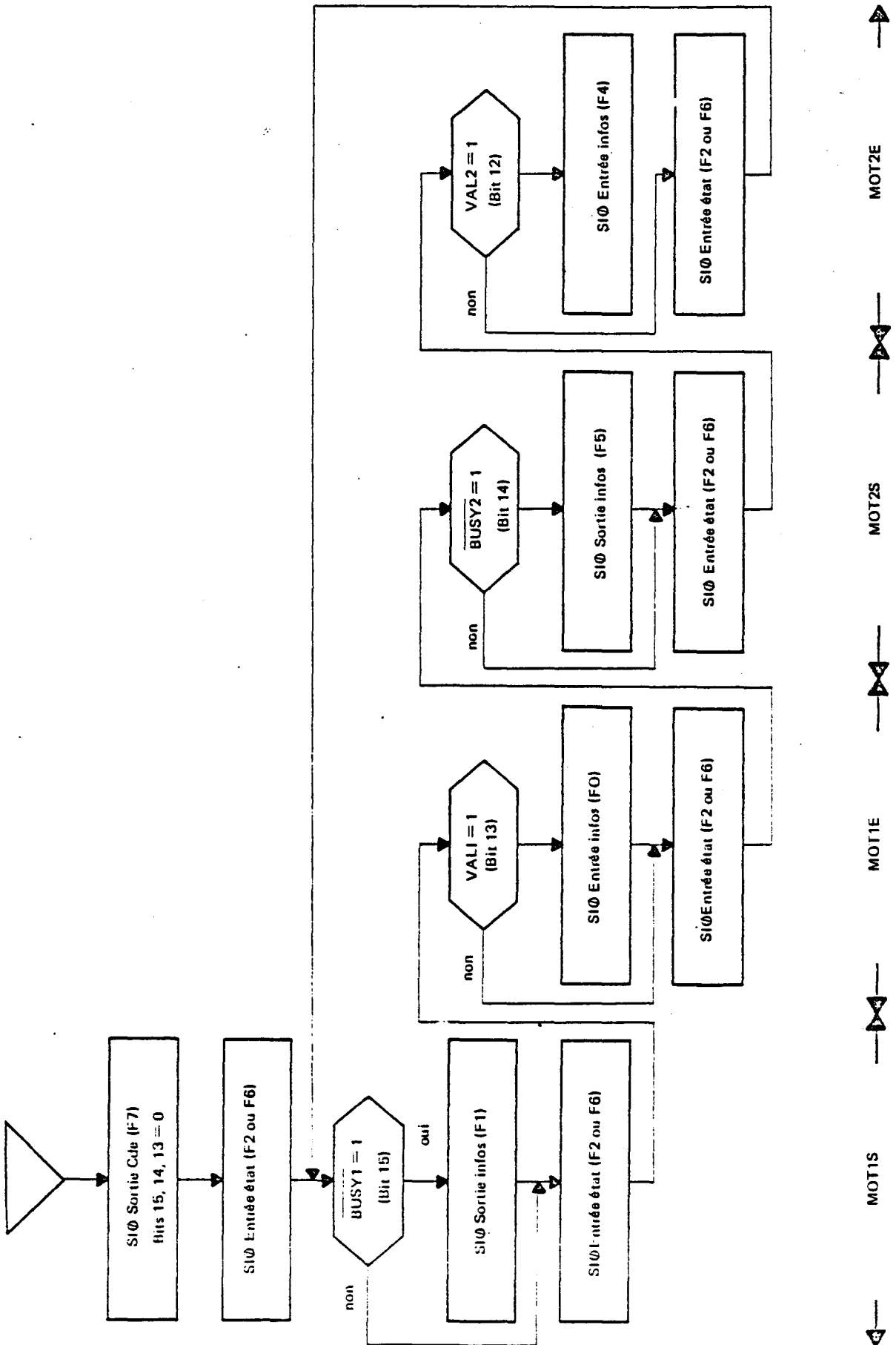
Ce mode d'échange ne fait intervenir aucune interruption. On doit donc effectuer les opérations d'entrée ou de sortie informations à des instants bien précis que l'on surveille en testant en permanence les indicateurs VAL et BUSY (voir fonctions F2 et F6). Remarquons qu'avec ce mode les entrées APEX1 et APEX2 sont inhibées.

	MODES D'ECHANGE					
	Programme simple	Normal I/O	Exception I/O	Canal LDC	Canal MDC	Canal HDC
MOT1 E	Oui	Oui	Non	Oui	Oui	Oui
MOT1 S	Oui	Oui	Non	Oui	Oui	Oui
MOT2 E	Oui	Oui	Non	Non	Non	Non
MOT2 S	Oui	Oui	Non	Non	Non	Non
APEX1	Non	Non	Oui	Non	Non	Non
APEX2	Non	Non	Oui	Non	Non	Non

Combinaisons d'échange

- 1 - 1 ou 2 Appels externes en mode programmé par IT
- 2 - 1 à 4 mots en mode programmé simple
- 3 - 1 à 4 mots en mode programmé par IT
- 4 - ③ et ①
- 5 - Mot 1E et/ou MOT1 S en mode programmé simple et Mot 2E et/ou MOT2 S en mode programmé par IT
- 6 - Mot 1E et/ou MOT1 S en mode programmé par IT et Mot 2E et/ou MOT2 S en mode programmé simple
- 7 - ⑤ et 1 appel externe seulement
- 8 - ⑥ et 1 appel externe seulement
- 9 - Mot 1E ou MOT1 S en mode canal (LDC ou MDC ou HDC) et ①
- 10 - ⑨ et MOT2 E et/ou MOT2 S en mode programmé par IT
- 11 - ⑨ mais avec 1 seul appel externe et MOT2 E et/ou MOT2 S en mode programmé simple.

Organigramme : Gestion des 4 mots en mode programmé simple.



3.2.2 - Mode programmé par Interruption

Ce mode ne sollicite le processeur que lorsque l'organe périphérique est disponible, c'est-à-dire

- en fin de cycle d'occupation (mots de sortie)
 - à l'apparition de la validité (mots d'entrée)
- ces évènements provoquant des IT NORMALE

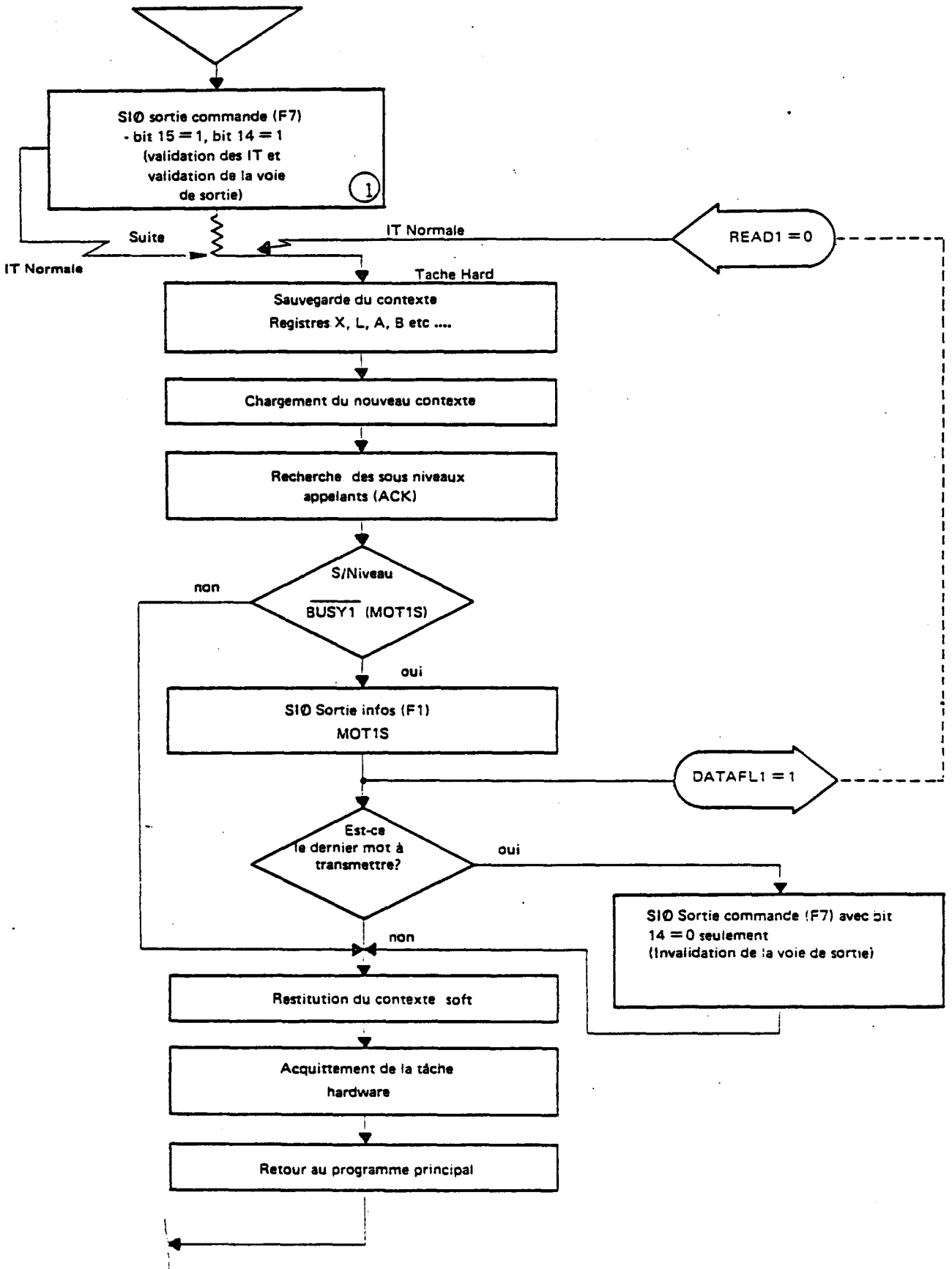
. L'initialisation de l'échange se fait sous tâche software et l'entretien sous tâche hardware ; les appels externes APEX1 et APEX2 gérés de façon analogue déclenchent toujours des IT EXCEPTION.

On notera qu'avec ce mode la mise en oeuvre de toutes les sources d'interruption nécessitent 6 sous/niveaux d'interruption (4 normaux et 2 exceptions) regroupés sur un seul niveau hardware (voir synoptique général des interruptions).

CAUSES D'INTERRUPTION

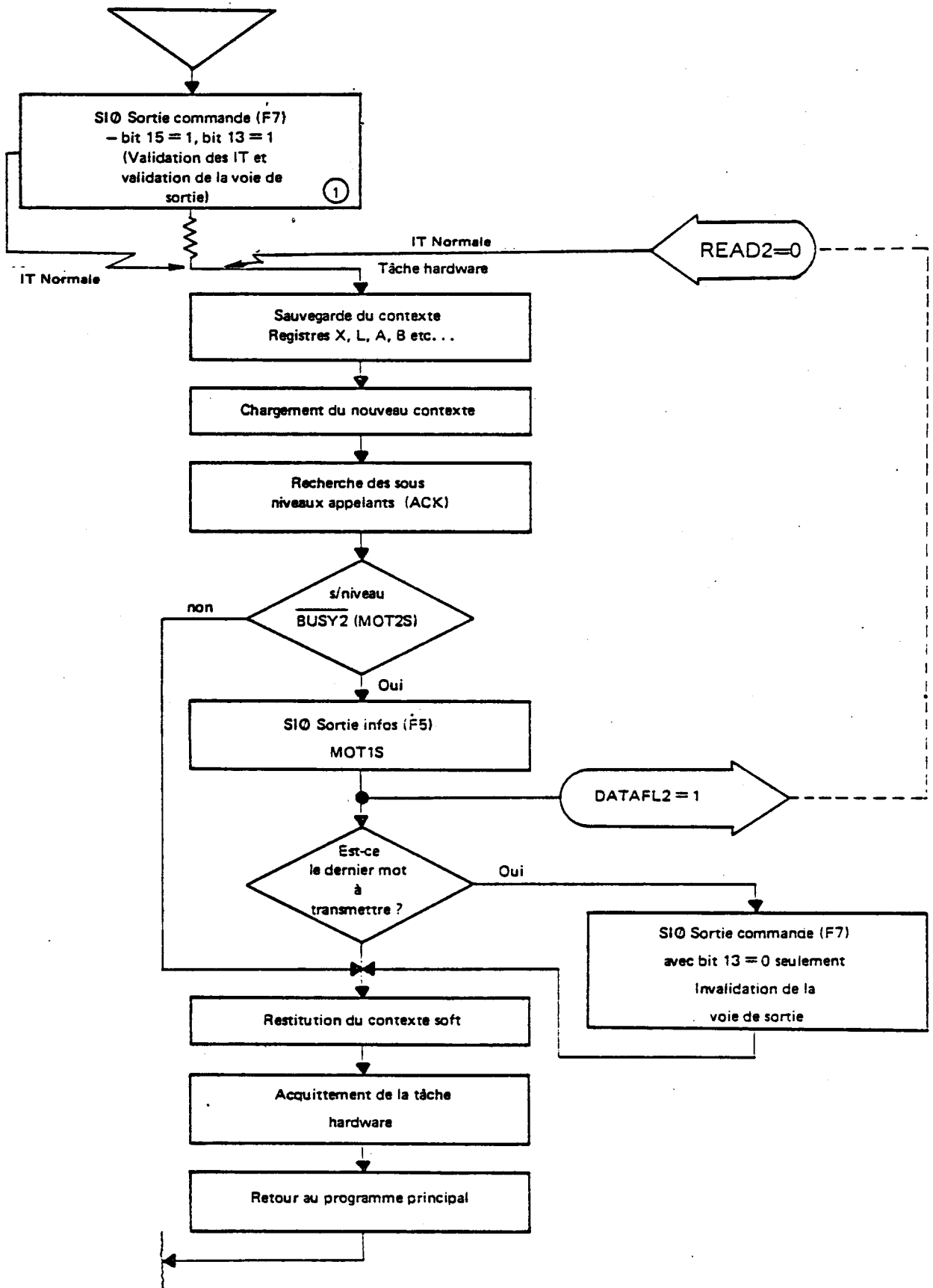
Source	Disparition de :		Apparition de :		Type d'interruption	Chronogrammes
	READ1	READ2	RQST1	RQST2		
MOT1 de Sortie					IT Normale I/O ou IT Canal	
MOT1 d'entrée					IT Normale I/O ou IT Canal	
MOT2 de Sortie					IT Normale I/O	
MOT2 d'entrée					IT Normale I/O	
APEX1					IT Exception I/O	
APEX2					IT Exception I/O	

Organigramme : Principe de gestion du mot 1 sortie en mode programmé par IT.



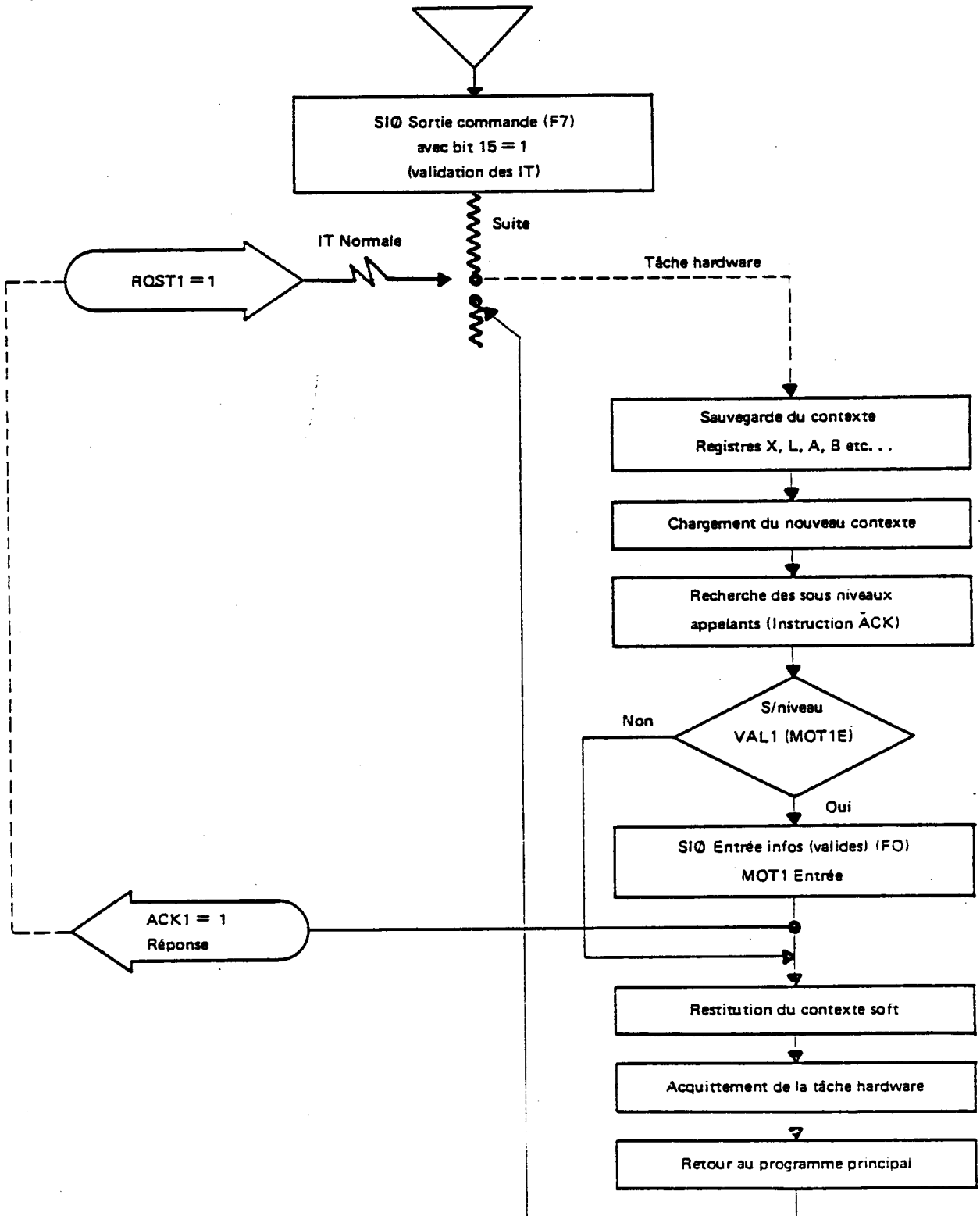
Nota : ① Le fait de valider la voie de sortie provoque une demande d'IT NORMALE

Organigramme : Principe de gestion du mot 2 sortie en mode programmé par IT

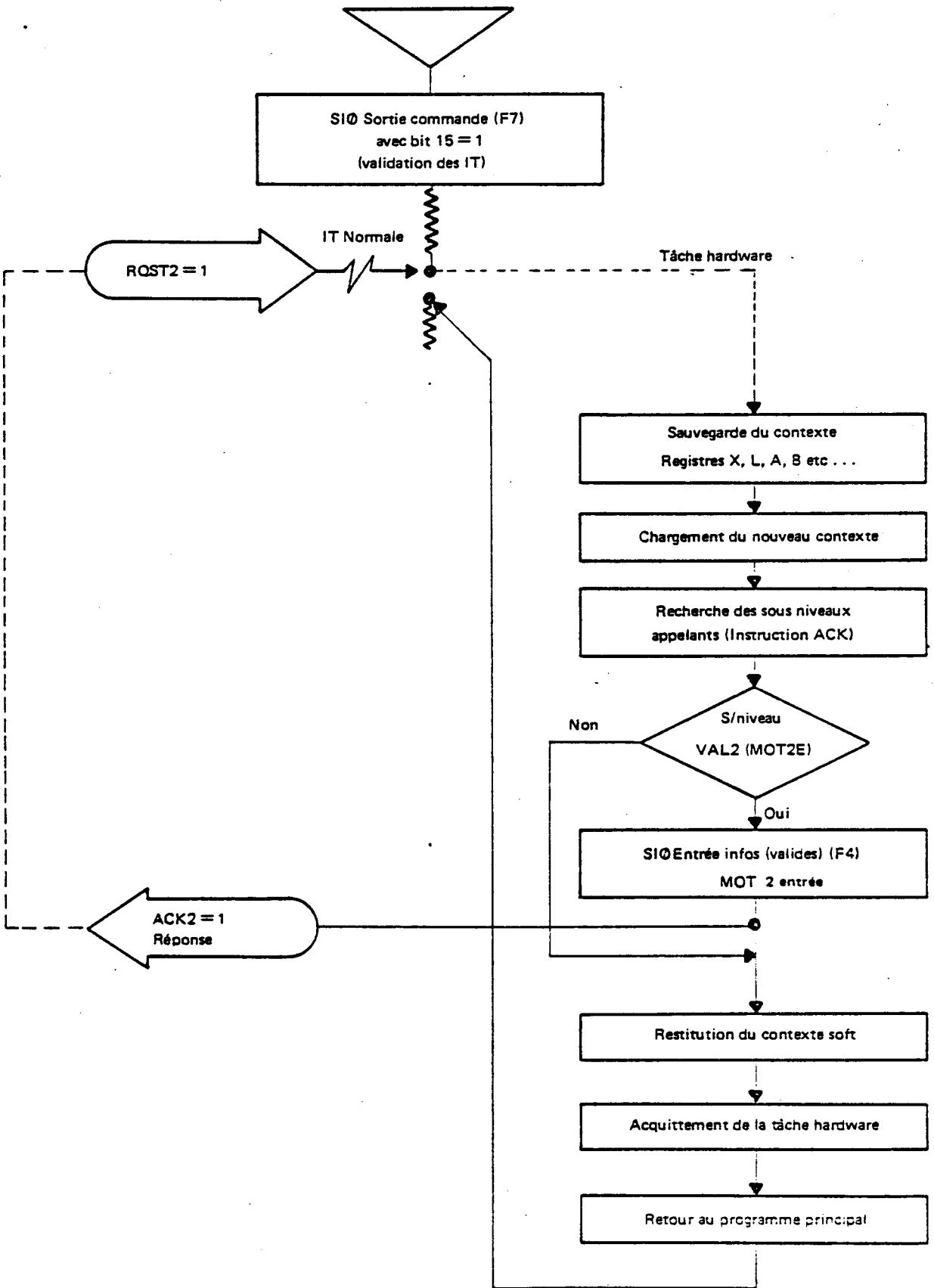


Nota : ① Le fait de valider la voie de sortie provoque une demande d'IT normale.

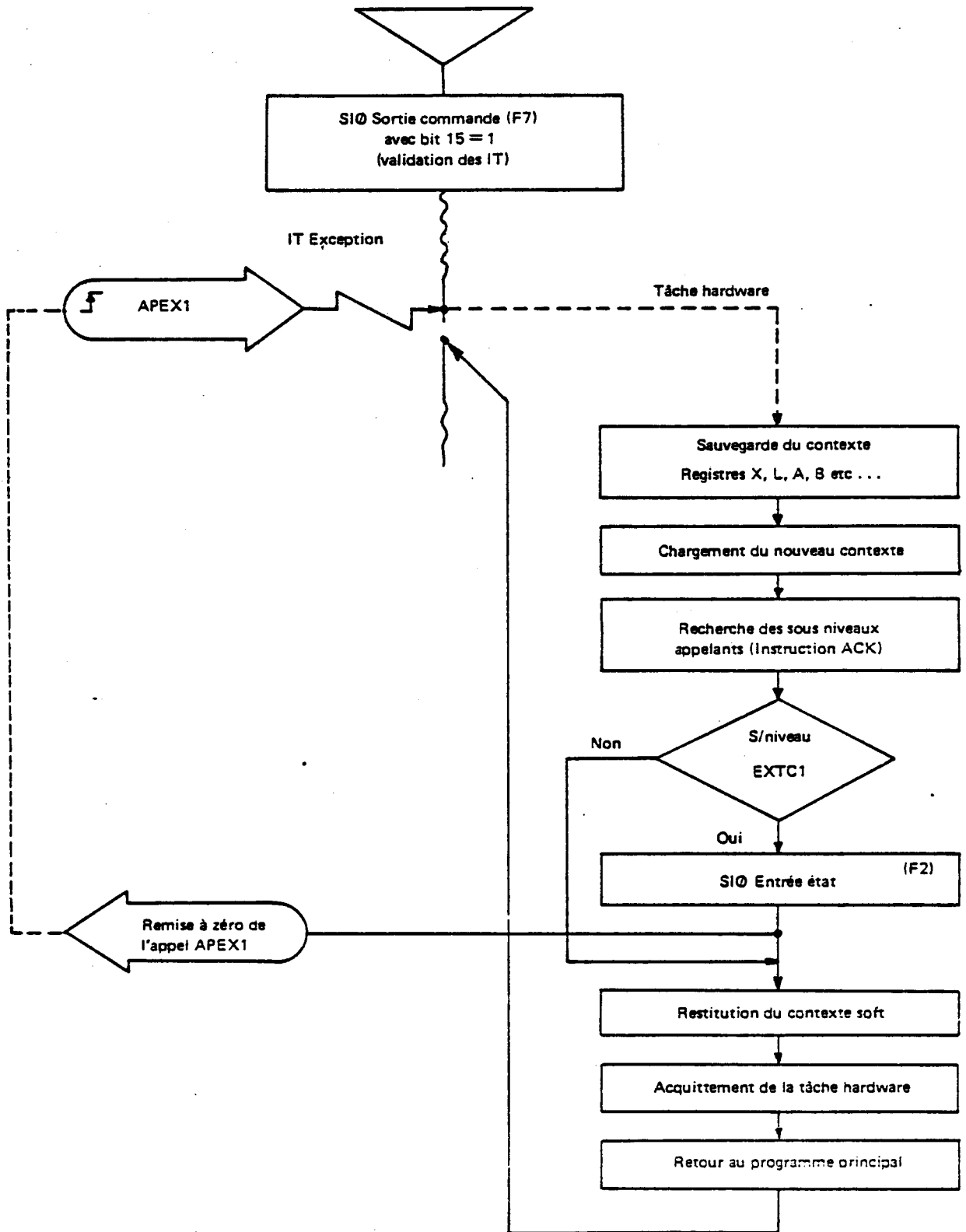
Organigramme : Principe de gestion du mot 1 Entrée en mode programmé par IT



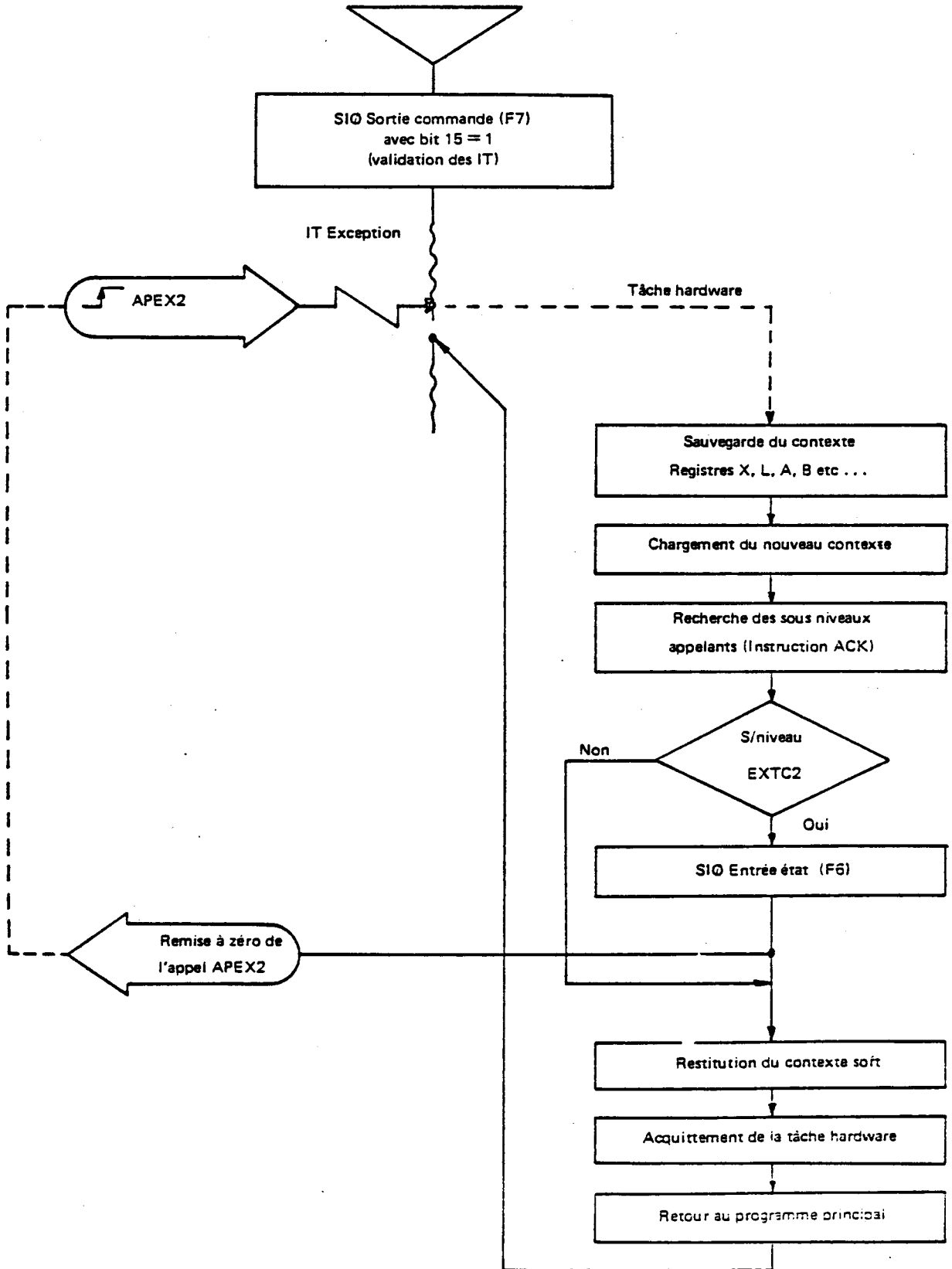
Organigramme : Principe de gestion du mot 2 Entrée en mode programmé par IT



Organigramme : Principe de gestion de l'entrée APEX1 en mode programmé par IT



Organigramme : Principe de gestion de l'entrée APEX2 en mode programmé par IT





3.2.3 -Mode canal

Le mode canal ne concernant que les mots 1 (entrée et sortie), permet des échanges non simultanés (half duplex) avec l'un quelconque des 3 modes canaux (LDC ou MDC ou HDC) choisi une fois pour toute à la mise en oeuvre de l'interface.

La réalisation d'un échange canal implique

1. Le remplissage de la table C.C.B. (Channel Control block)
2. L'appropriation du périphérique
3. L'appropriation du contexte hardware
4. Le chargement de la boîte aux lettres
5. SIO d'initialisation du périphérique.

En fin d'échange canal, après réception du signal ENDCH, l'utilisateur doit forcer une IT EXCEPTION (en utilisant une entrée d'appel externe : Voir 3.2.3.1.) pour avertir le programme de la fin d'échange effective du périphérique.

Sous tâche hardware le programme doit

- 1 acquitter cette interruption
- 2 libérer le contexte hardware
- 3 libérer le périphérique

Description du CCB pour l'interface Universelle

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0			0			0	0	0	0				MAE
1				ITN					0	0	0		CCN			
2	MA (adresse mémoire)															
3	Compte de mots ou d'octets															
4	Adresse registre Interface Universelle															
5																

- Mot 0 :
- bit 0 = 0 Channel Control block
 - 1 Réveil inter processeur
 - bit 4 = 0 Echange data
 - 1 Compte rendu d'échange et libération du contexte hard
 - bit 5 = 0 Microprogramme standard
 - 1 Microprogramme spécifique
 - bit 7 = 0 Canal à mots
 - 1 Canal à octets
 - MAE (Memory address extension) : poids forts de l'adresse mémoire du mot 2



Mot 1 : -bit 0 bit 1

- 0 0 Echange en Low Data Channel (LDC)
- 1 0 Echange en High Data Channel (HDC)
- 1 1 Echange en Médium Data Channel (MDC)

- ITN N° d'interruption (Interruptions normales canal)

- 0 à 7 pour HDC
- 0 à 15 pour MDC
- 0 à 63 pour LDC.

-CCN Numéro de contexte hardware utilisé pour l'échange

- 0 ou 1 pour HDC
- 0 à 6 pour MDC (processeur P)
- 0 à 15 pour MDC (processeur D)

Mot 2

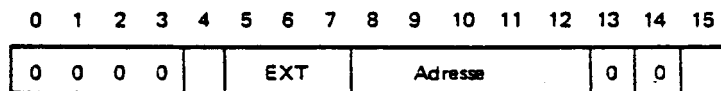
- Adresse de la table mémoire des données.

Mot 3 .

- Compte de mots à échanger (un compte de mot nul représente 216)

Mot 4

Adresse de l'interface universelle (identique à un opérande SIO)



OFF/ON

- bit 4 = 0 si interface Universelle dans le rack processeur
1 si interface Universelle hors du rack processeur
- EXT = N° du rack d'extension quand OFF rack
- bit 8 à 12 = Adresse de la carte
- bit 15 = 0 Echange canal avec le mot 1 Entrée (16 bits)
1 Echange canal avec le mot 1 Sortie (16 bits)

MOT5

Si bit 5 du MOT1 du CCB est à 1 (microprogramme spécifique) le mot 5 doit contenir l'adresse mémoire morte du microprogramme spécifique).

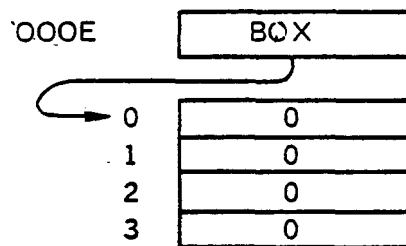
Appropriation du périphérique

Avant le lancement d'un échange le programme doit toujours s'assurer que le périphérique est libre ($\overline{\text{BUSY1}} = 1$) et non valide ($\text{VAL1} = 0$).

Appropriation du contexte hardware

Dans le cas d'une structure multiprocesseur, un processeur doit toujours s'assurer avant de lancer un échange que le contexte hardware qu'il va utiliser (identifié par le C.C.N du C.C.B) est libre. On associe donc à un contexte hardware donné un verrou dont le déverrouillage s'effectue après chaque libération du contexte hardware et compte rendu d'échange.

Principe de la «boite aux lettres»

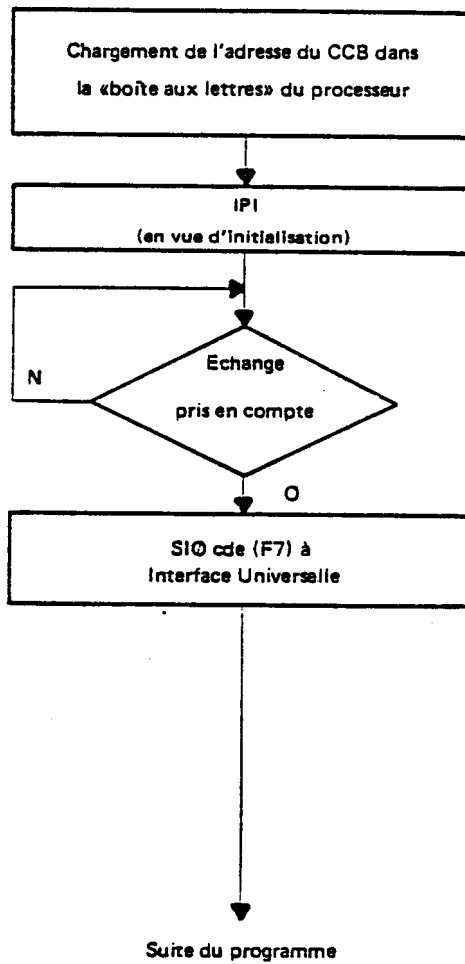


Mémoire débanalisée

Zone de 4 mots : une «boîte aux lettres» par processeur (P0, P1, P2, P3)

Au repos les boîtes aux lettres contiennent 0. L'adresse du CCB est chargée dans l'une des «boîtes», celle correspondant au processeur chargé d'effectuer l'échange. Le processeur déclenche alors une interruption IPI. Chaque processeur (y compris l'initiateur de la demande) vient lire sa boîte aux lettres. Si celle-ci contient 0, il considère l'appel inefficace, sinon il considère le premier octet du premier mot du CCB qui détermine la fonction demandée.

Organigramme de lancement de l'échange



L'échange demandé par le processeur i (0, 1, 2, 3) doit être effectué par le processeur j (0, 1, 2, 3) on peut avoir $i = j$

Programmation

BOX : DZS 4
 ABOX : WORD BOX, X
 LAD : CCB < Chargement dans A de l'adresse du CCB
 LXI : N° Processeur < N° de processeur ou PDMA
 STA & ABOX < Rangement dans boîte aux lettres
 IPI
 CPZ & ABOX
 JNE \$ - 1
 SIO CDE < SIO Cde à l'interface universelle

Nota : La mémoire OOOE doit contenir l'adresse de BOX

Libération du contexte. hardware et compte rendu

Cette fonction libère le contexte hardware utilisé au cours de l'échange en positionnant le bit d'inhibition du contexte et charge dans le mot 3 du CCB le compte de mots ou d'octets résiduel. Cette fonction est réalisée de la même façon qu'un échange avec un CCB ayant la configuration suivante :

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	1	0	0	0	0	0	0	0	MAE			
1	1	0	ITN					0	0	0	CCN					
2	Sans signification															
3	Compte de mots ou octets résiduel															
4	Sans signification															
5	Sans signification															

Mot 3 : bit 0 bit 1
 0 1 Arrêt de l'échange sur défaut secteur ou sur INI
 1 0 Défaut de parité
 1 1 Défaut mémoire inexistante

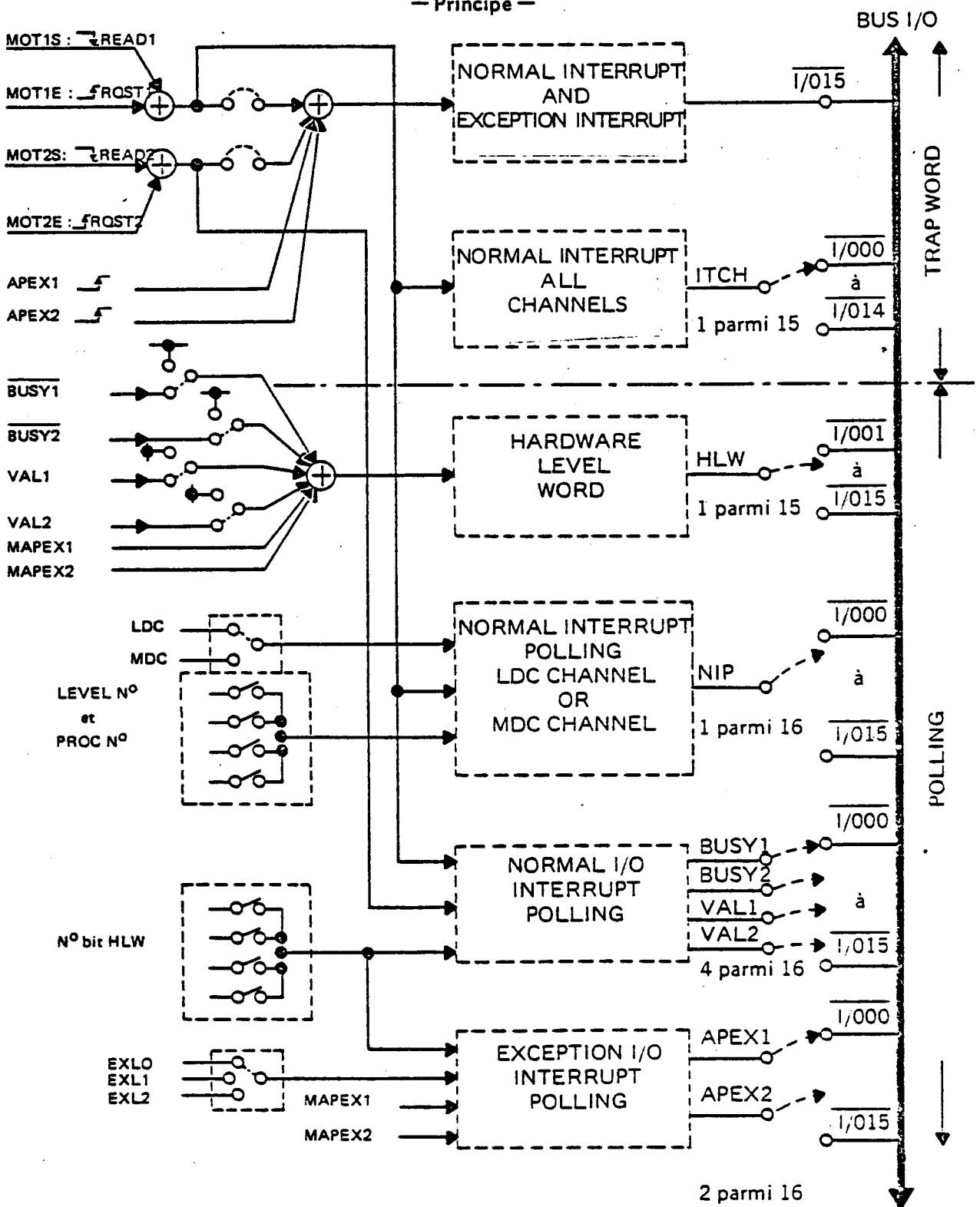
4.-MISE EN OEUVRE

La mise en oeuvre d'une interface universelle consiste essentiellement en la mise en place d'un certain nombre de straps (13 au maximum) et en la commutation de tracks switches. Cette opération devra être conduite avec la plus grande attention possible en écartant le bénéfice du doute à chaque action entreprise notamment dans le positionnement des straps. Aussi, bien que n'entrant pas dans le cadre de cette notice, il n'apparaîtra pas comme superflu de décrire le système d'interruption de l'interface universelle en précisant le rôle des principaux éléments.

Ce qui suit suppose la lecture préalable de la notice «BUS D'ENTREE/SORTIE» de la série SOLAR16.

4.1 - SYNOPTIQUE GENERAL DES INTERRUPTIONS

— Principe —



(1) Nota

Ex :

Strap à mettre en place suivant le mode de fonctionnement désiré.

4.1.1 -Etude du synoptique

On distingue 2 ensembles logiques fonctionnellement très différents

a) un ensemble constitué de 2 circuits indépendants

- NORMAL INTERRUPT AND EXCEPTION INTERRUPT
- NORMAL INTERRUPT ALL CHANNELS

Ces circuits générateurs d'impulsions délivrent une impulsion et une seule d'une largeur de 125 ns typique en synchronisme avec le bus I/O et pendant la phase INT, à chaque événement apparaissant sur leur entrée.

6 événements au total. Pour rappel

- disparition de READ1 (réponse au MOT1 de sortie)
- apparition de RQST1 (validité MOT1 d'entrée)
- disparition de READ2 (réponse au MOT2 de sortie)
- apparition de RQST2 (validité MOT2 d'entrée)
- apparition de APEX1
- apparition de APEX2

Circuit NORMAL INTERRUPT AND EXCEPTION INTERRUPT

Il reçoit toujours APEX1 et APEX2, auxquels on peut adjoindre en "ou cable "

- READ2 et RQST2 strap : W 402 - W 401
- READ1 et RQST1 strap : W 582 - W 581

Ce circuit toujours relié à la ligne 15 du bus I/O, bit 15 du TRAP WORD - est destiné à interrompre le déroulement de la tâche en cours pour un traitement programmé plus urgent sous niveau hardware. (mode programmé par interruption)

Circuit NORMAL INTERRUPT ALL CHANNELS

Ce circuit identique au précédent interrompt le processeur pour un traitement, plus urgent que la tâche en cours, en mode canal microprogrammé. L'entrée de ce circuit reçoit

- READ1 (fin de cycle d'occupation mot 1 de sortie)
- RQST1 (informations valides sur mot 1 d'entrée)

La sortie (par strap) est affectée à l'un quelconque des 15 bits du bus I/O donc du TRAP WORD en fonction du type de canal et du processeur choisis. On constate donc que 2 mots seulement peuvent être gérés en mode **canal et non** simultanément.

b) un ensemble de 4 circuits de polling

- HARD WARE LEVEL WORD
- NORMAL I/O INTERRUPT POLLING
- EXCEPTION I/O INTERRUPT POLLING
- NORMAL INTERRUPT POLLING LDC ou MDC

Les circuits de polling sont des circuits de "lecture" qui sous la sollicitation du ou des processeurs permettent d'identifier les sources appelantes et de lancer l'exécution des tâches software correspondantes. Ces tâches sont programmées si elles sont affectées au mode programmé par interruption, ou microprogrammées indépendantes du programme si elles sont gérées en mode canal. Il convient de noter que dans tous les cas une opération de polling n'entraîne jamais une remise à zéro de l'appel qui reste actif jusqu'à ce qu'une action soit entreprise au niveau de l'appel lui même.

Cette action -généralement une lecture ou un chargement de registre-est programmée si la gestion des appels est assurée en mode programmé par interruption et microprogrammé en mode canal.

Circuit HARDWARE LEVEL WORD

Ce circuit permet au processeur de constituer un mot de 16 bits représentant les 16 niveaux de priorité. Un niveau peut regrouper théoriquement jusqu'à 64 sous niveaux que le processeur va devoir identifier en effectuant 4 lectures consécutives de 16 bits. A chaque sous/niveau est affecté une source et une seule. (ex : MOT1S, MOT2E, ... APEX2).

L'entrée de ce circuit reçoit en «ou câble» l'état statique (VAL ou BUSY) des sources mises en service.

Circuit NORMAL I/O INTERRUPT POLLING

Ce circuit est sollicité par la première opération de polling de toute instruction ACK exécutée dans la tâche hardware relative au niveau de priorité affecté à l'interface universelle.

Cette première lecture permet en particulier d'identifier les 4 Sources de l'interface (MOTIS, MOT1E, MOT2S, MOT2E) quand celles-ci sont gérées en mode programmé par interruption et de dérouler les tâches software correspondantes.

Circuit EXCEPTION I/O INTERRUPT POLLING

De structure identique au précédent, il permet d'identifier les S/N des 2 appels externes. La recherche - par l'instruction ACK - peut nécessiter jusqu'à 3 opérations de polling suivant la priorité attachée au groupe qui contient les S/Niveaux. Le choix du groupe est fixé par strap. (EXLi).

Le système est tel que les interruptions «NORMALES» sont toujours plus prioritaires que les interruptions «EXCEPTION» à l'intérieur d'un niveau HLW.

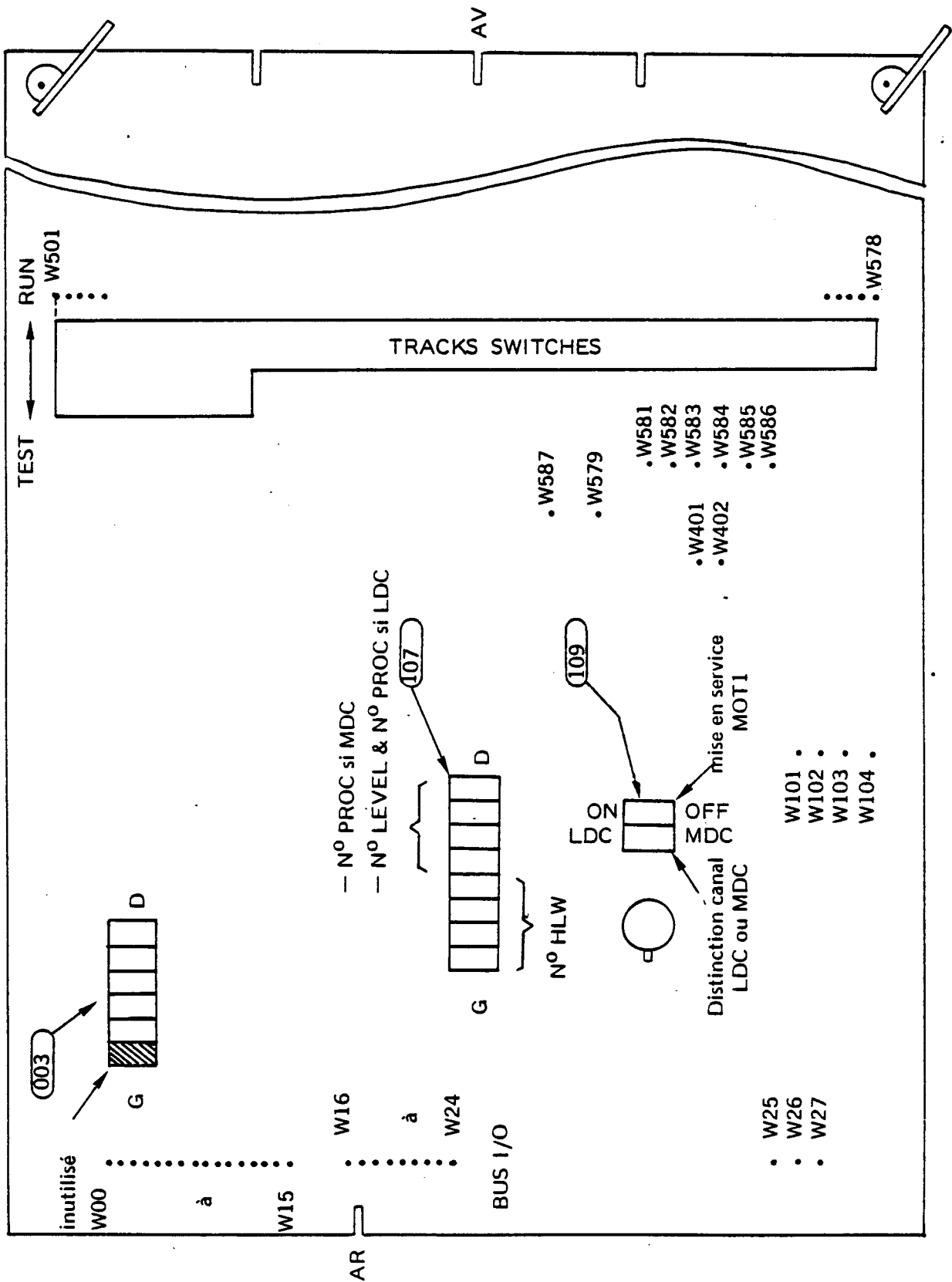
Circuit NORMAL INTERRUPT POLLING - LDC ou MDC

Ce circuit est toujours excité par un canal (canal LDC ou canal MDC). Il permet d'identifier la voie (MOT1E ou MOT1S) pendant un échange donné. Ce circuit à 2 entrées (READ1 et RQST1) est une seule sortie ne permet pas des échanges canaux simultanément sur les 2 voies. On pourra cependant travailler alternativement sur les 2 voies si l'on prend la précaution de ne pas envoyer de demande RQST1 (relatif à mot 1E) pendant le déroulement d'un échange canal sur le mot 1 de sortie.

4.2 - FICHE DE CONNEXION GPI 32

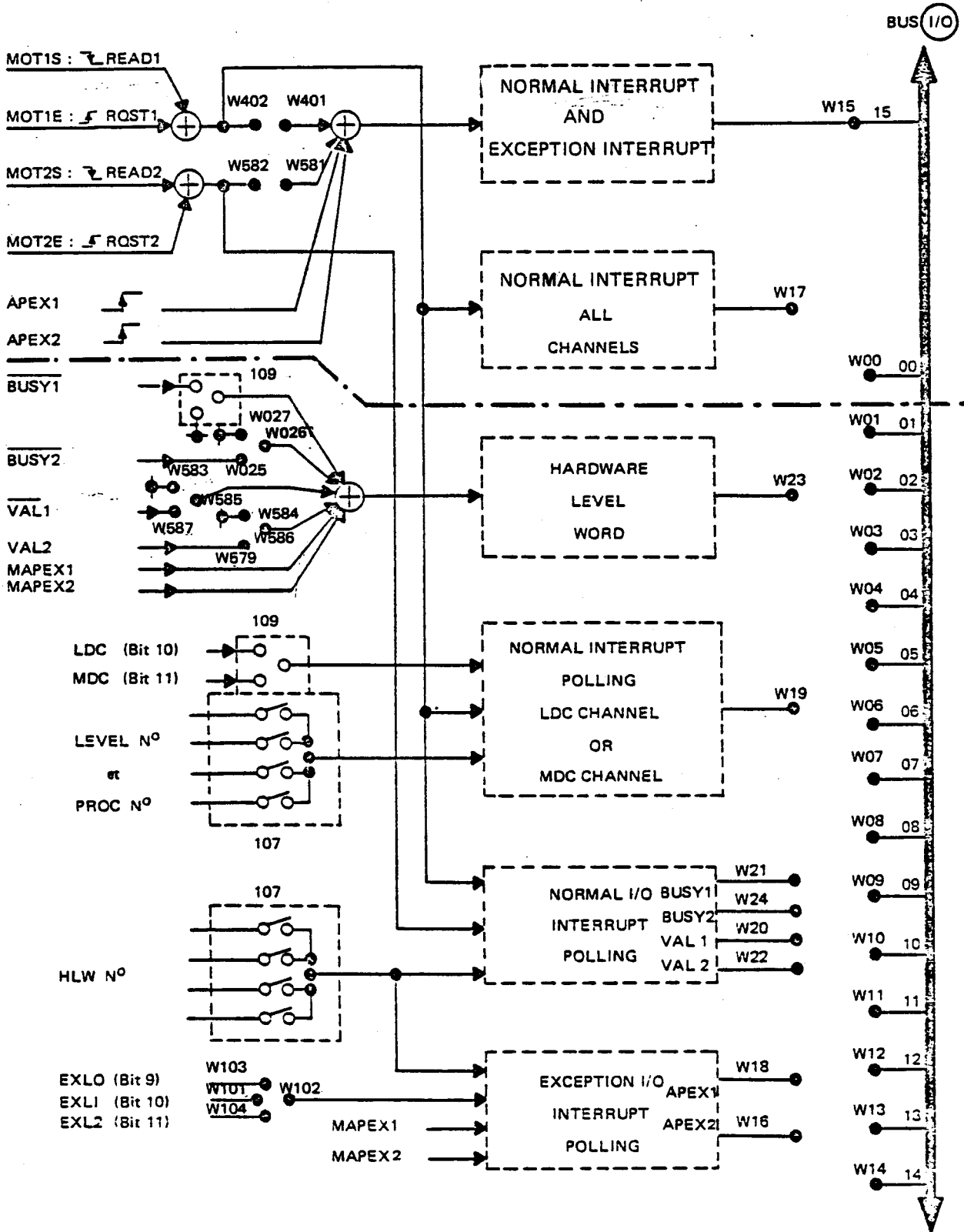
Nom signal	Broche wrapping	Nom signal	Broche wrapping
IN 100	W 513	OUT 100	W 515
IN 101	W 511	OUT 101	W 509
IN 102	W 502	OUT 102	W 501
IN 103	W 505	OUT 103	W 507
IN 104	W 529	OUT 104	W 532
IN 105	W 527	OUT 105	W 525
IN 106	W 521	OUT 106	W 523
IN 107	W 517	OUT 107	W 519
IN 108	W 539	OUT 108	W 540
IN 109	W 538	OUT 109	W 537
IN 110	W 533	OUT 110	W 534
IN 111	W 535	OUT 111	W 536
IN 112	W 556	OUT 112	W 555
IN 113	W 551	OUT 113	W 552
IN 114	W 563	OUT 114	W 564
IN 115	W 558	OUT 115	W 557
<u>RQST1</u>	W 566	<u>DATAFL1</u>	W 565
<u>ACK1</u>	W 568	<u>READ1</u>	W 567
IN 200	W 514	OUT 200	W 516
IN 201	W 503	OUT 201	W 504
IN 202	W 506	OUT 202	W 508
IN 203	W 510	OUT 203	W 512
IN 204	W 530	OUT 204	W 531
IN 205	W 526	OUT 205	W 528
IN 206	W 518	OUT 206	W 520
IN 207	W 522	OUT 207	W 524
IN 208	W 541	OUT 208	W 542
IN 209	W 543	OUT 209	W 544
IN 210	W 545	OUT 210	W 546
IN 211	W 548	OUT 211	W 547
IN 212	W 554	OUT 212	W 553
IN 213	W 549	OUT 213	W 550
IN 214	W 561	OUT 214	W 562
IN 215	W 560	OUT 215	W 559
<u>RQST2</u>	W 570	<u>DATAFL2</u>	W 569
<u>ACK2</u>	W 573	<u>READ2</u>	W 572
<u>RESET1</u>	W 571	<u>RESET2</u>	W 574
<u>ENDCH</u>	W 577	<u>APEX1</u>	W 576
APEX2	W 575	<u>EXTR</u>	W 578
OV	C 3 - C 6	OV	C28 - C31
OV	C 9 - C12	OV	C34 - C37
OV	C15 - C18	OV	C 40
OV	C22 - C25	OV	D 40

4.3- Implantation géographique des tracks switches et des broches wrapping.



4.4- SYNOPTIQUE GENERAL DES INTERRUPTIONS

- Brochage -










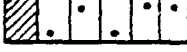




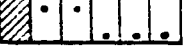

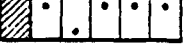
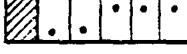

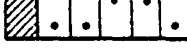

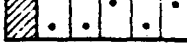
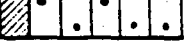



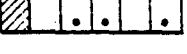

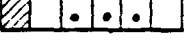
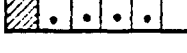




4.5- TRACKS SWITCHES

4.5.1-Adresse carte

















Le tableau ci-dessous donne toutes les combinaisons des 32 adresses possibles de la carte interface universelle. Il est évident que le choix d'une adresse devra se faire en tenant compte des adresses déjà utilisées par le software standard.

L'adresse de la carte est définie comme étant dans l'octet droit de l'opérande.
SIO l'adresse du MOT 1 d'entrée.

Adresse carte	Position bloc 003	Adresse carte	Position bloc 003
XX 00	G  D	XX 80	G  D
XX 08		XX 88	
XX 10		XX 90	
XX 18		XX 98	
XX 20		XX A0	
XX 28		XX A8	
XX 30		XX B0	
XX 38		XX B8	
XX 40		XX C0	
XX 48		XX C8	
XX 50		XX D0	
XX 58		XX D8	
XX 60		XX E0	
XX 68		XX E8	
XX 70		XX F0	
XX 78		XX F8	

Nota : Commutation à effectuer sur bloc repéré 003

4.5.2 - N° HLW : Codage (sur bloc 107) du N° de niveau de priorité hardware.

N° Niv ₁₀	Position bloc 107	N° Niv ₁₀	Position bloc 107
0	G  D	8	G  D
1		9	
2		10	
3		11	
4		12	
5		13	
6		14	
7		15	

Nota : Le niveau N° 0 ne doit jamais être utilisé. Il est en principe réservé aux alarmes internes.

Mode canal

















On distingue 2 types de canaux entraînant des positionnements de switches

- a) canal LDC
- b) canal MDC

4.5.3 -Canal LDC

5 tracks switches sont concernés.





- 1 pour préciser LDC (choix entre LDC ou MDC : bloc 109)
- 2 pour préciser le N° de processeur (P0, P1, P2 ou P3) - (bloc 107)
- 2 pour préciser le LEVEL de polling, en canal LDC un même processeur peut gérer jusqu'à 64 s/niveaux répartis en 4 niveaux de 16 s/niveaux chacun. (bloc 107).

N° Process	N° LEVEL	N° s/niveau	Position bloc 107	N° Process	N° LEVEL	N° s/niveau	Position bloc 107
0	0	0 à 15	G  D	2	0	0 à 15	G  D
0	1	16 à 31		2	1	16 à 31	
0	2	32 à 47		2	2	32 à 47	
0	3	48 à 63		2	3	48 à 63	
1	0	0 à 15		3	0	0 à 15	
1	1	16 à 31		3	1	16 à 31	
1	2	32 à 47		3	2	32 à 47	
1	3	48 à 63		3	3	48 à 63	

4.5.4 - Canal MDC

La commutation s'effectue sur les mêmes tracks switches que ceux utilisés en LDC.

- Passer en position MDC (bloc 109)
- Afficher l'une des 4 combinaisons, suivant le N° du processeur auquel est connecté l'Interface Universelle. (bloc 107)

N° Processeur	Position bloc (107)
0	<div style="display: flex; align-items: center; justify-content: space-between;"> G  D </div>
1	
2	
3	

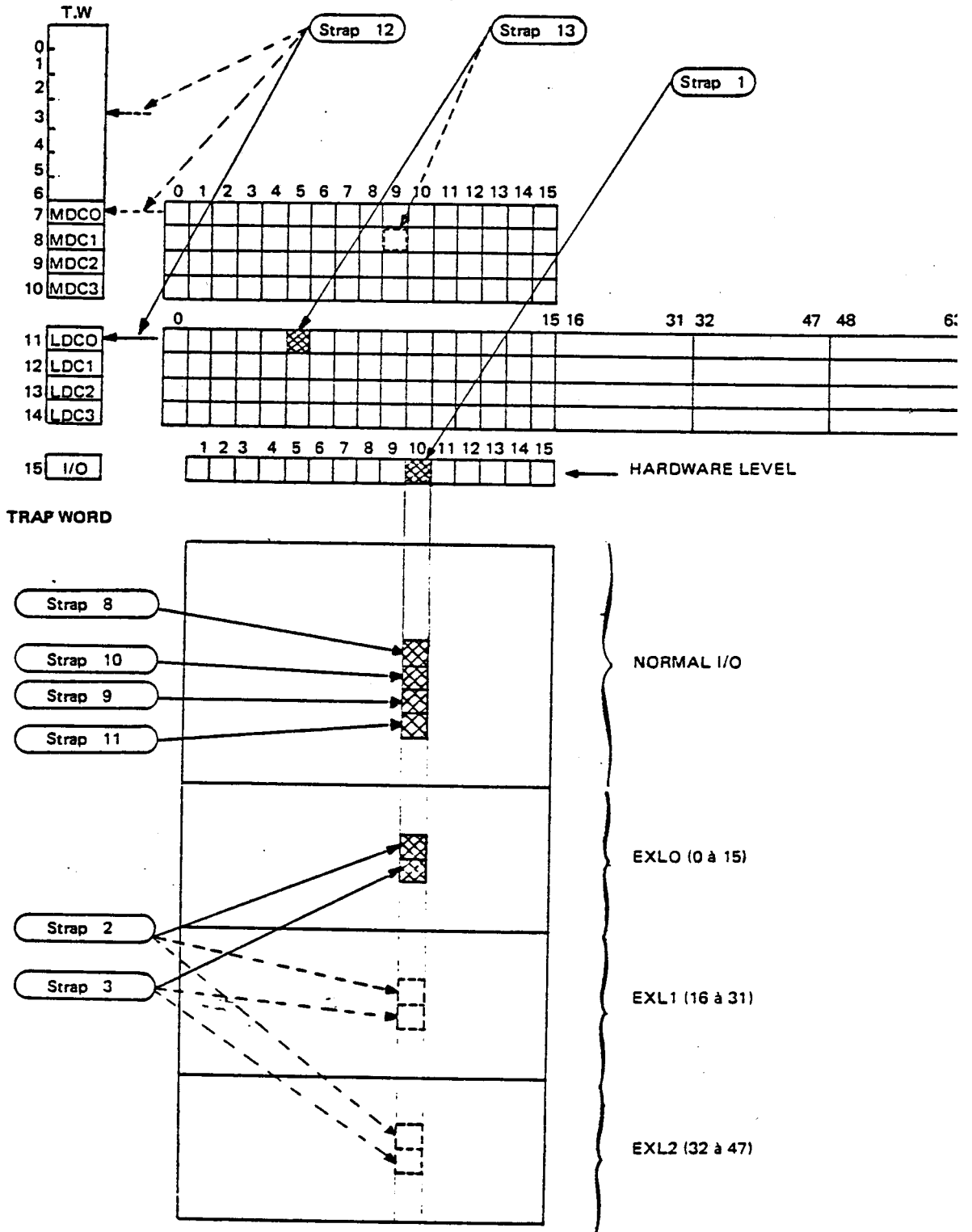
Nota


Ces 4 tables sont directement exploitables pour les exemples de mise en oeuvre décrits plus loin.

4.6 - EXEMPLES DE MISE EN OEUVRE

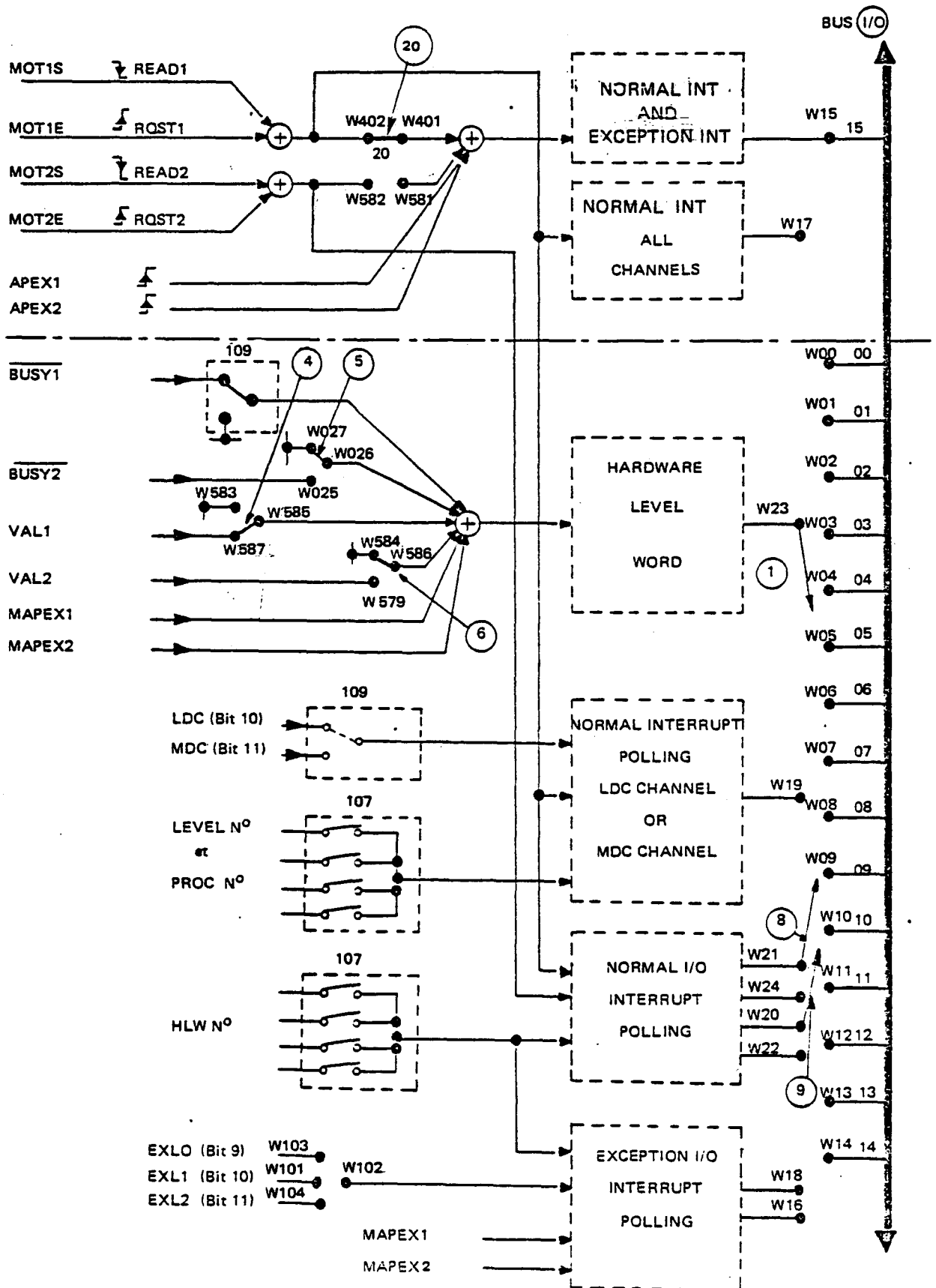
La représentation de toutes les combinaisons possibles de straps étant matériellement presque impossible, il nous a semblé plus judicieux d'aborder la difficulté en donnant à l'utilisateur les principales combinaisons qu'il est susceptible de rencontrer en pratique. Si toutefois il ne trouvait pas dans la présente notice celle qui lui convient, nous ne douterons jamais un seul instant de sa perspicacité pour la déduire des 6 exemples qui suivent

4.6.1 - ARBRE DE POLLING



Nota : Les straps cerclés  font référence aux exemples de mise en oeuvre traités dans les pages suivantes.

4.6.2- Gestion des mots 1 (MOT1S et MOT1E) en mode programmé par interruption



NOTA : ○ Strap.



a) Positionnements des straps (4.3 et 4.6.2)

- Strap ① ⇒ N° du niveau de priorité hardware (1 parmi 15)
- Strap ④ : W587 à W585 (position ON)
- Strap ⑤ : W027 à W026 (position OFF) W584 à
- Strap ⑥ : W586 (position OFF)
- Strap ⑧ : N° du S/niveau d'interruption normale affecté au mot 1 de sortie (N° S/N d'ITN = I/Oi)
- Strap ⑨ : N° du S/niveau d'interruption normale affecté au mot 1 d'entrée (N° S/N d'ITN = I/Oj)
- Strap ⑳ : W402 - W401 : (Interruptions MOT1S et MOT1E TRAP WORD)

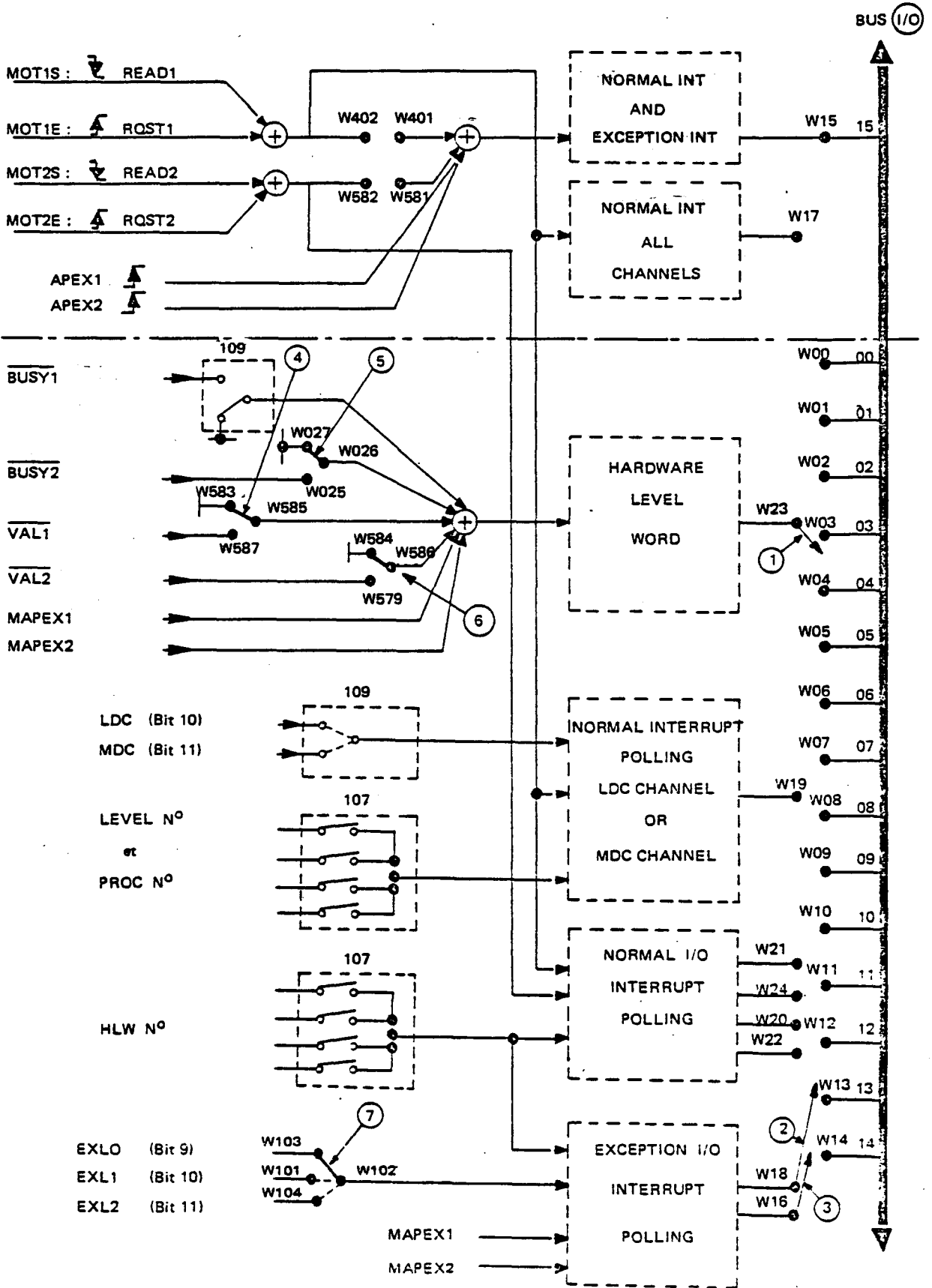
b) Positionnement des tracks switches (4.3)

Bloc 109: mettre en position ON (4.3)

Bloc 107: afficher la configuration correspondant au niveau de priorité imposé par strap ①
(Voir 4.5.2).

Nota - Ne pas oublier d'afficher l'adresse de la carte (4.5.1.) bloc 003

4.6.3- Gestion des appels externes en mode programmé par interruption



NOTA : ○ Strap

a) Positionnement des straps (4.3 et 4. 63)

- Strap ① \Rightarrow N° du niveau de priorité hardware (1 parmi 15)
- Strap ② \Rightarrow N° du S/N d'interruption exception affecté à la source APEX1
- Strap ③ \Rightarrow N° du S/N d'interruption exception affecté à la source APEX2
- Strap ④ : W583 à W585 (position OFF)
- Strap ⑤ : W027 à W026 (position OFF)
- Strap ⑥ : W584 à W586 (position OFF)
- Strap ⑦ : 3 positions possibles

$$\text{a) } W103 \text{ à } W102 \begin{array}{l} \leftarrow \rightleftarrows \\ \leftarrow \rightleftarrows \end{array} \left\{ \begin{array}{l} \text{N}^\circ \text{ S/N APEX1} = \text{I/O}_i \\ \text{N}^\circ \text{ S/N APEX2} = \text{I/O}_j \end{array} \right.$$

$$\text{b) } W101 \text{ à } W102 \begin{array}{l} \leftarrow \rightleftarrows \\ \leftarrow \rightleftarrows \end{array} \left\{ \begin{array}{l} \text{N}^\circ \text{ S/N APEX1} = \text{I/O}_i + 16 \\ \text{N}^\circ \text{ S/N APEX2} = \text{I/O}_j + 16 \end{array} \right.$$

$$\text{c) } W104 \text{ à } W102 \begin{array}{l} \leftarrow \rightleftarrows \\ \leftarrow \rightleftarrows \end{array} \left\{ \begin{array}{l} \text{N}^\circ \text{ S/N APEX1} = \text{I/O}_i + 32 \\ \text{N}^\circ \text{ S/N APEX2} = \text{I/O}_j + 32 \end{array} \right.$$

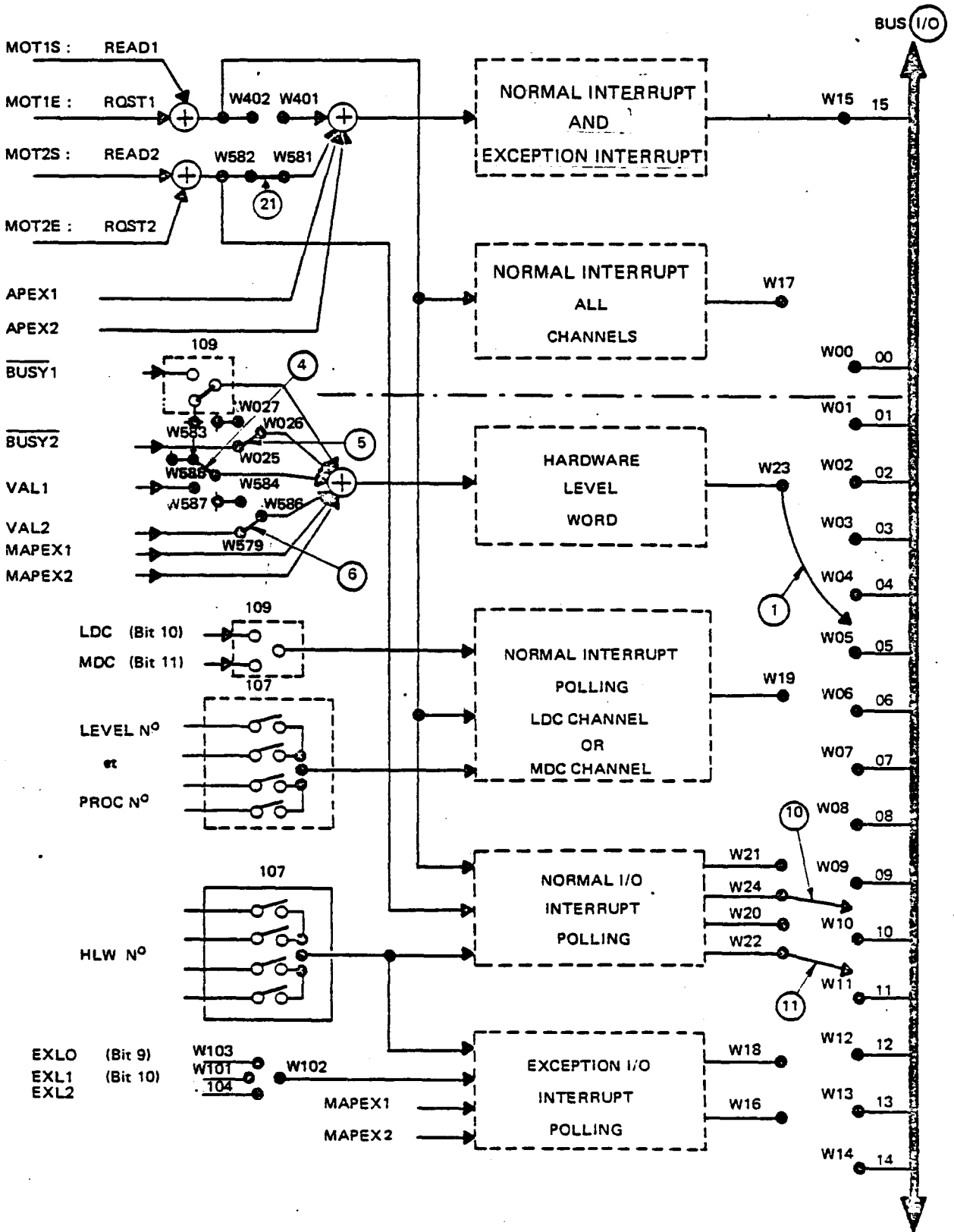
b) Positionnement des tracks switches (4.3)

Bloc 109: mettre en position OFF (4.3)

Bloc 107: afficher la configuration correspondant au niveau de priorité hardware imposé par strap ① (4.5.2).

- Ne pas oublier d'afficher l'adresse de la carte (4.5.1). bloc 003

4.6.4-Gestion des mots 2 (MOT2S et MOT2E) en mode programmé par interruption



a) Positionnement des straps (4.3 et 4.6.4)

- Strap ① ⇒ N° du niveau de priorité hardware (1 parmi 15)
- Strap ④ : W583 à W585 (position OFF)
- Strap ⑤ : W025 à W026 (position ON)
- Strap ⑥ : W579 à W586 (position ON)
- Strap ⑩ ⇒ N° du S/Niveau d'interruption normale affecté au mot 2 de sortie (N° S/N d'ITN = I/Ok)
- Strap ⑪ ⇒ N° du S/Niveau d'interruption normale affecté au mot 2 d'entrée (N° S/N d'ITN = I/OI)
- Strap ⑳ : W582 à W581 : (Interruptions MOT2S et MOT2E TRAP WORD)

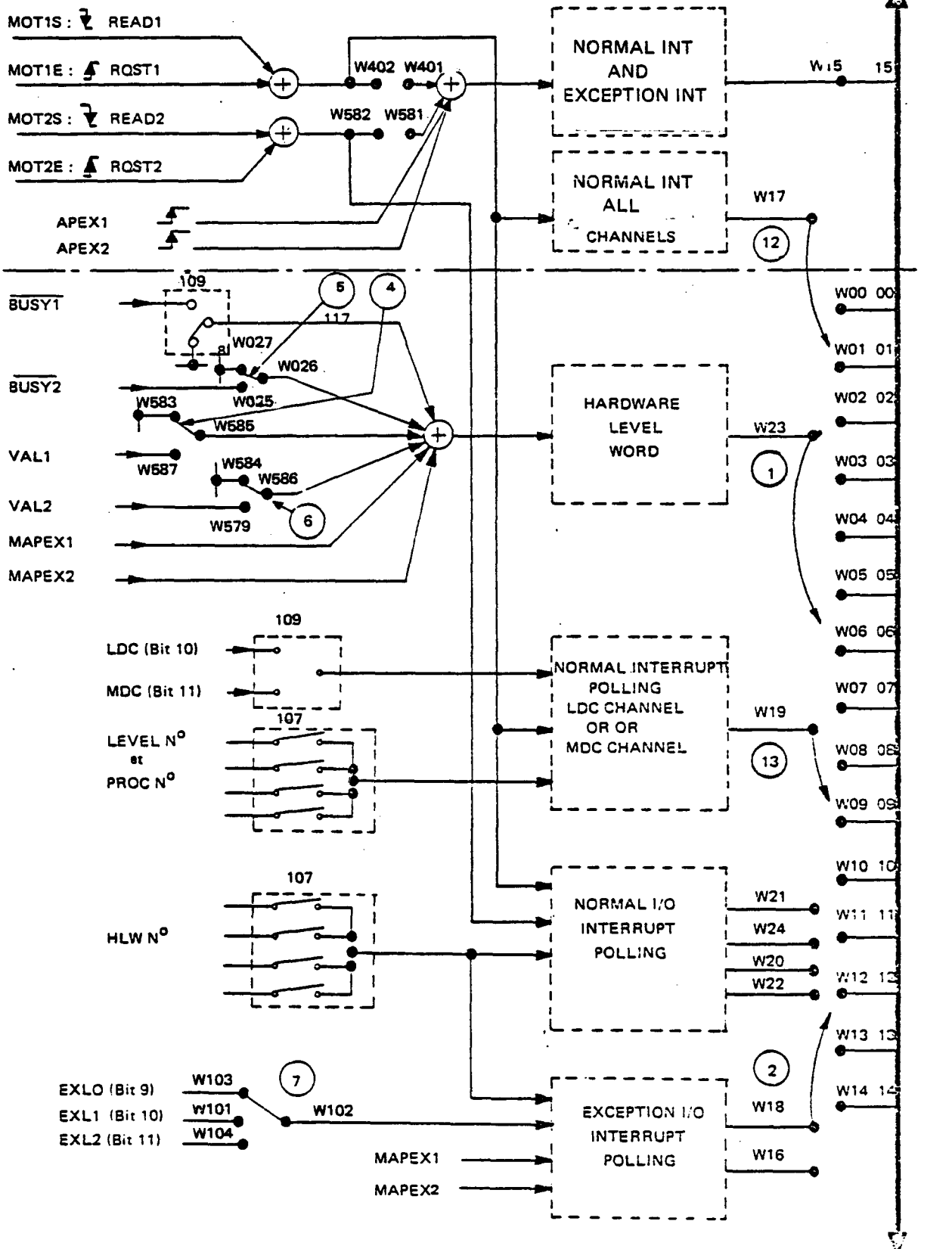
b) Positionnement des tracks switches (4.3)

Bloc 109: mettre en position OFF (4.3)

Bloc 107 : Afficher le N° du niveau de priorité imposé par strap ① (4.5.2)

- Ne pas oublier d'afficher l'adresse de la carte (4.5.1) bloc 003

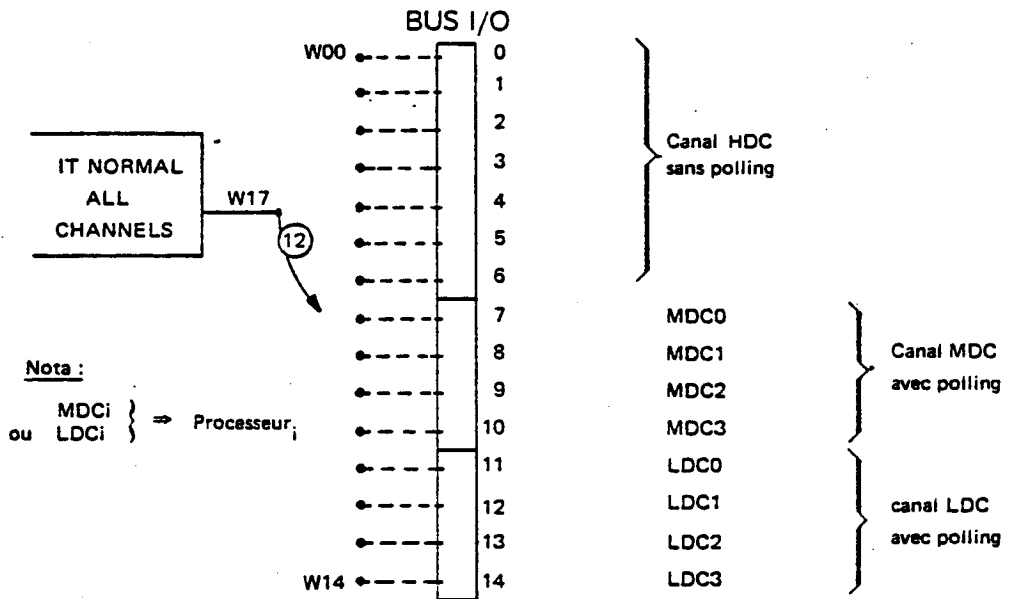
4.6.5 — Gestion non simultanée des mots 1 (MOT1S ou MOT1E) en mode canal (LDC, MDC ou HDC).



Note : Le mot 2 de sortie et le mot 2 d'entrée ne sont pas gérables en mode canal.

a) Positionnement des straps (4.3 et 4.6.5)

- Strap (12) →: Les appels-issus des mots 1 - sont dirigés vers le «TRAP WORD»;



- Strap (13) →: N° du S/Niveau d'interruption normale canal, 3 cas sont à envisager

- 1°) Si mode canal H DC : pas de strap
- 2°) Si mode canal M DC : N° du S/N = I/Oi
- 3°) Si mode canaCL DC
 - N° du S/N = I/Oi ⇒ LEVEL = 0
 - N° du S/N = I/Oi + 16 ⇒ LEVEL = 1
 - N° du S/N = I/Oi + 32 ⇒ LEVEL = 2
 - N° du S/N = I/Oi + 48 ⇒ LEVEL = 3

- Strap (1) →: N° du niveau de priorité hardware (1 parmi 15)

- Strap (2) →: N° du S/niveau d'interruption exception affecté à la source APEXI (obligation d'utiliser un appel externe pour signaler au processeur la fin effective de l'échange périphérique généralement après réception du signal ENDCH.

- Strap (4) W583 à W585 (position OFF)

- Strap (5) W027 à W026 (position OFF)

- Strap (6) W584 à W586 (position OFF)

- Strap (7) 3 positions possibles



- a) W 103 à W 102 \longleftrightarrow N° S/N APEXI = I/Oi
- b) W 101 à W 102 \longleftrightarrow N° S/N APEXI = I/Oi + 16
- c) W 104 à W 102 \longleftrightarrow N° S/N APEXI = I/Oi + 32

b) Positionnement des tracks switches (4.3 et 4.6.5)

Bloc 109: mettre en position OFF. (4.3)

Bloc 107: Si le périphérique travaille en mode HDC la position de la track switch est indifférente.

- dans le cas contraire, le positionner en fonction du type de canal choisi : LDC ou MDC.

Bloc 107: Afficher la configuration correspondant au N° du niveau de priorité hardware imposé par strap ① (4-5-2)

Bloc 107 :

- Périphérique travaillant en mode canal MDC : (4.5.4) coder le N° du processeur concerné. Pour rappel :

- PROC N° 0 si strap ⑫ en W07
- PROC N° 1 si strap ⑫ en W08
- PROC N° 2 si strap ⑫ en W09
- PROC N° 3 si strap ⑫ en W10

- Périphérique travaillant en mode canal LDC : (4.5.3)

II faut d'une part afficher le N° de processeur et d'autre le LEVEL N°

N° du processeur

- PROC N°0 si strap ⑬ en W11
- PROC N°1 si strap ⑬ en W12
- PROC N°2 si strap ⑬ en W13
- PROC N°3 si strap ⑬ en W14

N° de LEVEL

II se déduit du N° du S/Niveau d'interruption canal affecté au périphérique :

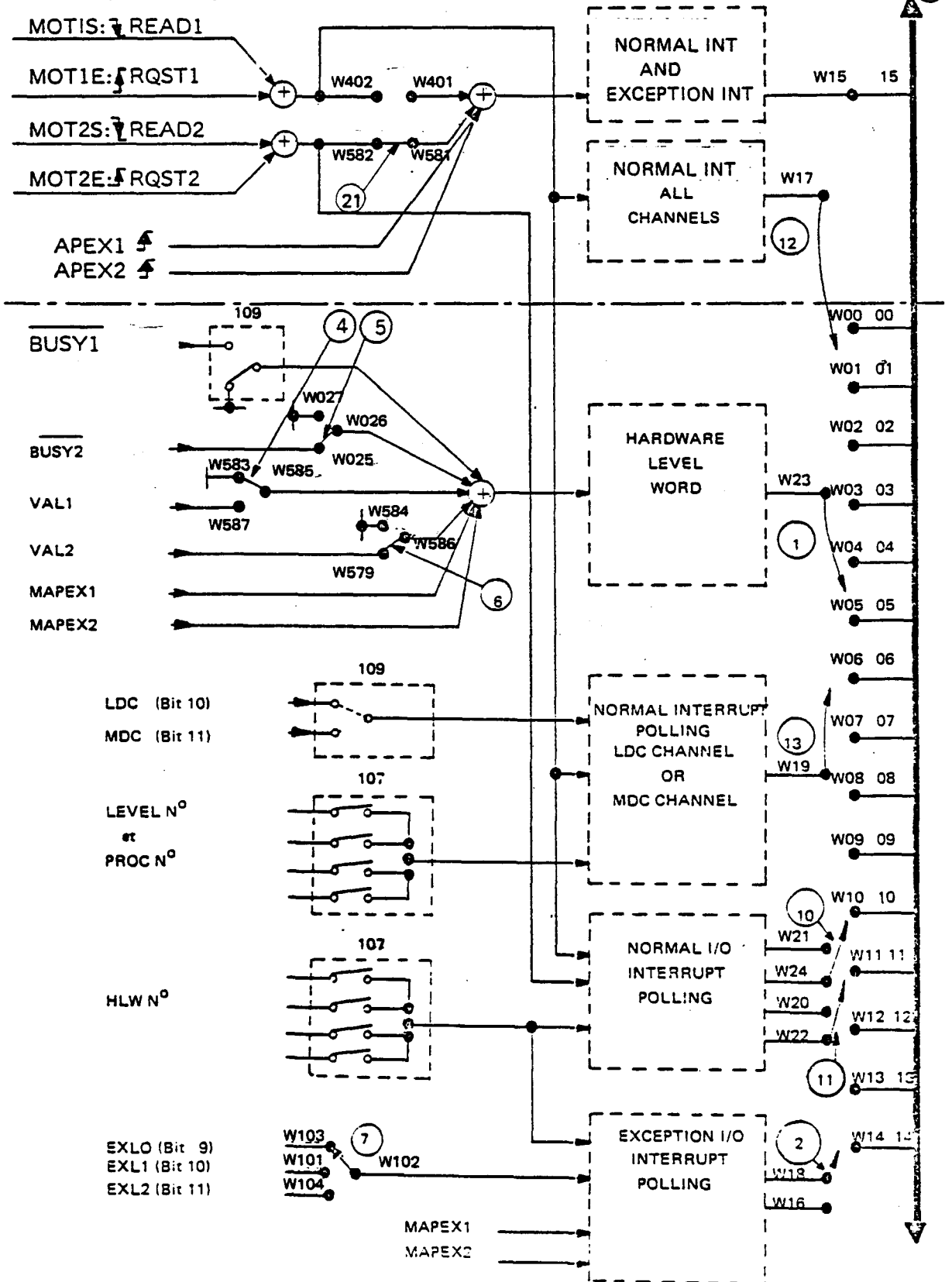
N° LEVEL	N° S/N Normal canal
0	de 00 à 15
1	de 16 à 31
2	de 32 à 47
3	de 48 à 63

Les 16 combinaisons possibles (N° de processeur, N° de LEVEL) sont données en 4.5.3.

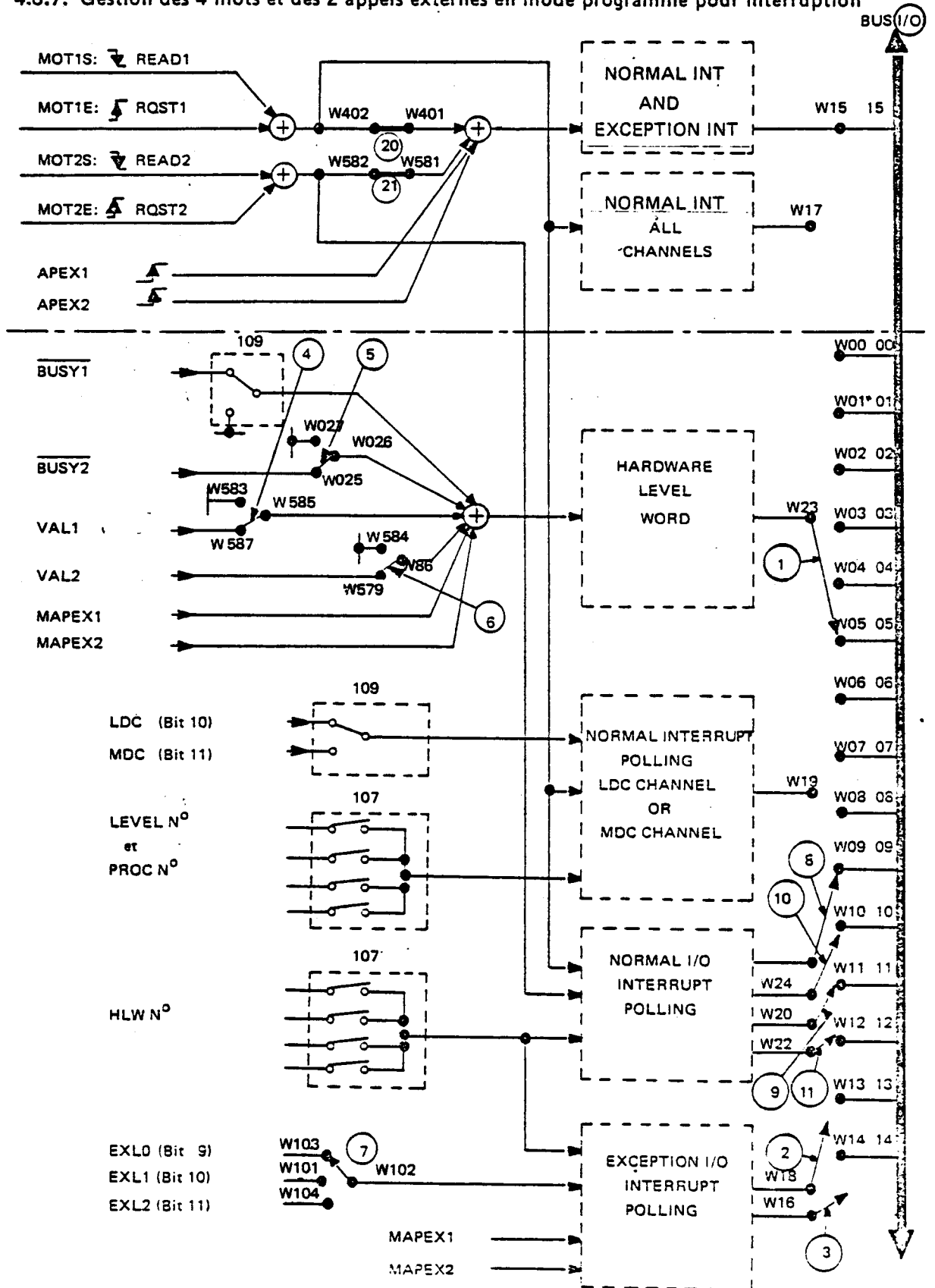
Rappel

- Le mode canal implique l'utilisation d'une entrée d'appel externe.
- Afficher l'adresse de la carte 4.5.1.

4.6.6. Mode canal (MOT1S ou MOT1E), MOT2S et MOT2E et 1 appel externe en mode programmé par interruption. BUS I/O



4.6.7. Gestion des 4 mots et des 2 appels externes en mode programmé pour interruption



5.- ANNEXES

5.1 - EQUATIONS INTERFACE UNIVERSELLE

Décodage fonctions bus

Bascule F13

$$\begin{aligned} D &= \text{ADR. N}^\circ \text{ CARD. } \overline{\text{BIT00. BIT 13}} \\ T &= \overline{\text{CLKw}} \\ R &= \overline{\text{CLEAR}} \end{aligned}$$

Bascule F14

$$\begin{aligned} D &= \text{ADR. N}^\circ \text{ CARD. } \overline{\text{BIT00. BIT 14}} \\ T &= \overline{\text{CLKw}} \\ R &= \overline{\text{CLEAR}} \end{aligned}$$

Bascule F15

$$\begin{aligned} D &= \text{ADR. N}^\circ \text{ CARD. } \overline{\text{BIT00. BIT02}} \\ T &= \overline{\text{CLKw}} \\ R &= \overline{\text{CLEAR}} \end{aligned}$$

Bascule INPUT

$$\begin{aligned} D &= \text{ADR. N}^\circ \text{ CARD. } \overline{\text{BIT00. BIT 15}} \\ T &= \overline{\text{CLKw}} \\ R &= \overline{\text{CLEAR}} \end{aligned}$$

Décodage - Mots de commande

Bascules VALIT, VALIT1, VALIT2

$$\begin{aligned} D_i &= \text{BIT 15 (VALIT)} \\ D_j &= \text{BIT 14 (VALIT1)} \\ D_k &= \text{BIT 13 (VALIT2)} \\ T &= \overline{\text{CLKw. F13. F14. F15}} \\ R &= \overline{\text{CLEARw}} \end{aligned}$$

Bascules FBN

$$\begin{aligned} D &= \overline{\text{BIT 12}} \\ T &= \overline{\text{CLKw - F13 - F14 - F15}} \\ R &= \overline{\text{CLEARw}} \end{aligned}$$

DELAY TIME

Bascule $\theta 1$, Q2

$$\begin{aligned} D_i &= \overline{F13} \cdot \overline{F14} \cdot F15 \\ D_j &= \theta 1 \\ T_j &= \overline{CLKw} \\ R &= \overline{CLEARw} \end{aligned}$$

Bascules $\theta 2$, Q4

$$\begin{aligned} DK &= F13 \cdot \overline{F14} \cdot F15 \\ DL &= \theta 2 \\ R &= \overline{CLEARw} \end{aligned}$$

Signaux de services utilisateur

Bascules DATAFL1

$$\begin{aligned} D &= +5V \\ T &= \overline{Q2} \\ R &= \overline{CLEARw} + \overline{READ1} \end{aligned}$$

Bascules DATAFL2

$$\begin{aligned} D &= +5V \\ T &= \overline{Q4} \\ R &= \overline{CLEARw} + \overline{READ2} \end{aligned}$$

Bascules ACK1

$$\begin{aligned} S &= \overline{RQST1} \\ J &= OV \\ T &= \overline{CLKw} \\ K &= \overline{INPUT} \cdot \overline{F13} \cdot \overline{F14} \end{aligned}$$

Bascules ACK2

$$\begin{aligned} S &= \overline{RQST2} \\ J &= OV \\ T &= \overline{CLKw} \\ K &= \overline{F15} \cdot \overline{F14} \cdot \overline{F13} \end{aligned}$$

Registres informations

OUTPUT MOT 1

$$\begin{aligned} \text{Data input enable} &= \overline{F15} \cdot \overline{F14} \cdot \overline{F13} \\ \text{BIT } i &\Rightarrow \text{OUT}(100 + i) \\ T &= \overline{CLKw} \\ R &= \overline{RESET} + \overline{CLEARw} \end{aligned}$$

OUTPUT MOT 2

DATA INPUT ENABLE = F15. $\overline{\text{F14}}$. F13
 BIT i \Rightarrow OUT (200 + i)
 T = CLKw
 R = RESET2 + CLEARw

INPUT MOT 1 (16 bits)

IN (100 + i) \Rightarrow loi par INPUT. $\overline{\text{F13}}$. $\overline{\text{F14}}$

INPUT MOT 2 (8 bits)

IN (200 + i) \Rightarrow IOi par INPUT. F13. $\overline{\text{F14}}$
 VAL1, VAL2, BUSY1, BUSY2, par F14. F15

INTERRUPTIONS

IT NORMALLY EXCEPTION

1 ère bascule

D = VALIT

$$T = \frac{d(\text{FBN} + \text{BUSY1} + \overline{\text{VALIT1}})}{dt} + \frac{d(\overline{\text{VAL1}})}{dt} + \frac{d(\overline{\text{VAL2}})}{dt} + \frac{d(\text{BUSY2} + \overline{\text{VALIT2}})}{dt}$$

R = $\overline{\text{Q2}}$

2ème bascule

D = Q1. TRANS.SYNCw

T = CLKw

R = $\overline{\text{CLEARw}}$

IT NORMAL CH

1 ère bascule

$$D = \text{VALIT}$$

$$T = \frac{d(\text{FBN} + \text{BUSY1} + \overline{\text{VALIT1}})}{dt} + \frac{d(\overline{\text{VAL1}})}{dt}$$

R = $\overline{\text{Q2}}$ (2ème b)

2ème bascule

D = Q1. TRANS. SYNCw

T = CLKw

R = CLEARw

HWL

$$J = \overline{\text{BIT1}} \cdot \overline{\text{BIT2}} \cdot \text{ADR} [\overline{\text{BUSY2}} \cdot \text{VALIT2} + (\overline{\text{BUSY4}} + \overline{\text{FBN}}) \text{VALIT1} + \text{VAL1} + \text{VAL2} + \text{MAPEX1} + \text{MAPEX2}]$$
$$T = \overline{\text{CLKw}}$$
$$K = \overline{\text{SYNCw}}$$
$$R = \overline{\text{CLEARw}}$$

NIPCH

$$J = \overline{\text{BIT1}} \cdot \overline{\text{BIT3}} \cdot \text{ADR} [\text{N}^\circ \text{ LEVEL} \cdot \text{N}^\circ \text{ PROC} \cdot \text{BIT10 (ou BIT11)}] (\overline{\text{SY1}} + \text{VAL1})$$
$$T = \overline{\text{CLKw}}$$
$$K = \overline{\text{SYNCw}}$$
$$R = \overline{\text{CLEARw}}$$

NIP-10

$$J = \overline{\text{BIT1}} \cdot \overline{\text{BIT3}} \cdot \text{ADR} [\text{N}^\circ \text{ HLW} \cdot (\text{BIT9 ou BIT10 ou BIT11})] \cdot \text{BIT 8}$$
$$T = \overline{\text{CLKw}}$$
$$K = \overline{\text{SYNCw}}$$
$$R = \overline{\text{CLEARw}}$$

Appels EXTERNES

Bascule MAPEX1

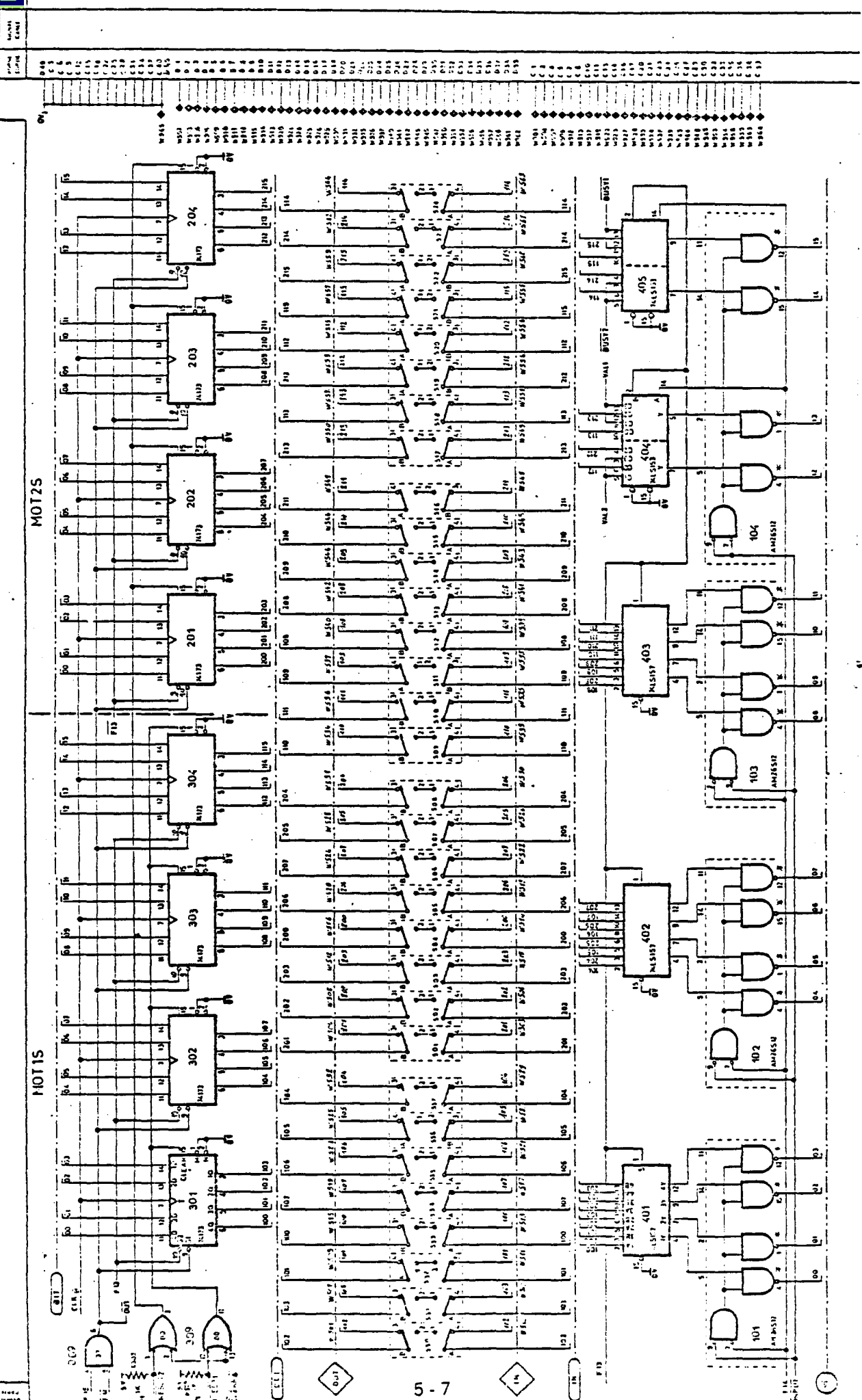
$$D = \text{VALIT} \quad \frac{d(\text{APEX1})}{dt}$$
$$T = \overline{\text{CLEARw}} + \overline{\text{CLKw}} \cdot \overline{\text{F13}} \cdot \overline{\text{F14}} \cdot \overline{\text{F15}}$$

Bascule MAPEX2

$$D = \text{VALIT} \quad \frac{d(\text{APEX1})}{dt}$$
$$R = \overline{\text{CLEARw}} + \overline{\text{CLKw}} \cdot \overline{\text{F13}} \cdot \overline{\text{F14}} \cdot \overline{\text{F15}}$$

5.2 - SCHÉMAS DE PRINCIPE

GPI 32 = 3 folios



MARK
LINE

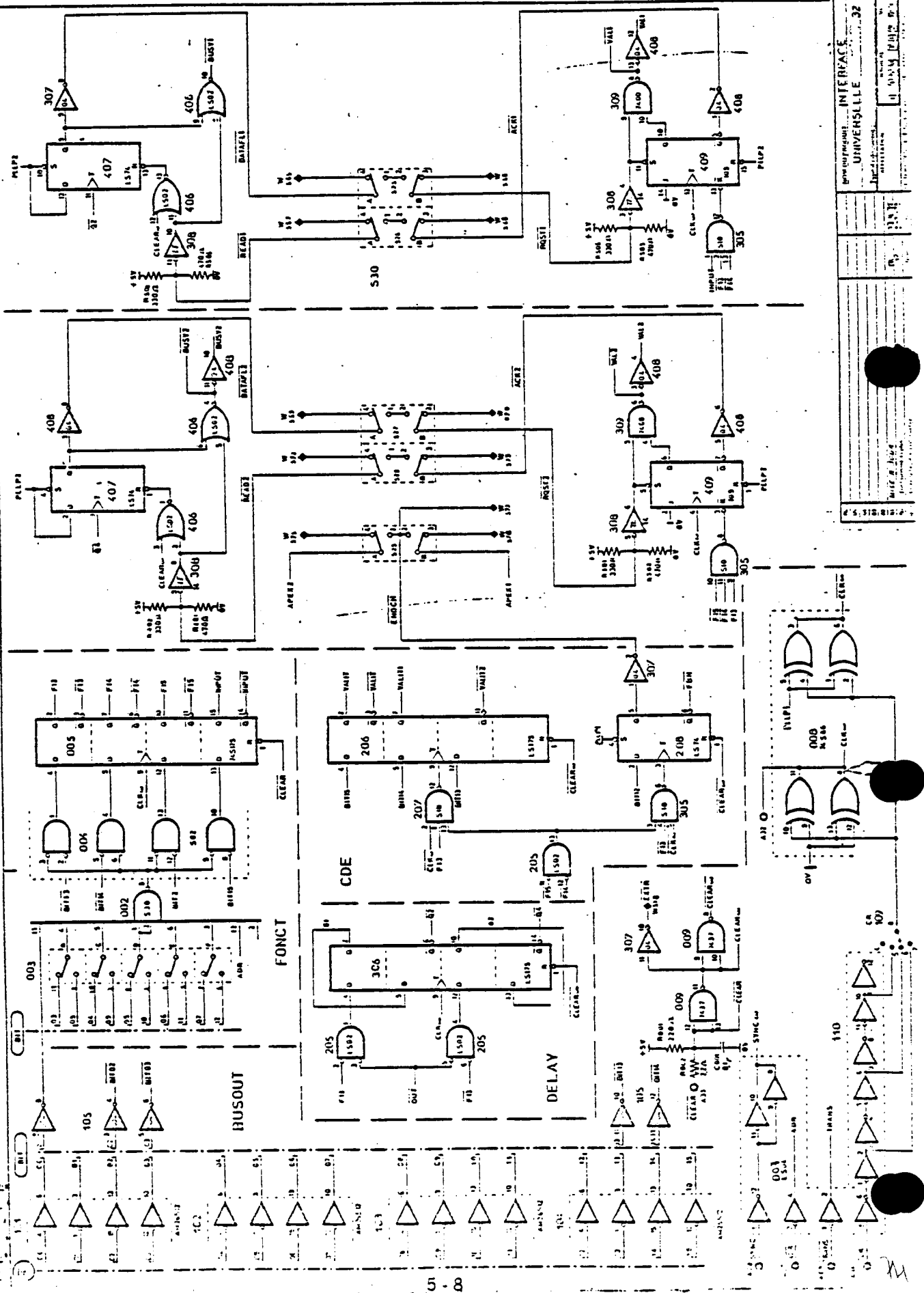
W001 W002 W003 W004 W005 W006 W007 W008 W009 W010 W011 W012 W013 W014 W015 W016 W017 W018 W019 W020 W021 W022 W023 W024 W025 W026 W027 W028 W029 W030 W031 W032 W033 W034 W035 W036 W037 W038 W039 W040 W041 W042 W043 W044 W045 W046 W047 W048 W049 W050 W051 W052 W053 W054 W055 W056 W057 W058 W059 W060 W061 W062 W063 W064 W065 W066 W067 W068 W069 W070 W071 W072 W073 W074 W075 W076 W077 W078 W079 W080 W081 W082 W083 W084 W085 W086 W087 W088 W089 W090 W091 W092 W093 W094 W095 W096 W097 W098 W099 W100 W101 W102 W103 W104 W105 W106 W107 W108 W109 W110 W111 W112 W113 W114 W115 W116 W117 W118 W119 W120 W121 W122 W123 W124 W125 W126 W127 W128 W129 W130 W131 W132 W133 W134 W135 W136 W137 W138 W139 W140 W141 W142 W143 W144 W145 W146 W147 W148 W149 W150 W151 W152 W153 W154 W155 W156 W157 W158 W159 W160 W161 W162 W163 W164 W165 W166 W167 W168 W169 W170 W171 W172 W173 W174 W175 W176 W177 W178 W179 W180 W181 W182 W183 W184 W185 W186 W187 W188 W189 W190 W191 W192 W193 W194 W195 W196 W197 W198 W199 W200 W201 W202 W203 W204 W205 W206 W207 W208 W209 W210 W211 W212 W213 W214 W215 W216 W217 W218 W219 W220 W221 W222 W223 W224 W225 W226 W227 W228 W229 W230 W231 W232 W233 W234 W235 W236 W237 W238 W239 W240 W241 W242 W243 W244 W245 W246 W247 W248 W249 W250 W251 W252 W253 W254 W255 W256 W257 W258 W259 W260 W261 W262 W263 W264 W265 W266 W267 W268 W269 W270 W271 W272 W273 W274 W275 W276 W277 W278 W279 W280 W281 W282 W283 W284 W285 W286 W287 W288 W289 W290 W291 W292 W293 W294 W295 W296 W297 W298 W299 W300 W301 W302 W303 W304 W305 W306 W307 W308 W309 W310 W311 W312 W313 W314 W315 W316 W317 W318 W319 W320 W321 W322 W323 W324 W325 W326 W327 W328 W329 W330 W331 W332 W333 W334 W335 W336 W337 W338 W339 W340 W341 W342 W343 W344 W345 W346 W347 W348 W349 W350 W351 W352 W353 W354 W355 W356 W357 W358 W359 W360 W361 W362 W363 W364 W365 W366 W367 W368 W369 W370 W371 W372 W373 W374 W375 W376 W377 W378 W379 W380 W381 W382 W383 W384 W385 W386 W387 W388 W389 W390 W391 W392 W393 W394 W395 W396 W397 W398 W399 W400 W401 W402 W403 W404 W405 W406 W407 W408 W409 W410 W411 W412 W413 W414 W415 W416 W417 W418 W419 W420 W421 W422 W423 W424 W425 W426 W427 W428 W429 W430 W431 W432 W433 W434 W435 W436 W437 W438 W439 W440 W441 W442 W443 W444 W445 W446 W447 W448 W449 W450 W451 W452 W453 W454 W455 W456 W457 W458 W459 W460 W461 W462 W463 W464 W465 W466 W467 W468 W469 W470 W471 W472 W473 W474 W475 W476 W477 W478 W479 W480 W481 W482 W483 W484 W485 W486 W487 W488 W489 W490 W491 W492 W493 W494 W495 W496 W497 W498 W499 W500 W501 W502 W503 W504 W505 W506 W507 W508 W509 W510 W511 W512 W513 W514 W515 W516 W517 W518 W519 W520 W521 W522 W523 W524 W525 W526 W527 W528 W529 W530 W531 W532 W533 W534 W535 W536 W537 W538 W539 W540 W541 W542 W543 W544 W545 W546 W547 W548 W549 W550 W551 W552 W553 W554 W555 W556 W557 W558 W559 W560 W561 W562 W563 W564 W565 W566 W567 W568 W569 W570 W571 W572 W573 W574 W575 W576 W577 W578 W579 W580 W581 W582 W583 W584 W585 W586 W587 W588 W589 W590 W591 W592 W593 W594 W595 W596 W597 W598 W599 W600 W601 W602 W603 W604 W605 W606 W607 W608 W609 W610 W611 W612 W613 W614 W615 W616 W617 W618 W619 W620 W621 W622 W623 W624 W625 W626 W627 W628 W629 W630 W631 W632 W633 W634 W635 W636 W637 W638 W639 W640 W641 W642 W643 W644 W645 W646 W647 W648 W649 W650 W651 W652 W653 W654 W655 W656 W657 W658 W659 W660 W661 W662 W663 W664 W665 W666 W667 W668 W669 W670 W671 W672 W673 W674 W675 W676 W677 W678 W679 W680 W681 W682 W683 W684 W685 W686 W687 W688 W689 W690 W691 W692 W693 W694 W695 W696 W697 W698 W699 W700 W701 W702 W703 W704 W705 W706 W707 W708 W709 W710 W711 W712 W713 W714 W715 W716 W717 W718 W719 W720 W721 W722 W723 W724 W725 W726 W727 W728 W729 W730 W731 W732 W733 W734 W735 W736 W737 W738 W739 W740 W741 W742 W743 W744 W745 W746 W747 W748 W749 W750 W751 W752 W753 W754 W755 W756 W757 W758 W759 W760 W761 W762 W763 W764 W765 W766 W767 W768 W769 W770 W771 W772 W773 W774 W775 W776 W777 W778 W779 W780 W781 W782 W783 W784 W785 W786 W787 W788 W789 W790 W791 W792 W793 W794 W795 W796 W797 W798 W799 W800 W801 W802 W803 W804 W805 W806 W807 W808 W809 W810 W811 W812 W813 W814 W815 W816 W817 W818 W819 W820 W821 W822 W823 W824 W825 W826 W827 W828 W829 W830 W831 W832 W833 W834 W835 W836 W837 W838 W839 W840 W841 W842 W843 W844 W845 W846 W847 W848 W849 W850 W851 W852 W853 W854 W855 W856 W857 W858 W859 W860 W861 W862 W863 W864 W865 W866 W867 W868 W869 W870 W871 W872 W873 W874 W875 W876 W877 W878 W879 W880 W881 W882 W883 W884 W885 W886 W887 W888 W889 W890 W891 W892 W893 W894 W895 W896 W897 W898 W899 W900 W901 W902 W903 W904 W905 W906 W907 W908 W909 W910 W911 W912 W913 W914 W915 W916 W917 W918 W919 W920 W921 W922 W923 W924 W925 W926 W927 W928 W929 W930 W931 W932 W933 W934 W935 W936 W937 W938 W939 W940 W941 W942 W943 W944 W945 W946 W947 W948 W949 W950 W951 W952 W953 W954 W955 W956 W957 W958 W959 W960 W961 W962 W963 W964 W965 W966 W967 W968 W969 W970 W971 W972 W973 W974 W975 W976 W977 W978 W979 W980 W981 W982 W983 W984 W985 W986 W987 W988 W989 W990 W991 W992 W993 W994 W995 W996 W997 W998 W999 W1000

INTERFACE
URVENSF.U.E

Document
Date

Document
Date

BUSIN



Interface antique
UNIVERSALLE 32 E/A

Page 2/3

Page 2/3

Page 2/3

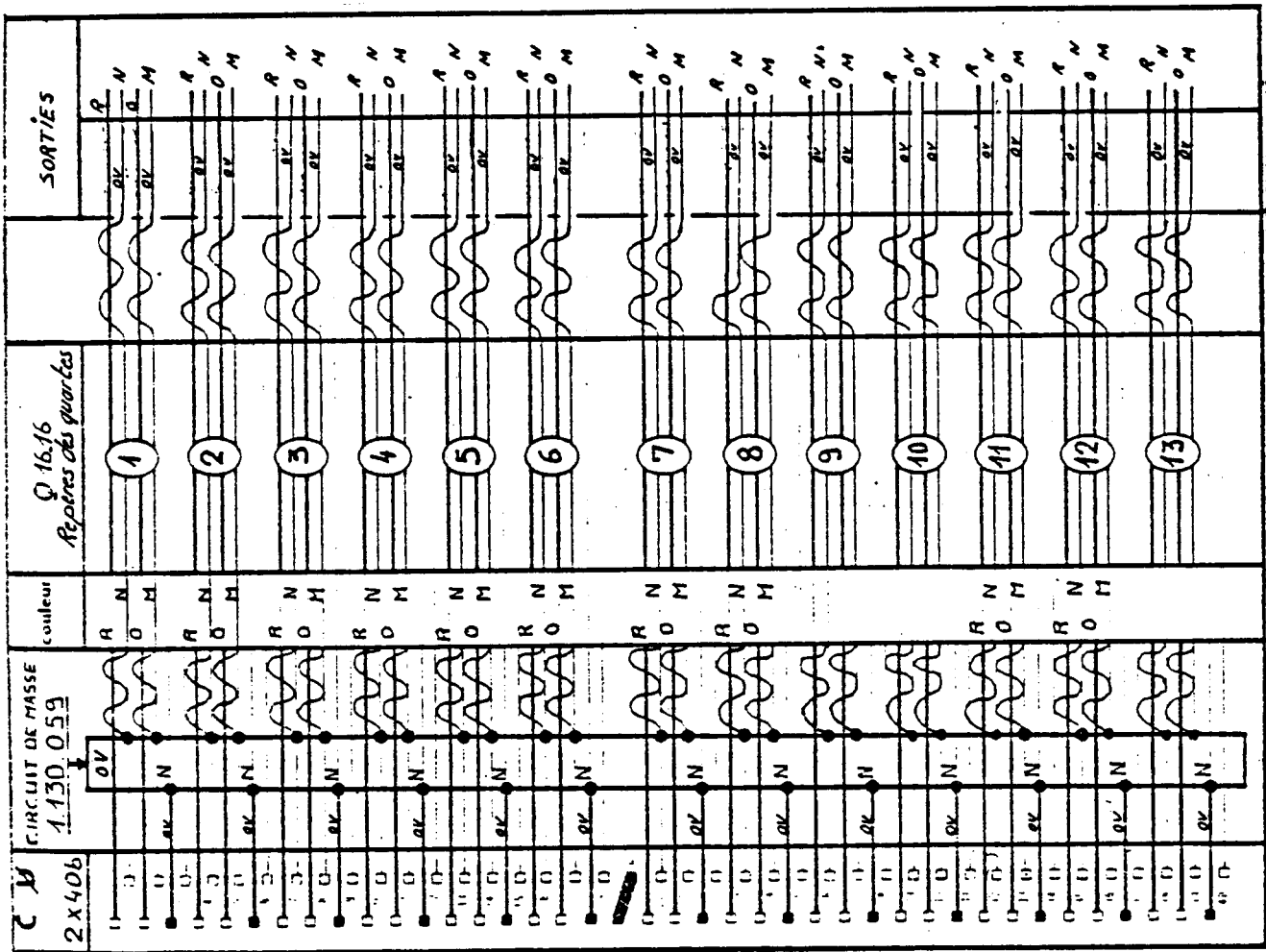
Page 2/3

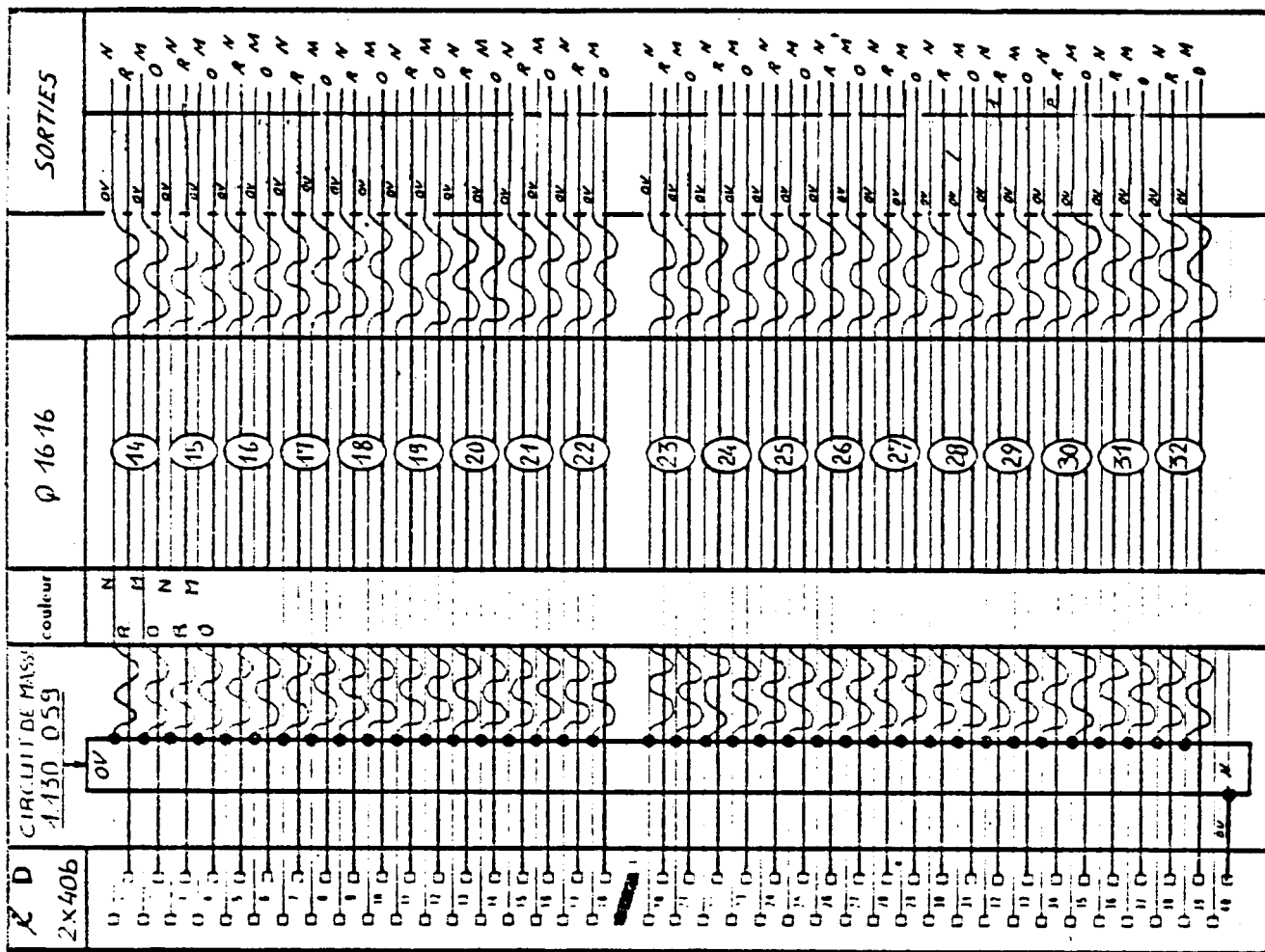
Page 2/3

Page 2/3

Page 2/3

5.4 - CABLE DE LIAISON N° 1 153 045





PARTIE 2

DRIVER

Le driver étant spécifique de l'application devra être développé par l'utilisateur.

PARTIE 3

TEST INTERFACE UNIVERSELLE

SOMMAIRE

1 - AVERTISSEMENT	1.1
2 - BUT DU TEST	2-1
3 - UTILISATION AVEC ORGANE DE DIALOGUE	3-1
3.1 - MOYENS NECESSAI RES	3-1
3.1.1 -Matériel	3-1
3.1.2 - Logiciel	3-1
3.1.3 - Documentation	3-1
3.2 - CHARGEMENT ET LANCEMENT DU TEST	3-1
3.3 - DESCRIPTION DU CONVERSATIONNEL	3-2
3.4-CLÉS DISPONIBLES AU NIVEAU 1	3-5
3.4.1 - Clés actions utilisées dans REC et RNS	3-5
3.4.2 - Recette REC	3-5
3.4.3 - Recette RNS	3-5
3.4.4 - Tableau des clés disponibles au niveau 1	3-6
3.4.5 - Les messages d'erreur	3-7
4 - UTILISATION SANS ORGANE DE DIALOGUE	4-1
4.1 -DESCRIPTION DU CONVERSATIONNEL	4-1
4.2 - EXEMPLE DE CONVERSATIONNEL	4-2

1 -AVERTISSEMENT

Ce qui suit suppose connus les développements du manuel de base sur le "SYSTEME DE TEST SOLAR 16" baptisé également "NOYAU DE TEST" (réf. :1.158.000.00/-- 30).

Le présent document est suffisant pour effectuer un test général de bon fonctionnement, dit Test de NIVEAU 1.

Pour une utilisation de ce programme de test comme aide au dépannage (NIVEAU 2), il existe un manuel de fonctionnement du test, qui regroupe les deux niveaux :
(Référence : 1.158.305.00/--22).

Ce manuel ne sera fourni que sur commande aux utilisateurs qui prennent à leur charge la maintenance du module.

2 - BUT DU TEST

Le programme de test de l'Interface Universelle a pour but de tester les modules GPI 24 et GPI 32 du système SOLAR 16.

Il permet en particulier de vérifier le bon fonctionnement de la carte et de faire des recettes de longue durée.

Pour l'utilisation du programme il faut mettre la carte en mode rebouclage en basculant tous les commutateurs dans la position Test.

Le programme peut fonctionner avec un coupleur en programmé simple, en prioritaire IO ou en canal LDC, MDC ou HDC.

3 - UTILISATION AVEC ORGANE DE DIALOGUE

3.1 - MOYENS NÉCESSAIRES

3.1.1 - Matériel

- Une configuration SOLAR 16 avec au minimum 8 K de mémoire vive
- Un périphérique de dialogue
- Une carte Interface Universelle

du module GPI 24 : réf. 1.159.305.01

ou GPI 32 : réf. 1.159.305.02

3.1.2 - Logiciel

- Une bande Noyau de Test du système SOLAR 16 :
Réf. 158.000.01
- Une bande de Test de l'Interface Universelle
Réf. 1.158.305.01

3.1.3 - Documentation

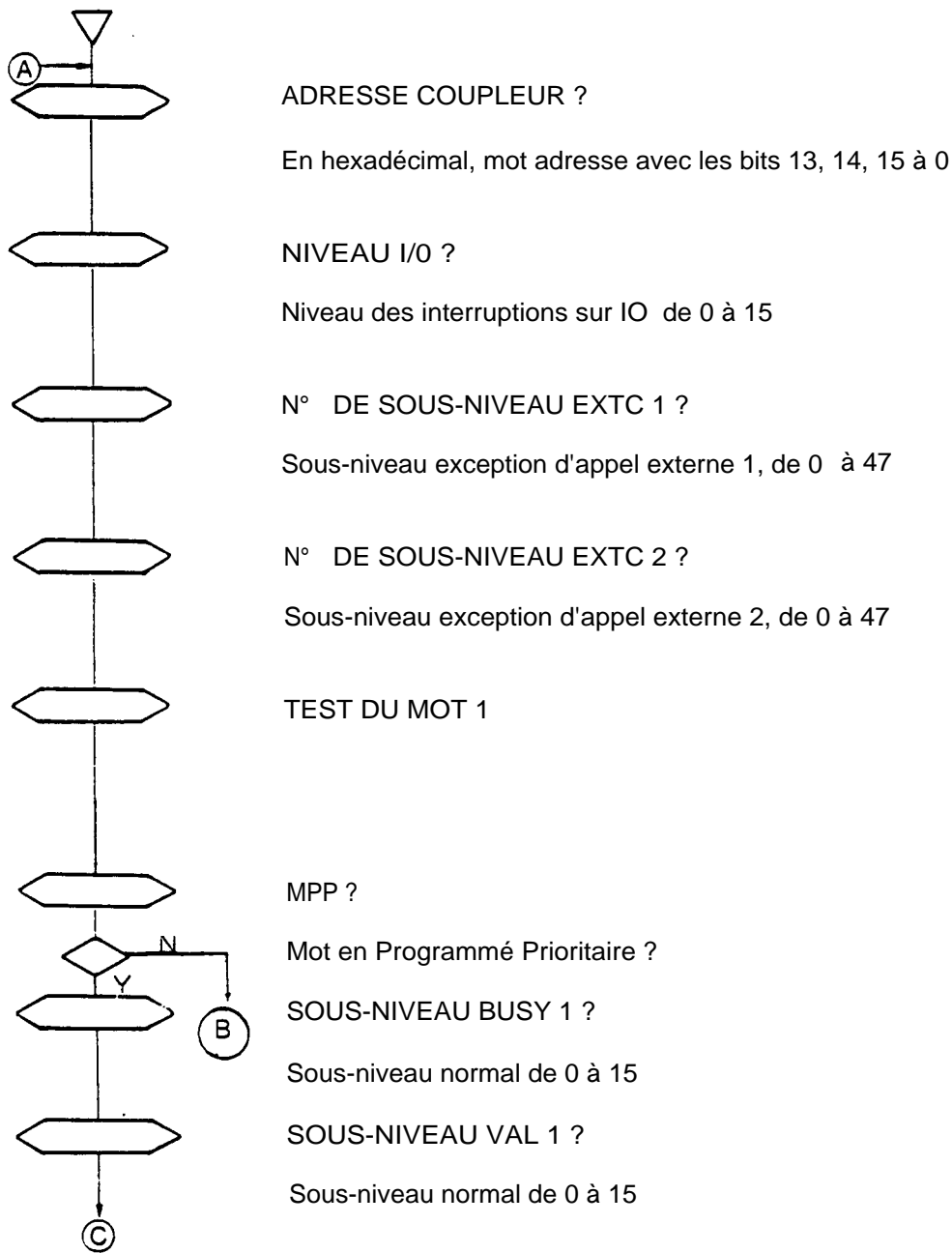
- Le manuel "NOYAU DE TEST"
référence : 1.158.000.00/-- 30
- Le présent manuel

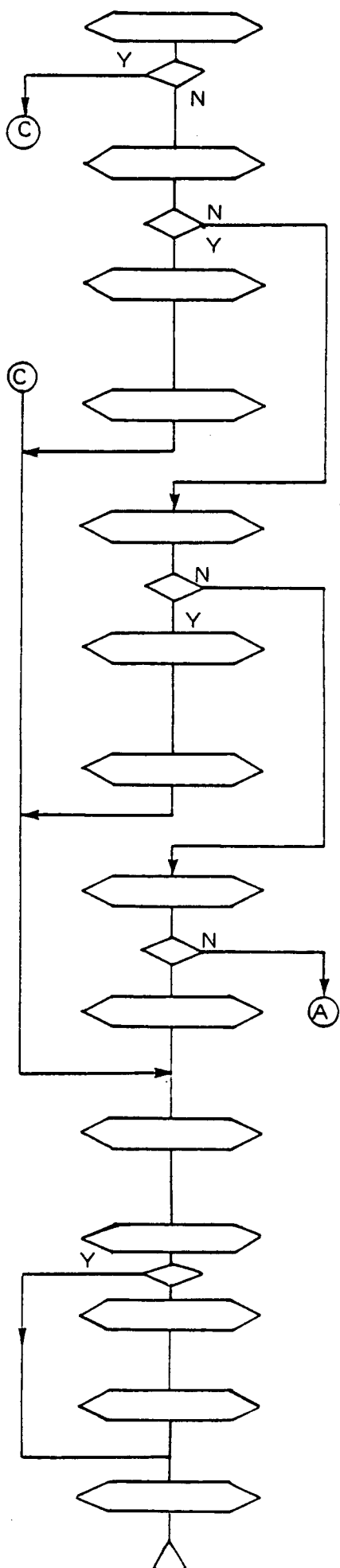
3.2 - CHARGEMENT ET LANCEMENT DU TEST

Ce programme de Test se charge et se lance de façon classique comme cela est décrit dans le Manuel d'Utilisation des Programmes de Test sous Noyau SOLAR 16.

3.3 - DESCRIPTION DU CONVERSATIONNEL

Après le lancement du programme, celui-ci pose un certain nombre de questions qui permettent d'identifier le coupleur et de fixer les conditions d'utilisations.





MPS ?

Mode programmé simple ?

LDC ?

Mot 1 sur Low Data Channel ?

NO DE PROCESSEUR ?

Num - du processeur d'échange de 0 à 3 ?

NO IT CANAL ?

Num -d'appel canal de 0 à 63

MDC ?

Mot 1 sur Médium Data Channel ?

NO DE PROCESSEUR ?

Num - du processeur d'échange de 0 à 3 ?

NO IT CANAL ?

Num - d'appel canal de 0 à 15 ?

HDC ?

Mot 1 sur High Data Channel ?

NO IT CANAL ?

Num -d'appel canal de 0 à 7 ?

TEST DU MOT 2

MOT DE 16 BITS ?

Répondre Y pour le module GPI 32
N pour le module GPI 24

MPS ?

Mode programmé simple ?

SOUS - NIVEAU BUSY 2 ?

Sous - niveau normal de 0 à 15 ?

SOUS - NIVEAU VAL 2 ?

Sous - niveau normal de 0 à 15 ?

NIVEAU D'EDITION DES ERREURS ?

Répondre de 0 à 5

Exemple de Conversationnel

ADRESSE COUPLEUR ? 48
NIVEAU I/O ? 12
NO DE SS. N I V. EXTC1 ? 2
NO DE SS. NIV. EXTC2 ? 3
TEST DU MOT 1
MPP ? N
MPS ? N
LDC ? Y
NO DU PROCESSEUR D'ÉCHANGE ? 1
NO IT CANAL ? 5
TEST DU MOT 2
MOT DE 16 BITS ? Y
MPS ? N
SS. N IV. BUSY2 ? 5
SS. NIV. VAL2 ? 6
NIVEAU D'ÉDITION DES ERREURS ? 3
DONNEZ VOS CLÉS
01

3.4-CLÉS DISPONIBLES AU NIVEAU 1

3.4.1 - Clés actions utilisées dans REC et RNS

- Clé 100⁽¹⁾ - Contrôle de toutes les interruptions par Polling programmés
- Clé 101 - Echange de tous les codes sur le Mot 1 dans le Mode de Programmation Fixé par le conversationnel
- Clé 102 - Echange de tous les codes sur le Mot 2 dans le Mode de Programmation Fixé par le conversationnel
- Clé 200 - Test des appels externes APEX1 et APEX2

3.4.2 - Recette REC

La recette permet de contrôler le bon fonctionnement de l'Interface Universelle.

Elle n'existe qu'en mode normal : Il n'y a pas de mode Debug.

Elle assure l'enchaînement suivant

Clés 100, 101, 102 (101, 102 en mode programmé simple), 101, 102 (en mode défini dans le conversationnel), 200.

3.4.3 - Recette RNS

La recette RNS permet de faire des tests de longue durée sur l'Interface Universelle.

Elle assure le rebouclage à l'infini sur les clés 101, 102 et 200.

Nota : Pendant la clé 100 les deux appels externes APEX1 et APEX2 sont simultanément excités sur une fin d'échange simulé par programme ; il est donc impératif de raccorder les pins W16 et W18 aux lignes I/O₀₋₁₅ en fonction des sous-niveaux choisis par l'utilisateur. (Straps ② et ③ décrits paragraphe 4.6.7)
En dehors du contexte du test voir nota page 2.7.

3.4.5 - Les messages d'erreur

Pour toutes les Erreurs de Numéro inférieur à 90, les messages sont répartis en deux classes numérotées 1 et 2.

- MESSAGE 1

Il indique juste le numéro de l'erreur et la clé dans laquelle l'erreur est détectée.

- MESSAGE 2

Il indique le libellé de l'erreur.

Le choix de l'édition de l'un ou de plusieurs de ces messages se fait par le niveau d'édition des erreurs fixé dans le conversationnel.

NIVEAU	MESSAGES	
	1	2
1	OUI	NON
2,3,4,5	OUI	OUI

Tableau des **erreurs**

n%	mode	Signification
00		Paramètre de la clé incorrect
01	Pg simple	Mot d'état incorrect ; interface non sollicitée
02	Pg simple	Mot d'état incorrect ; après Si 0 sortie information
03	Pg simple	Mauvais échange d'informations
13	Pg priorit.	Mauvais échange d'informations
14	Pg priorit.	Interruption niveau coupleur sous-niveau parasite
15	Pg priorit.	Absence d'interruption après démasquage (validation des interruptions du coupleur)
21	canal	Mauvais échange canal ; édition du mot 3 du CCB (compte de mots + compte rendu)
22	canal	Mot d'état incorrect après écriture sur l'interface en programmé
23	canal	Mauvais échange d'informations simple
24	canal	Interruption niveau coupleur sous-niveau parasite
25	canal	Absence d'interruption sous-niveau exception
31		Absence appel APEX1
32		Absence appel APEX2
90	canal	La IPI d'initialisation et de libération du canal n'est pas pris en compte par le processeur d'échange.
95	Erreurs liées à la clé 100 Pollings programmés	MDC PROCESSEUR X POLLING ATTENDU : XXXX XXXX XXXX XXXX POLLING RECU : XXXX XXXX XXXX XXXX Le Polling sur le mot MDC du processeur x est incorrect.
96		LDC PROCESSEUR X BLOC Y POLLING ATTENDU : XXXX XXXX XXXX XXXX POLLING RECU : XXXX XXXX XXXX XXXX Le Polling sur le mot LDC y du processeur x est incorrect.
97		HLW POLLING ATTENDU: XXXX XXXX XXXX XXXX POLLING RECU : XXXX XXXX XXXX XXXX Le Polling des niveaux d'IT 10 est incorrect.
98		10 NORMAL NIVEAU X POLLING ATTENDU : XXXX XXXX XXXX XXXX POLLING RECU : XXXX XXXX XXXX XXXX Le Polling des sous-niveaux normaux du niveau x est incorrect.
99		10 EXCEPTION BLOC X NIVEAU Y POLLING ATTENDU : XXXX XXXX XXXX XXXX POLLING RECU : XXXX XXXX XXXX XXXX Le Polling du mot Exception x du niveau y est incorrect.

4 -UTILISATION SANS ORGANE DE DIALOGUE

4.1 -DESCRIPTION DU CONVERSATIONNEL

Si l'on ne dispose pas de périphérique de dialogue les différents paramètres donnés dans le conversationnel doivent être chargés directement en mémoire à l'aide des clés du pupitre.

:: déplacement à partir de l'adresse de chargement du programme de test.

$\Delta \omega$	à charger
'0000	- PSW voir le Manuel Général d'utilisation
1	- PSW 1 des programmes de test.
2	- Adresse du coupleur
3	- Sous - niveau BUSY MOT 1
4	- VAL MOT 1
5	- BUSY MOT 2
6	- VAL MOT 2
7	- Exception APEX 1
'0008	- Exception APEX 2
9	- Numéro de processeur d'échange
A	- Niveau d'IT Canal
B	- MODEPG = Mode de programmation du mot 1 = '0008 pour MOT 1 en prioritaire = '0080 pour MOT 1 en LDC = '0020 pour MOT 1 en MDC = '0040 pour MOT 1 en HDC
C	- Longueur du MOT 2 = '00FF pour MOT 2 en 8 bits = 'FFFF pour MOT 2 en 16 bits
D	- Niveau d'IT IO

Après remplissage des mémoires, l'utilisateur devra lancer le programme à l'adresse normale de lancement.

4.2 • EXEMPLE DE CONVERSATIONNEL

```
ADRESSE COUPLEUR ?' 48
NIVEAU I / O ? 12
NO DE SS. NIV. EXTC1 ? 2
NO DE SS. NIV. EXTC2 ? 3
TEST DU MOT 1
MPP ? N
LDC ? Y
NO DU PROCESSEUR D'ECHANGE ? 1
NO IT CANAL ? 5
TEST DU MOT 2
MOT DE 16 BITS ? Y
SS.NIV. BUSY2 ? 5
SS.NIV. VAL2 ? 6
NIVEAU D'EDITION DES ERREURS ? 3
DONNEZ VOS CLES
01
```

Sans organe de dialogue l'opérateur devra faire le chargement suivant pour la même configuration.

Δ α	Contenu
'0000	voir le Manuel Général d'Utilisation des programmes de test.
1	
2	'0048
3	'0000
4	'0000
5	'0005
6	'0006
7	'0002
'0008	'0003
9	'0001
A	'0005
B	'0080
C	'FFFF
D	'000C