

Constitution

1. Processeur 16/40 VU01

- 1 carte 1.150.205.01 Format 1/1 : Processeur 16/40
- 1 carte 1.150.206.01 Format spécial : Option DRPS
- 1 carte 1.150.207.01 Format spécial : Option Scheduler

2. Processeur 16/40 VU31: Seul capable de fonctionner avec l'option DAP40

- 1 carte 1.150.205.31 Format 1/1 : Processeur 16/40A
- 1 carte 1.150.206.01 Format spécial : Option DRPS
- 1 carte 1.150.207.01 Format spécial : Option Scheduler

Remarque: si l'option DAP40 est présente, la microprogrammation du Scheduler est implantée sur la carte ROM de l'option DAP

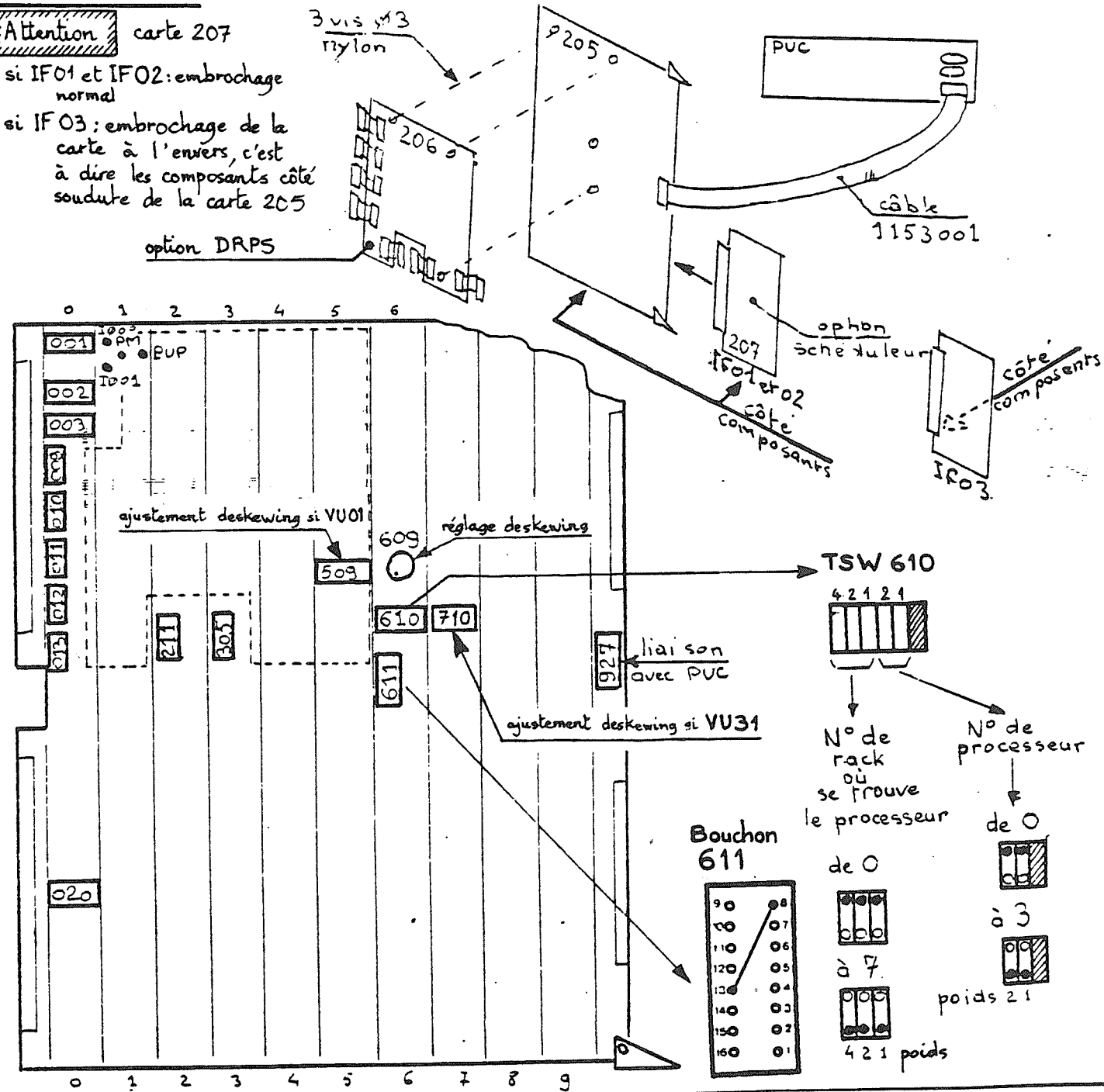
Raccordement

Attention

carte 207

si IF01 et IF02: embrochage normal

si IF03: embrochage de la carte à l'envers, c'est à dire les composants côté soudure de la carte 205



Processeur 16/40

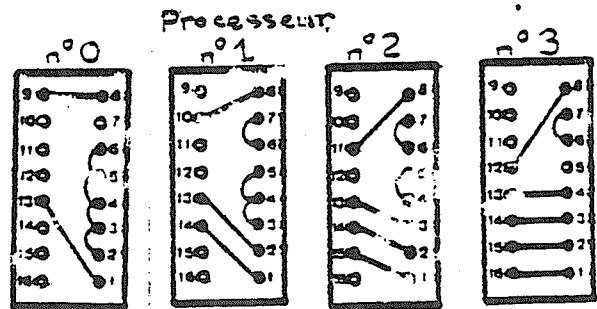
N° Document	Date	Page
71 F7 31MS	547	B. 2.1

Mise en service

1. Processeur : souder le strap d'affectation du canal HDC
 entre PM et PUP (+5V) si canal HDC inutilisé
 PM et IØ 00 si appel sur IØ 00
 PM et IØ 01 si appel sur IØ 01 (position débandisée)

Remarque Canal MDC S/N ITN 0 à 5 si canal HDC inutilisé
 0 à 4 si utilisation canal HDC

- Affecter le n° de processeur
 par le TSW 610 (voir implantation)
 par 4 bouchons identiques en 001, 002, 003 et 020

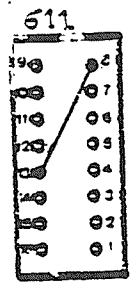


2. Option DRPS

Selon la présence ou l'absence de l'option respecter le tableau ci-dessous.
 Si l'option est présente: processeur et DRPS sont appairés, le dépannage ne pourra donc se faire que par échange du couple de carte.

Attention à l'implantation des boîtiers 7438 (14 pattes) dans les supports 16 broches: patte 1 du boîtier dans broche 1 du support.

n° support	DRPS	
	Absent	Présent
009	rien	câble
010	boîtier 7438	câble
011	boîtier 7438	câble
012	boîtier 7438	câble
211	rien	câble
305	rien	câble
611	bouchon	câble



3. Option scheduler

Embrocher la carte 207 en J-K. Attention au sens de la carte selon son IF

4. Option DAP

Possible seulement avec un processeur VU 31. Voir fiche DAP 16 (Bleu)

5. Vérifier le réglage du deskewing (Clock en E34 et Test point en A32)
 retard 35 ns ±3 si VU 01
 .. 34 ns ±2 si VU 31

Tests

Instructions n° 1.158.200
 Scheduler n° 1.158.242
 DRPS n° 1.158.241

Processeur 16/40

Bull



SPS 5

N° Document

71 F7 31MS

Date

547

Page

B. 2.2