

PROCESSEURS 16/65

* DEUX VERSIONS :

I) PROCESSEUR 16/65 Vu 01

Composé de :

- 1 Carte 1 150 200 Vu 01 "ALU"
- 1 Carte 1 150 201 Vu 01 "ROM"
- 1 Carte 1 150 203 Vu 01 Liaison
- 1 Carte 1 150 202 Vu 02 Option DRPS
- 1 Carte 1 150 204 Vu 01 } Option Flottant
ou 1 150 204 Vu 02 }

L'Horloge de base a pour période 150 ns \pm 1ns

II) PROCESSEUR 16/65 Vu 31

Seul capable de fonctionner avec l'option DAP 65 et/ou VSS 65

Composé de :

- 1 Carte 1 150 200 Vu 31 "ALU"
- 1 Carte 1 150 201 Vu 31 "ROM"
- 1 Carte 1 150 203 Vu 01 Liaison
- 1 Carte 1 150 202 Vu 31 Option DRPS

L'Horloge de base a pour période 140 ns \pm 1ns

- NB. Ces deux processeurs constituent deux machines différentes. Il est impossible de faire fonctionner l'un quelconque des deux avec des cartes de l'autre



SPS 5

Processeur 16/65

N° Document

71 F7 31MS

Date

547

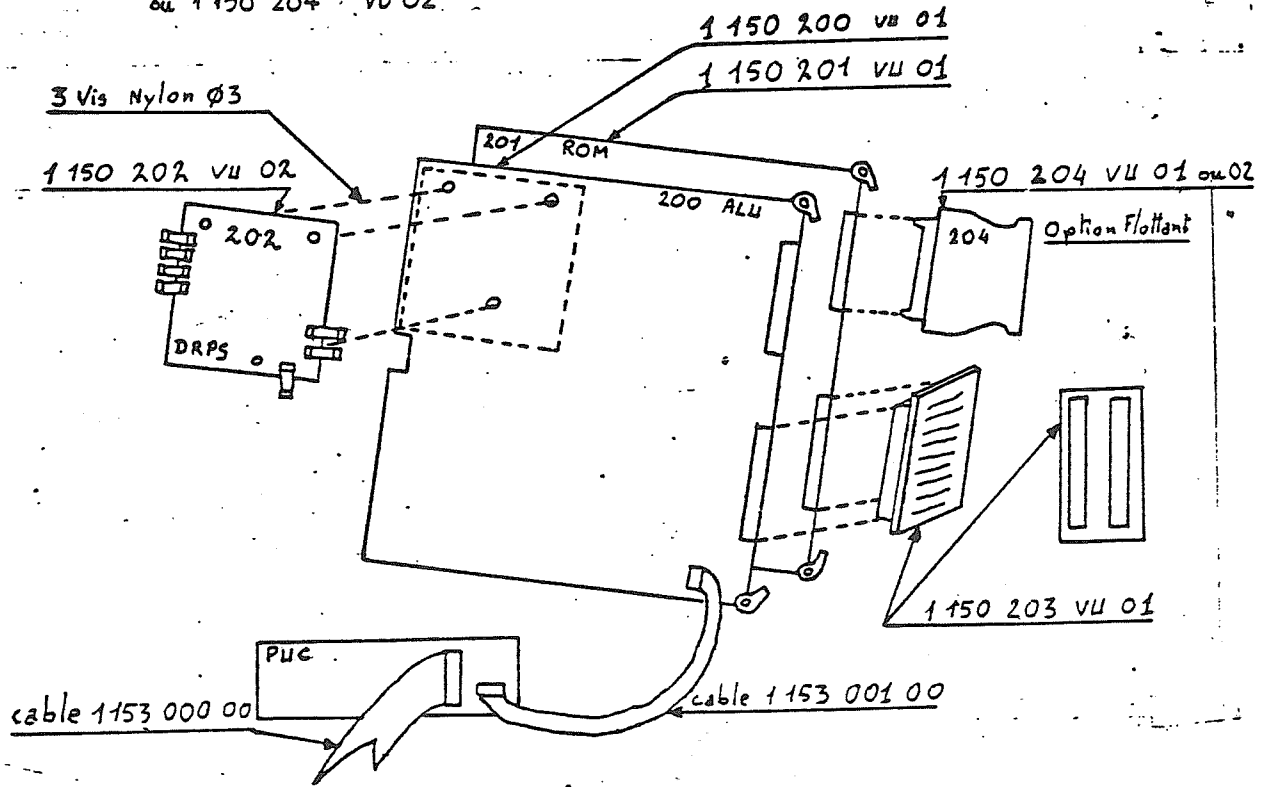
Page

B. 3.1

▲ CONSTITUTION

I : PROCESSEUR 16/65 Vu 01

- carte 1150 200 vu 01 Processeur 16/65 carte "ALU"
- carte 1150 201 vu 01 Processeur 16/65 carte "ROM"
- carte 1150 203 vu 01 Liaison des cartes ROM et ALU
- carte 1150 202 vu 02 Option DRPS s'implante sur la carte "ALU" 1150 200
- carte 1150 204 vu 01 ou 1150 204 vu 02 Option Flottant { 5 boîtiers PRØM marqués 093.XX s'implante sur la carte "ROM" 1150 201



▲ RACCORDEMENT

- cartes ALU et ROM implantées dans le bac de base
 - carte 203 s'implante sur les cartes 200 et 201 (ALU et ROM) ; sert de liaison
 - Le câble venant du PUC s'enfiche sur la carte "ALU" En 820
 - Option flottant carte 204 s'enfiche sur la carte 201 (connecteur du Haut)
 - Option DRPS carte 202 se fixe par 3 vis et 6 Ecrous Nylon sur la carte 200
- Se connecte d'après le tableau ci dessous.

N° support	005	006	007	008	410	411	412
SANS D.R.P.S.	Rien	SN7438N	SN7438N	SN7438N	Rien	Bouchon	Bouchon
Avec D.R.P.S.	câble	câble	câble	câble	câble	câble	câble

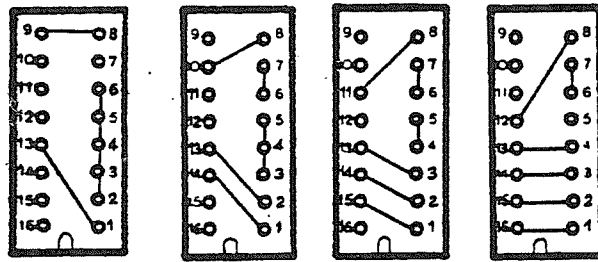
Processeur 16/65



N° Document	Date	Page
71 F7 31MS	547	B. 3.2

MISE EN SERVICE

→ cabler les 3 bouchons situés en 013 ; 027 et 041 de la carte ROM comme suit; d'après le N° de Processeur

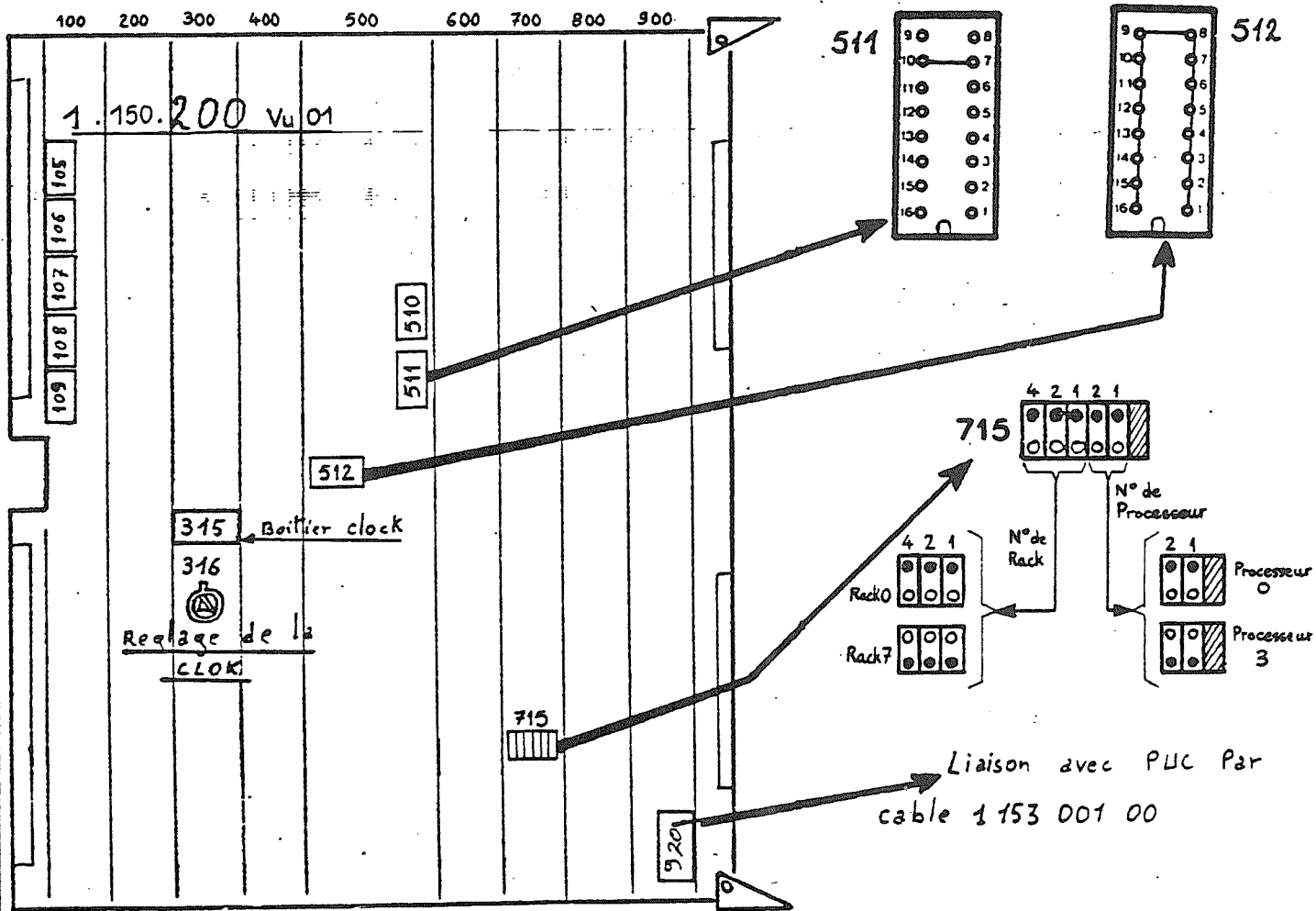


N° Processeur: N° 0 N° 1 N° 2 N° 3

note: le cablage des 3 bouchons est identique pour un processeur donné.

→ Positionner les Track switches sur la carte ALU d'après le N° de processeur et le N° de Rack

→ Option DRPS, enlever bouchons 411 et 412 et les boîtiers 006, 007, 008 (voir chap raccordements)



Liaison avec PUC Par cable 1 153 001 00

Processeur 16/65



SPS 5

N° Document

71 F7 31MS

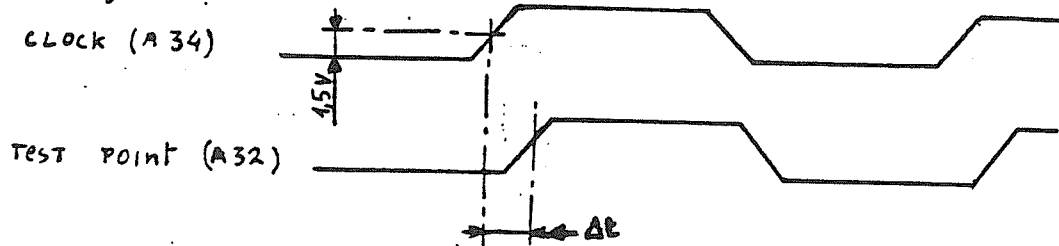
Date

547

Page

B. 3.3

- 4) Enficher les cartes ALU et ROM dans le bac.
- Enficher la carte 203 sur les connecteurs avant des cartes ALU et ROM
Procéder alors au réglage de la clock
- 5) Option Flottant: Enficher la carte 204 sur le connecteur avant haut de la carte ROM. Attention au sens de cette carte (Dérompeur)
- 6) Vérifier le signal CLOCK sur cartes ALU et ROM



Reglage par commutateur en 216 Carte "ALU" (boitier 121) $\Delta t = 36ns \pm 3$
 en 317 Carte ROM (boitier 316) $\Delta t = 34ns \pm 2$

TESTS

- Instructions 1.158.200
- Scheduler 1.158.242
- D.R.P.S 1.158.241

Bull



SPS 5

Processeur 16/65

N° Document

71 F7 31MS

Date

547

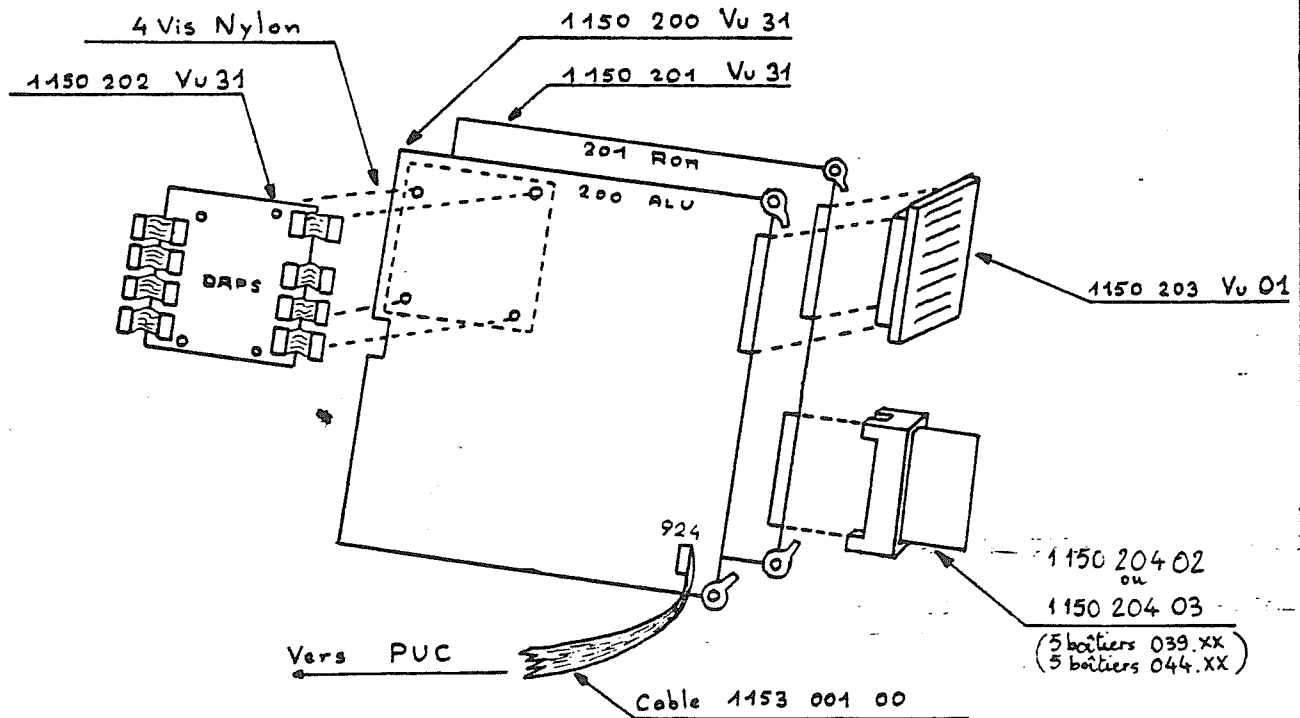
Page

B. 3.4

Constitution II : PROCESSEUR 16/65 Vu 31

- Carte	1 150 200	Vu 31	Processeur 16/65	"Carte ALU"
- Carte	1 150 201	Vu 31	Processeur 16/65	"Carte ROM"
- Carte	1 150 203	Vu 01	Liaison des cartes ROM et ALU	
- Carte	1 150 202	Vu 31	Option DRPS, s'implante sur carte 1.150.200	
- Carte	1 150 204	Vu 03	} si Option VSS + FORMIC (5 boîtiers PRØM marqués 039.XX)	(5 boîtiers PRØM marqués 044.XX)
ou	1 150 204	Vu 02		

NB : L'option Flottant sur connecteur bouchon n'existe plus. Le pu soft est implanté sur la carte ROM



Raccordement

- Cartes ALU et ROM implantées dans le bac de base
 - Carte 203 s'implante sur les cartes 200 et 201 (fait la liaison)
 - Le câble venant du PUC s'infiche sur la carte ALU en 924
 - Option DRPS se fixe par 4 Vis, 4 entretoises et 4 écrous nylon sur la carte 200
- Le montage s'effectue suivant le tableau ci dessous :

N°Support	003	004	005	006	501	506	507	508
Sans DRPS	Rien	SN 7438 _N	SN 7438 _N	SN 7438 _N	Rien	Bouchon	Bouchon	Rien
Avec DRPS	Câble	Câble	Câble	Câble	Câble	Câble	Câble	Câble



SPS 5

Processeur 16/65

N° Document

71 F7 31MS

Date

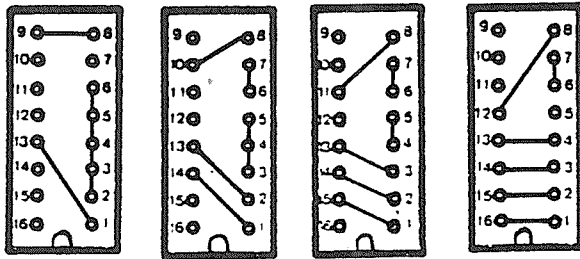
547

Page

B. 3.5

▲ Mise en service

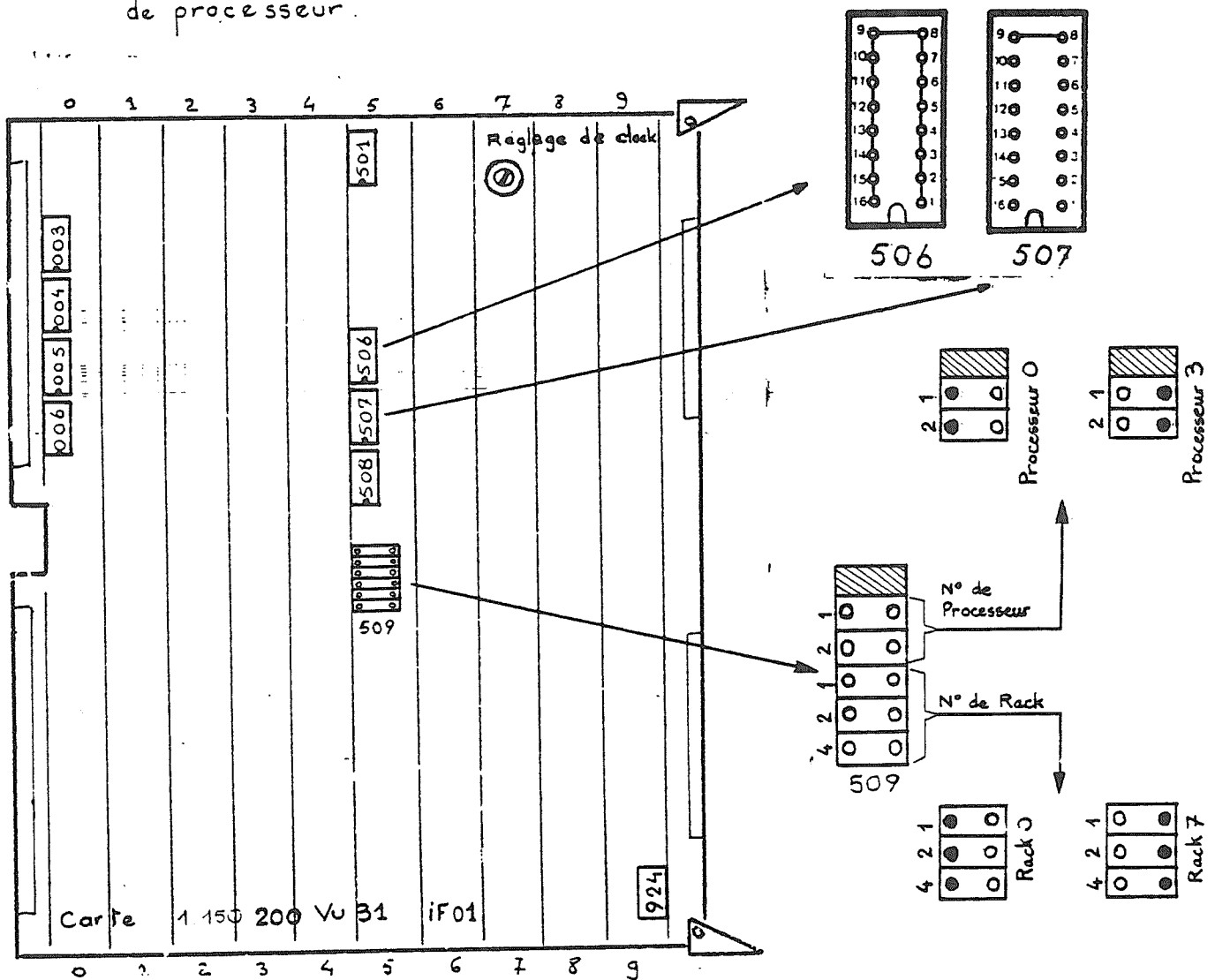
1) Suivant le N° de processeur, cabler les bouchons 001, 006, 019 sur la carte ROM, comme suit :



Processeur : N°0 N°1 N°2 N°3

.NB : Le cablage des trois bouchons est le même pour un processeur donné.

2) Positionner les TSW sur la carte ALU suivant le numéro de rack et de processeur.



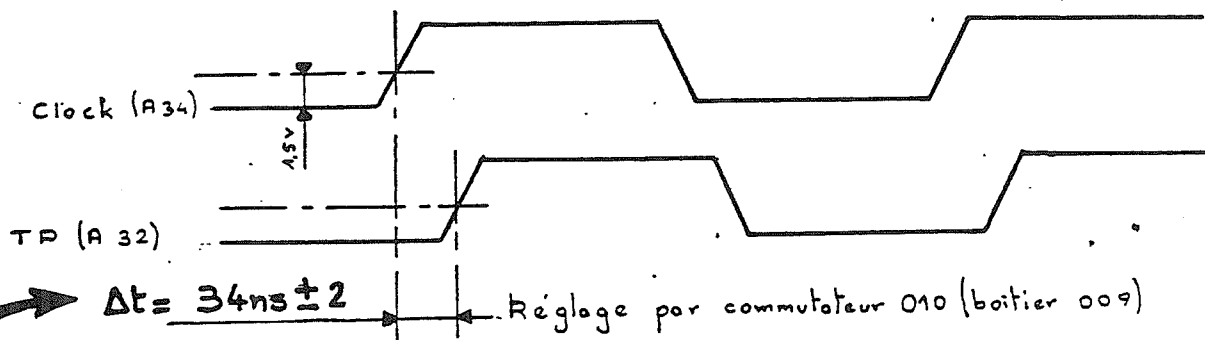
V. W. 50



SPS 5

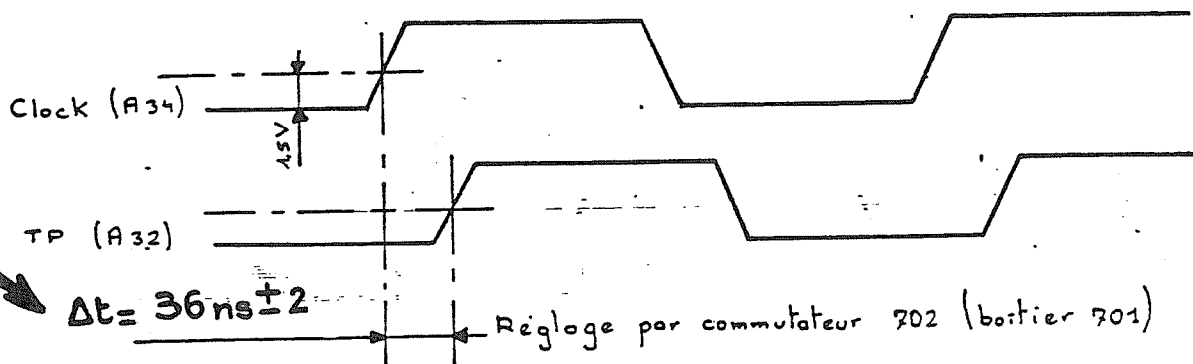
Processeur 16/65		
N° Document	Date	Page
71 F7 31MS	547	B. 3.6

- 3) Option DRPS : Mise en place ou démontage suivant le tableau donné au chapitre .Raccordements.(page 4)
- 4) Enficher les cartes ROM et ALU dans le bac et monter la liaison avant (carte 1.150 203)
- 5) Vérifier le signal Clock sur la carte ROM (1.150.201.31)



ATTENTION

- 6) Vérifier le signal Clock sur la carte ALU (1.150.200.31)



▲ Tests

- | | | |
|----------------|-----------|--|
| • Instructions | 1 158 200 | } mêmes indices que pour processeur 65 Vu 01 |
| • Scheduler | 1 158 242 | |
| • DRPS | 1 158 241 | |

Bull



SPS 5

Processeur 16/65

N° Document

71 F7 31MS

Date

547

Page

B. 3.7

III : PROCESSEUR 16/65 Vu 32

Son fonctionnement se différencie des Vu01 et Vu31 par les adjonctions et modifications suivantes.

• INSTRUCTIONS MODIFIÉES : EIT - DIT.

DIT: Positionne à 1 le bit IPM masque des IPI
Permet de masquer une séquence de programme même dans un contexte multiprocesseurs utilisant l'IPI réveil de processeur.

EIT: Positionne à 0 le bit IPM masque des IPI.

• NOUVELLE INSTRUCTION : XMR

Codage : Sur un mot : `3E5B

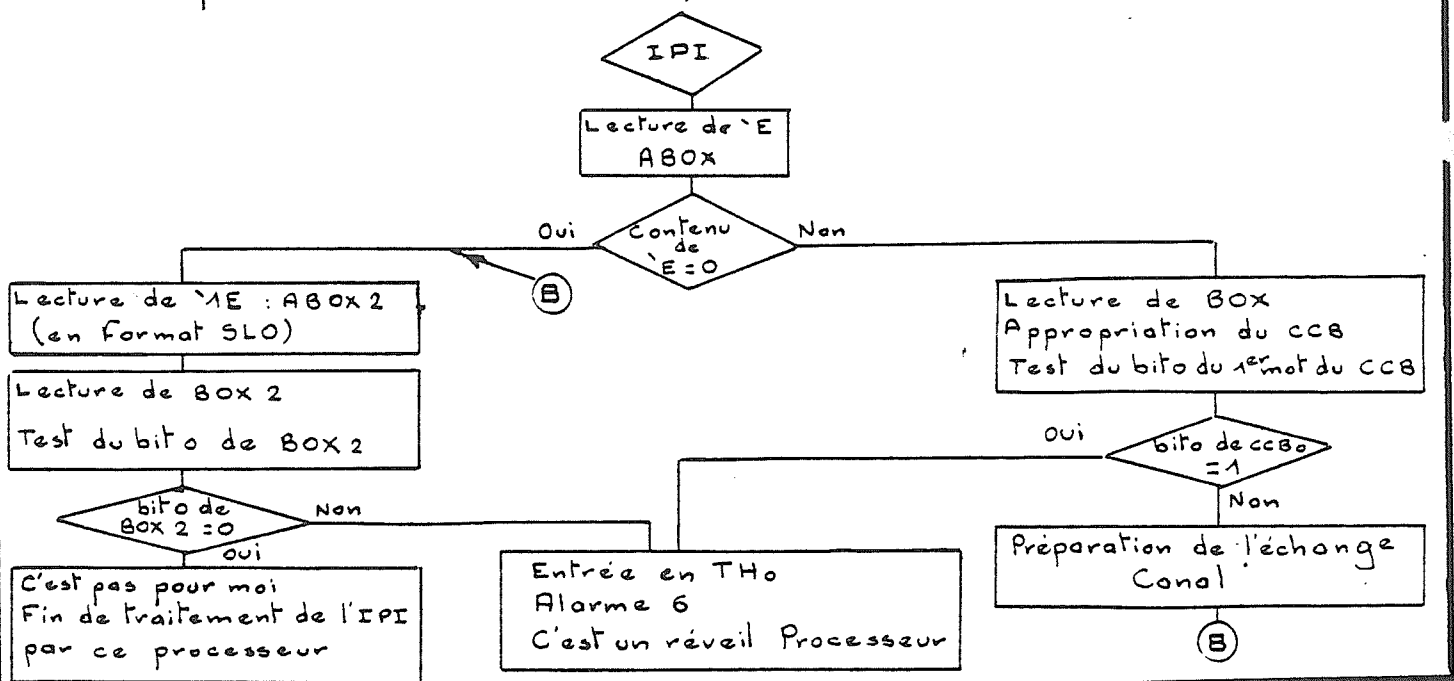
Fonction: Echange du registre A et du mot mémoire pointé par Y+SLO par un cycle mémoire indivisible.
Cette instruction n'est pas privilégiée.
Elle peut causer (comme LAR - STAR) une alarme protection même en mode maître si Y+SLO est supérieur à SLE.

• Nouveau Mécanisme IPI :

Le processeur 16/65 Vu32 possède un nouveau type d'interruption IPI, permettant d'implanter les boîtes aux lettres, pour ce type d'IPI au delà de 64K.

Fonctionnement :

- La mémoire ABOX 2 (adresse `1E) doit pointer sur une adresse multiple de 16 mots (format SLO) : BOX 2 :



Processeur 16/65

N° Document

Date

Page

71 F7 31MS

547

B. 3.8

Bull



SPS 5

IV : PROCESSEUR 16/40-16/65 VU35 . IOP VU05

Ce sont des processeurs dits 'Hautes Performances'
Leur fonctionnement est garanti avec une horloge de base ayant
une période de 125 ns.

Bull



SPS 5

Processeur 16/65

N° Document

71 F7 31MS

Date

547

Page

B. 3.9