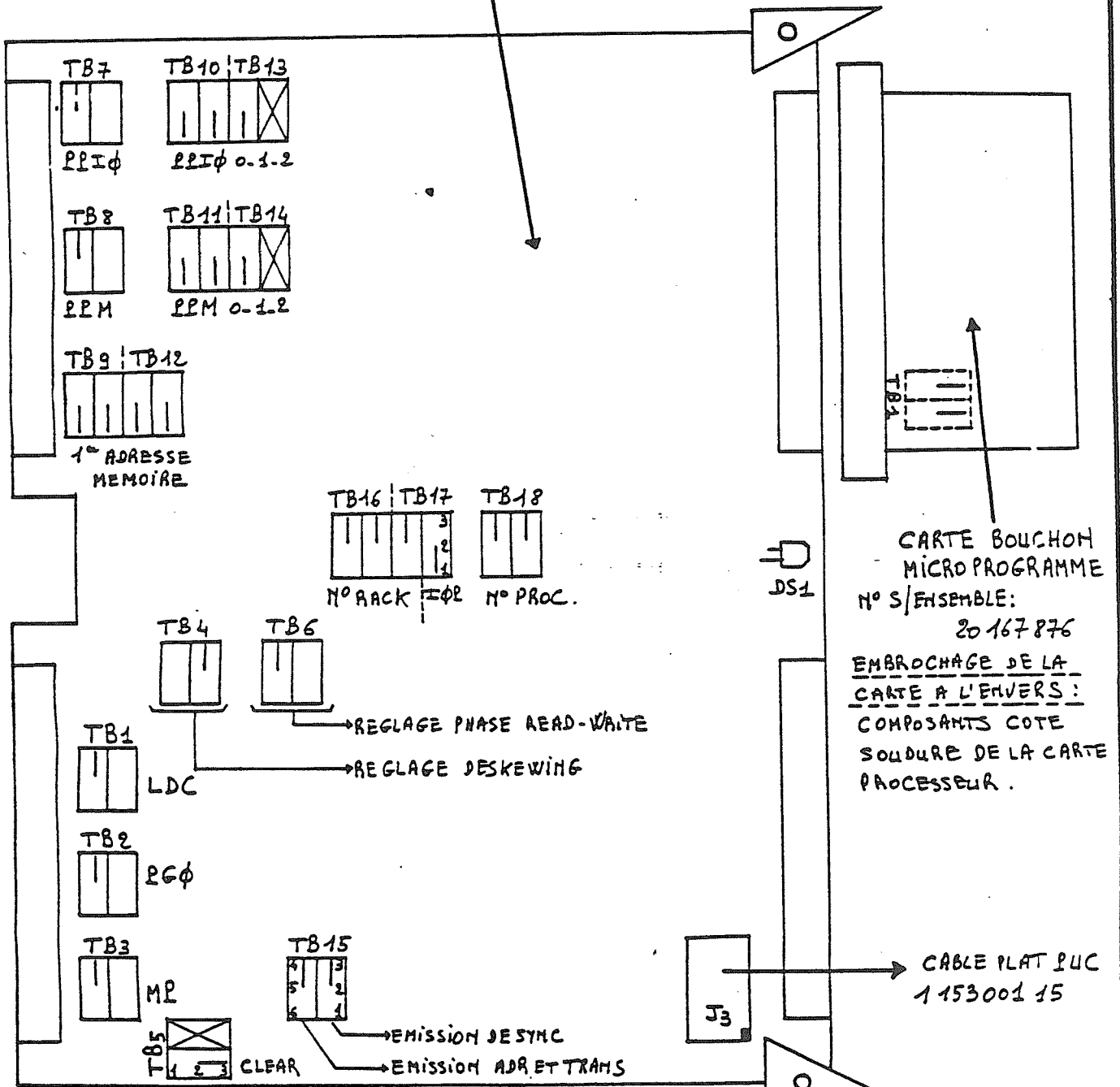


CONSTITUTION

CONSOMMATION DE L'ENSEMBLE 80 W

CARTE PROCESSEUR FORMAT 1/1
N°S/ENSEMBLE : 20 167 873



CARTE BOUCHON MICROPROGRAMME
N°S/ENSEMBLE : 20 167 876
EMBOCHAGE DE LA CARTE A L'ENVERS :
COMPOSANTS COTE
SOUDURE DE LA CARTE
PROCESSEUR.

CABLE PLAT IUC
1 153 001 15

LEGENDE TRACK SWITCH INUTILISE.

CONFIGURATION STANDARD REPRESENTEE [PROCESSEUR ZERO, MONO PROCESSEUR ET PROCESSEUR DE TRAITEMENT



Processeur 16/70		
N° Document	Date	Page
71 F7 31MS	547	B. 6.1

CARACTERISTIQUES D'UTILISATION ET DE FONCTIONNEMENT

- NUMERO DE RDSI : 6
- LE 16/70 EST ENTIEREMENT COMPATIBLE AVEC LA GAMME SOLAR; SES PERFORMANCES SONT COMPARABLES A CELLES DU 16/65 AVEC CERTAINES AMELIORATIONS NOTAMMENT AU NIVEAU DU TEMPS D'EXECUTION DE CERTAINES INSTRUCTIONS ET DU DEBIT DES CANAUX D'ENTREES SORTIES; IL POSSEDE EN PLUS LE JEU DE NOUVELLES INSTRUCTIONS ET LE MODE PRIVILEGIE.
- UN TRACK SWITCH SUR LA CARTE PROCESSEUR PERMET DE LE TRANSFORMER EN IΦR RAPIDE
- LE 16/70 PERMET LE FONCTIONNEMENT EN BI-PROCESSEUR DANS LE MEME RACK.
- IL POSSEDE EN STANDARD LES MICROPROGRAMMES FORMIC (FFM16) ET VSS 16 ANCIENNEMENT INTEGRES POUR LE 16/65 SUR UNE CARTE BOUCHON REFERENCE 1150 204 03
- OPTIONS POSSIBLES:
 - FLOTTANT SIMPLE PRECISION : FFR 16
 - PROCESSEUR ARITHMETIQUE DOUBLE PRECISION : DAR 16
 - OPERATEUR MEMOIRE VIRTUELLE : VSS 16

CONNEXIONS CANALES POSSIBLES

MODE	POSSIBILITES	Nb ECHANGES SIMULTANES	DEBIT MAXIMUM
HDC	0 à 7	8	1 MEGAMOTS
MDC	—	—	—
LDC	0 à 63	64	250 KILOS MOTS

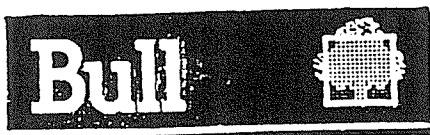
N.B: LES PERFORMANCES DU 16/70 EN LDC SONT COMPARABLES AUX PERFORMANCES EN MDC DE L'EPERM OU DU 16/40

MICRO DIAGNOSTICS

PRINCIPE: AU LANCERMENT DU CALCULATEUR, AVANT SA MISE EN ROUTE EFFECTIVE, DES SEQUENCES DE MICRO DIAGNOSTICS DONT L'ENCHAINEMENT EST AUTOMATIQUE SONT EFFECTUEES: AINSI SONT TESTES L'UNITE CENTRALE, LA MEMOIRE ET LES CONTEXTES CANAUX. PLUSIEURS CAS PEUVENT SE PRESENTER:

- A LA MISE SOUS TENSION, L'ENSEMBLE DES MICRO DIAGNOSTICS SE DEROULE.
- LE SOLAR ETANT EN STΦR, SUR UNE COMMANDE IMI AU PUC, ON EXECUTE L'ENSEMBLE DES MICRO DIAGNOSTICS A L'EXCEPTION DES TESTS UC.

DUREE DES MICRO DIAGNOSTICS ENVIRON 2 SECONDES.



S P S 5

Processeur 16/70		
N° Document	Date	Page
71 ET 31MS	5/77	B. 6.2

IMPORTANT: IL EST NECESSAIRE DE CE FAIT LOAS DE SEQUENCES DE CHARGEMENT DE SYSTEME (INT, LOAD, RUN) DE RESPECTER APRES LA COMMANDE INT UNE TEMPORISATION DE LA DUREE DES MICRODIAGNOSTICS, LA COMMANDE LOAD N'ETANT PAS MEMORISEE.

REMARQUES: - DURANT TOUT LE TEMPS D'EXECUTION DES MICRODIAGNOSTICS LA LED DS1 EST ALLUMEE.

- SI L'UC 16/70 EST CONFIGUREE EN IOP, ON N'EXECUTE AUCUNE SEQUENCE DE MICRODIAGNOSTICS.

INTERPRETATION DES RESULTATS

- TEST U.C.:

- SI OK AFFICHAGE SUR LES VOYANTS BAS DU PDP DE 'FFFF
- SI DEFALT, PAS D'AFFICHAGE ET VOYANT ALARME AU PUC ALLUME.

- TEST DES CONTEXTES CANAUX ET DE LA MEMOIRE

- SI OK LANCERENT DE LA SEQUENCE STANDARD D'INITIALISATION AVEC CHARGEMENT DES REGISTRES HV ET IM A ZERO, DE ST A '9C00 ET DE P AVEC LE CONTENU DE LA MEMOIRE '0008.

→ SI DEFALT, CLIGNOTEMENT DU VOYANT ALARME AU PUC AVEC AFFICHAGE:

a) SUR LES VOYANTS BAS DU PDP

BIT 8: ALARME MEMOIRE INEXISTANTE

BIT 9: ALARME PROTECTION MEMOIRE

BIT 10: ALARME PARITE MEMOIRE

BITS 11 à 15	BITS 0 à 7	DEFAULT
'02	SLØ FINAL...	ERREUR CHECKSUM SUR CLK
'04	0	ERREUR REGISTRES SLØ ET SLW
'08	0	CONTEXTES CANAUX INCORRECTS
'10	0	ECAITURE, LECTURE MEMOIRE INCORRECTES
'14	SLØ COURANT	ADRESSAGE MAITRE, ESCLAVE INCORRECT
'16	0	ADRESSAGE PAR LE CSLØ INCORRECT

b) SUR LES VOYANTS HAUTS DU PDP EVENTUELLEMENT LE OU LES BITS EN ERREUR DU MOT ECHANGE

RAPPEL: LE REGISTRE CSLØ EST UN REGISTRE DE QUATRE BITS UTILISE, SI D'APRES PAR LE MICRO CANAL D'E/S POUR ADRESSER EN MODE MAITRE TOUTE LA MEMOIRE.



SPS 5

Processeur 16/70

N° Document

71 F7 31MS

Date

547

Page

B. 6.3

MISE EN SERVICE - REGLAGES

DANS LES CARRES REPRESENTANTS LES TRACKS SWITCHS, LE TRAIT NOIR REPRESENTE LE CONTACT; S'IL N'Y A RIEN, IL NE FAUT PAS METTRE DE TRACK SWITCH

(A) CARTE BOUCHON MICRO PROGRAMME

POSITIONNER LE TRACK SWITCH TB₁ : CAPACITE MICRO PROGRAMME CONNE INDIQUE FOLIO 1

(B) CARTE PROCESSEUR

1 CONFIGURER LE N° DE RACK, LE N° DE PROCESSEUR ET LE LDC CORRESPONDANT

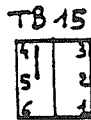
N° DE RACK	TB16	TB17
0		
1		
2		
3		
4		
5		
6		
7		

N° DE PROCESSEUR	TB18	TB1
0		
1		
2		
3		

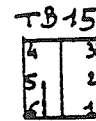
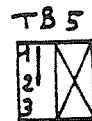
2 PRECISER S'IL S'AGIT D'UN IΦP ou NON
 TB 17 : TRACK SWITCH EN 2 - 3 : C'EST UN IΦP
 TB 17 : TRACK SWITCH EN 1 - 2 : CE N'EST PAS UN IΦP

3 PRECISER SI LE PROCESSEUR EMET LE CLEAR, LE CLOCK, ADA ET TRANS L'EMISSION DE CES SIGNAUX EST STRICTEMENT RESEVÉE AU PROCESSEUR 0

SI PROCESSEUR 0



AUTRES PROCESSEURS



Processeur 16/70



SDS 5

N° Document

71 F7 31MS

Date

547

Page

B. 6.4

4 PRÉCISER SI LE PROCESSEUR FONCTIONNE EN CANAL HDC A CADEENCE D'ECHANGE MAXIMUM

SI OUI TB15 : TRACK SWITCH EN 2-3

SI NON TB15 : TRACK SWITCH EN 1-2

N.B : CE TRACK SWITCH PERMET AU PROCESSEUR DE DELIVERER OU NON LE SIGNAL SYNC QUI PROLONGERA LA PHASE TRANS DU BUS D'E/S.

ATTENTION UN SEUL PROCESSEUR PAR RACK PEUT DELIVERER SYNC

5 INDiquer LES NIVEAUX DE PRIORITE SUR LE BUS I/φ ET SUR LE BUS MEMOIRE DU PROCESSEUR ; SAUF CAS TRÈS PARTICULIER LE NIVEAU DE PRIORITE EST IDENTIQUE AU NUMERO DE PROCESSEUR.
(NIVEAU 0, I₀ ; NIVEAU 1, I₁ et).

PRIORITE BUS Iφ			
	TB7	TB10	TB13
0			
1			
2			
3			

PRIORITE BUS MEMOIRE					
	TB8	TB11	TB14	TB3	TB2
0					
1					
2					
3					

6 PRÉCISER L'ADRESSE DU 1^{er} MOT MEMOIRE VU PAR LE PROCESSEUR (MODULO 64K)

MEMOIRE	TB9	TB12	MEMOIRE	TB9	TB12	MEMOIRE	TB9	TB12	MEMOIRE	TB9	TB12
0		256K		512K		768K					
64K		320K		576K		832K					
128K		384K		640K		896K					
192K		448K		704K		960K					

Bull



SPS 5

Processeur 16/70

N° Document

71 F7 31MS

Date

547

Page

B. 6.5

③ REGLAGES CARTE PROCESSEUR

- 1 VERIFIER LE DESKEWING EN E32 : REGLAGE EVENTUEL PAR LE TRACK SWITCH TB4 (4 POSITIONS DE REGLAGE) $35\text{ms} \pm 5\text{ms}$
 - 2 VERIFIER LE REGLAGE DU WP (PHASE READ WRITE) : LE DÉCALAGE, SUR FRONT MONTANT, Δ ENTRE LE TEST POINT EN E32 ET LE WP EN MN30.8 DOIT ETRE DE $24\text{ms} \pm 3\text{ms}$. REGLAGE EVENTUEL PAR LE TRACK SWITCH TB6 (4 POSITIONS DE REGLAGE)
- N.B.: MN30.8 → PIN 8 DU CIRCUIT INTEGRE SITUÉ À L'EMPLACEMENT MN30.

PROGRAMMES DE TEST

TI (1 A 4)	(IE ≥ 10)	
MTSC	(IE ≥ 07)	
DRP	(IE ≥ 09)	
MEM 8	(IE ≥ 15)	
FFM	(IE ≥ 02)	SEULEMENT SI FFL PRÉSENT
ISP*	(IE ≥ 01)	

* LE TEST ISP MET EN ŒUVRE LE JEU DE NOUVELLES INSTRUCTIONS ET LE MODE PRIVILÉGIÉ.

REMARQUE: LORS DU DÉROULEMENT DU TEST MTSC, L'UNITÉ CENTRALE PASSE, NORMALEMENT, PLUSIEURS FOIS EN ALARME; IL FAUT ATTENDRE APRES ACTION SUR LA TOUCHE IHE AU PUC LA FIN D'EXECUTION DES MICRO DIAGNOSTICS AVANT DE FAIRE RUN.

Processeur 16/70

Bull



SPS5

N° Document

Date

Page

71 F7 31MS

547

B. 6.6