

Constitution

n° module 1.159.233 comprenant 1 carte 1.150.262.01 (format 1/1 consommation \leq 8A, 5V)
 1 manuel d'exploitation 1.159.233 ID46
 1 programme de test 1.158.233

Raccordement

Utilise un emplacement Bus Mémoire

But du module

Le CAM 65 est un module mémoire rapide de capacité 512 mots de 17 bits, temps de cycle 375 ns, temps d'accès 125 ns.

Le CAM 65 se superpose à la mémoire centrale (temps de cycle 750 ns) dont il contient à tout instant une copie de 512 mots organisée en 64 fois 4 zones de 2 mots appelées "blocs". La partie de la mémoire centrale dont le contenu des adresses est susceptible d'être dupliqué dans le cache est appelée zone d'adresses "couverte" par le cache.

Le CAM 65 est affecté à un processeur UC (généralement le processeur 0). Lorsqu'une lecture en mémoire est demandée par le processeur, l'adresse est reçue simultanément par le cache et par la mémoire. Si l'information est présente dans le cache, elle est émise vers le processeur en mode HSM (temps de cycle 375 ns) et le cycle en mémoire principale est interrompu (Abort). Si l'information n'est pas présente dans le cache, le cycle de lecture en mémoire principale se déroule normalement et, lors du retour de l'information lue, le cache stocke cette information afin de pouvoir répondre à une prochaine demande de lecture à cette adresse.

Lorsqu'une écriture est effectuée par un processeur quelconque à une adresse connue du cache, l'écriture est faite simultanément dans le cache et dans la mémoire principale.

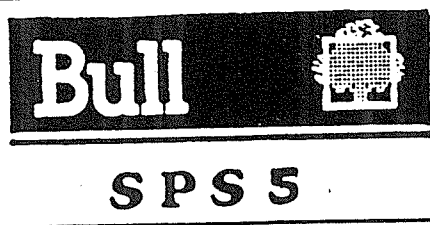
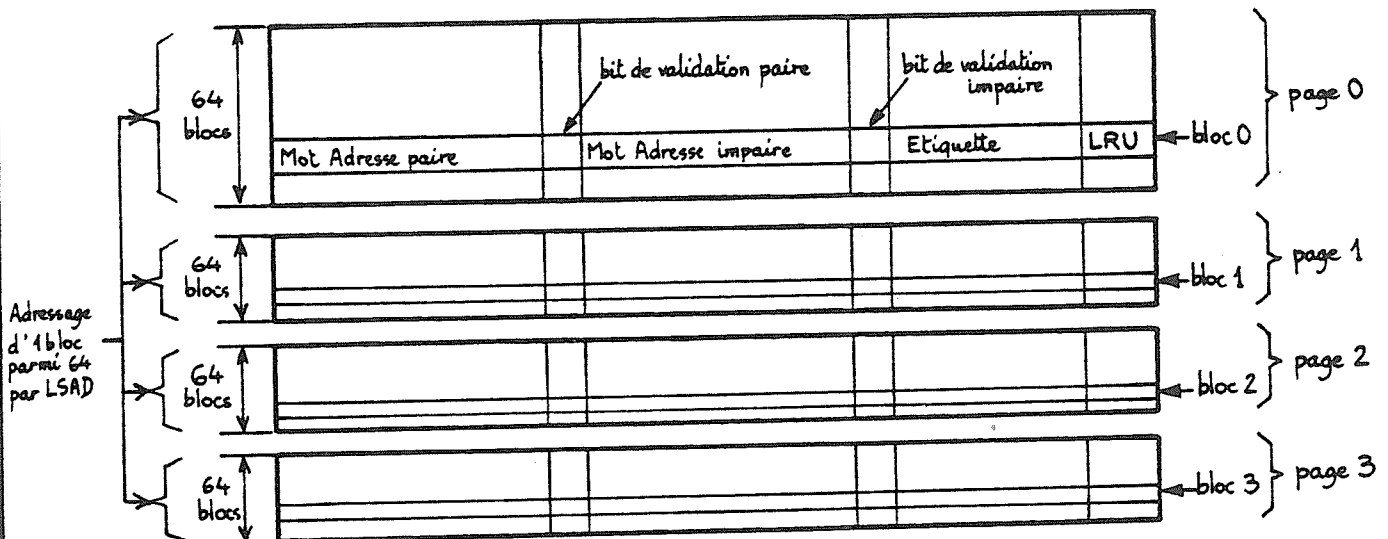
Du fait qu'à un instant donné, le programme se déroule dans un certain nombre de boucles relativement petites, 80 à 95% des demandes de lecture seront satisfaites par le cache et le temps de cycle moyen variera de 400 à 475 ns alors que le temps de cycle de la mémoire centrale est de 750 ns.

L'attribution des blocs disponibles dans le cache est effectuée automatiquement selon l'algorithme LRU (Least Recently Used), c'est à dire que lors d'une demande de lecture à une adresse inconnue du cache, celui-ci sélectionnera parmi les localisations possibles dans le cache celle qui a été utilisée le moins récemment, détruira son contenu et le remplacera par la nouvelle information et remettra à jour le LRU du bloc dans lequel on vient d'écrire (LRU=00) et le LRU des 3 autres blocs adressés par LSAD (voir ci-dessous).

Organisation des informations dans le cache

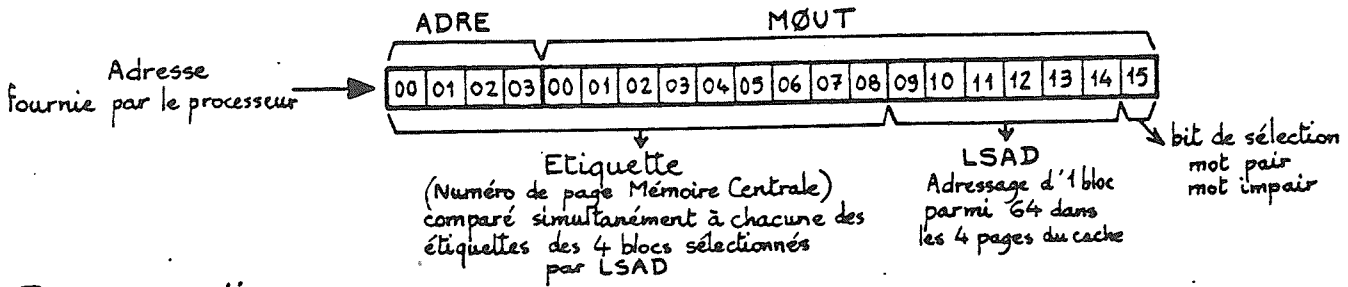
Le CAM 65 est organisé en 4 pages de 64 blocs. Les blocs de la page 0 sont appelés blocs 0, les blocs de la page 1 blocs 1, etc...

Composition d'un bloc : 2 mots de 17 bits correspondant à des adresses paires et impaires
 1 bit de validation par mot (information présente ou non)
 13 bits d'étiquette (poids forts d'adresse)
 2 bits LRU (valeur 0 à 3 suivant l'ancienneté de la dernière demande d'accès au bloc)



Cache memoire CAM 65			
N° Document	Date	Page	
71 F7 31MS	547	C. 7.1	

Transformation d'adresse effectuée par le cache



Programmation

Le fonctionnement du CAM 65 est totalement transparent pour tous les programmes.

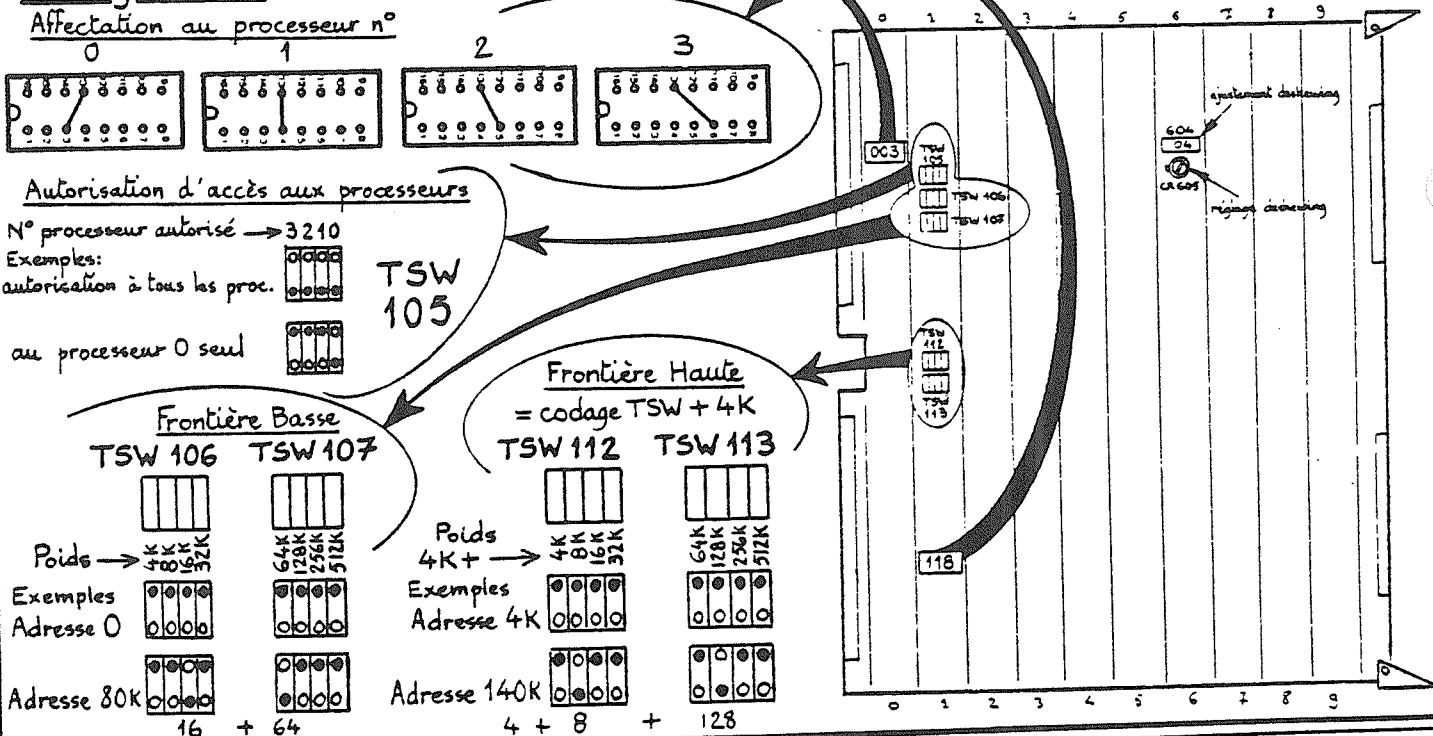
Contraintes de configuration

1. Le CAM 65 peut être affecté à un processeur 16/40 ou 16/65, cependant l'accroissement des performances globales du système ne sera sensible qu'avec un 16/65
2. La zone mémoire centrale couverte par le CAM 65 devra être constituée exclusivement de cartes mémoire 1.150.252 VU 31 ou 32 ou 1.150.250 VU 31, 32 ou 34
3. Les cartes mémoire centrale dont les adresses sont couvertes par le cache doivent avoir le track-switch de choix du mode de fonctionnement positionné en mode pas à pas (voir fiche mémoire)
4. Le passage du programme de test nécessite la présence d'une HTR

Mise en œuvre

1. Affectation à un processeur par 2 bouchons câblés identiques en 003 et 118 (seul le processeur affecté bénéficiera de la réduction du temps de cycle moyen)
2. Autorisation d'accès aux processeurs pouvant avoir accès à la zone mémoire centrale couverte par le cache, par les track-switches TSW 105
3. Adressage: la zone d'adresses mémoire couverte par le cache est déterminée par deux frontières multiples de 4K: Frontière basse → Track-switches TSW 106 et TSW 107
Frontière haute → " " TSW 112 et TSW 113
4. Vérification du réglage de deskewing

Configuration



Cache memoire CAM 65

Bull



SPS 5

N° Document

71 F7 31MS

Date

547

Page

C. 7.2