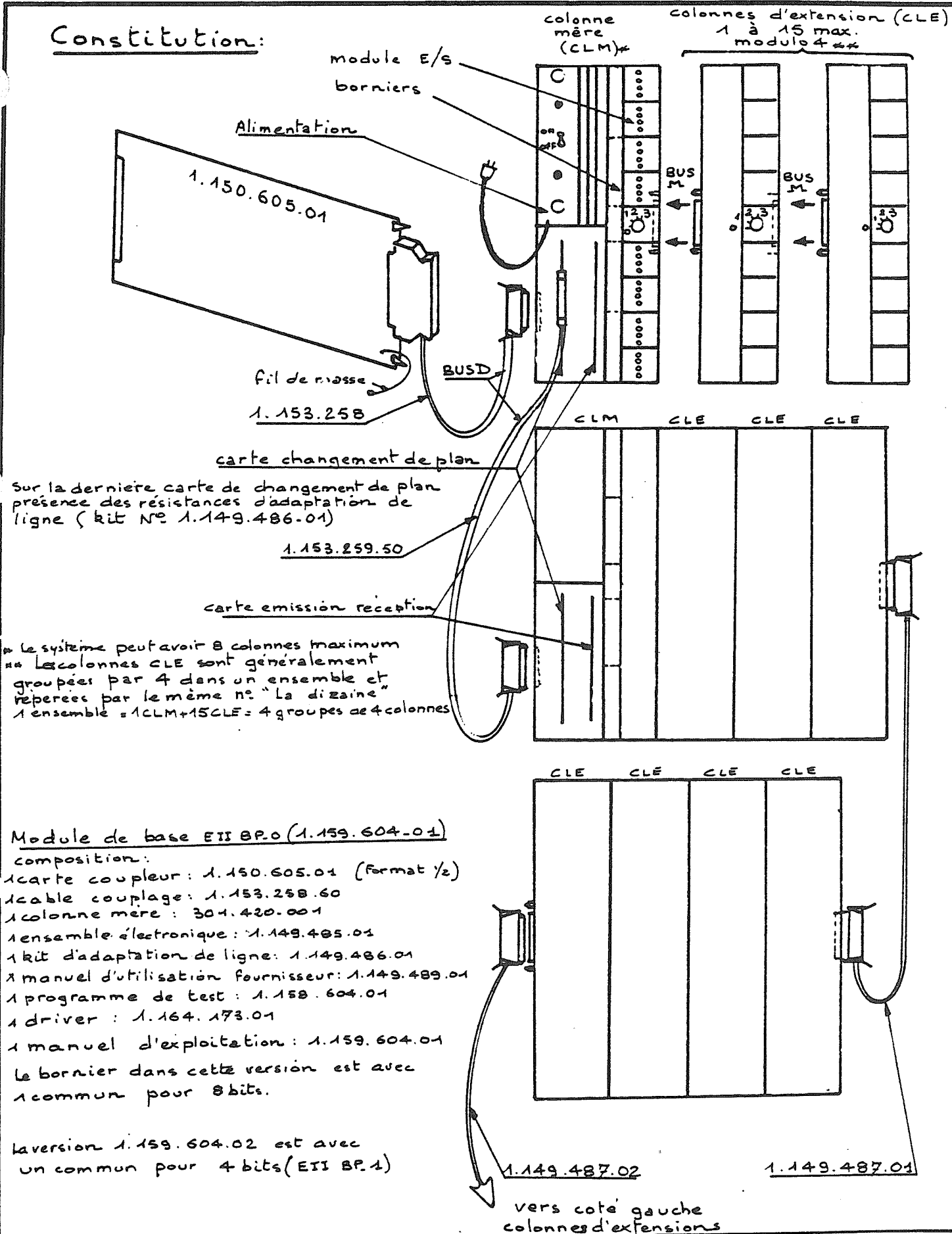


Constitution:



Sur la dernière carte de changement de plan présence des résistances d'adaptation de ligne (kit n° 1.149.486.01)

* Le système peut avoir 8 colonnes maximum
 ** Les colonnes CLE sont généralement groupées par 4 dans un ensemble et repérées par le même n° "La dizaine"
 1 ensemble = 1CLM + 15CLE = 4 groupes de 4 colonnes

Module de base EII BP.0 (1.159.604.01)

- composition:
- 1 carte coupleur : 1.150.605.01 (format 1/2)
 - 1 cable couplage : 1.153.258.60
 - 1 colonne mère : 301.420.001
 - 1 ensemble électronique : 1.149.485.01
 - 1 kit d'adaptation de ligne : 1.149.486.01
 - 1 manuel d'utilisation fournisseur : 1.149.489.01
 - 1 programme de test : 1.159.604.01
 - 1 driver : 1.164.173.01
 - 1 manuel d'exploitation : 1.159.604.01

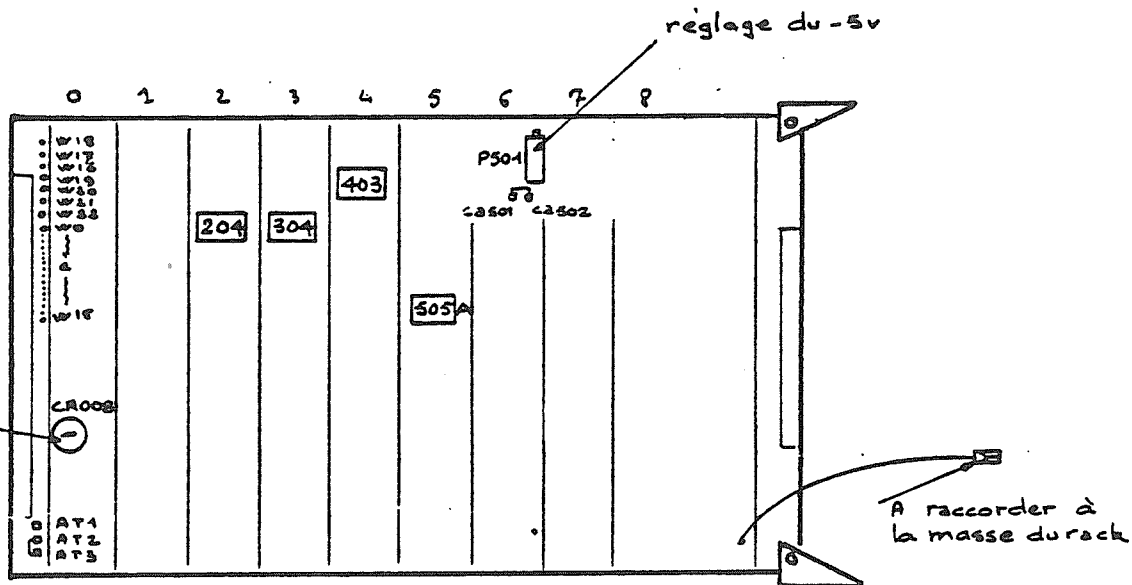
Le bornier dans cette version est avec 1 commun pour 8 bits.

la version 1.159.604.02 est avec un commun pour 4 bits (EII BP.1)

vers coté gauche colonnes d'extensions



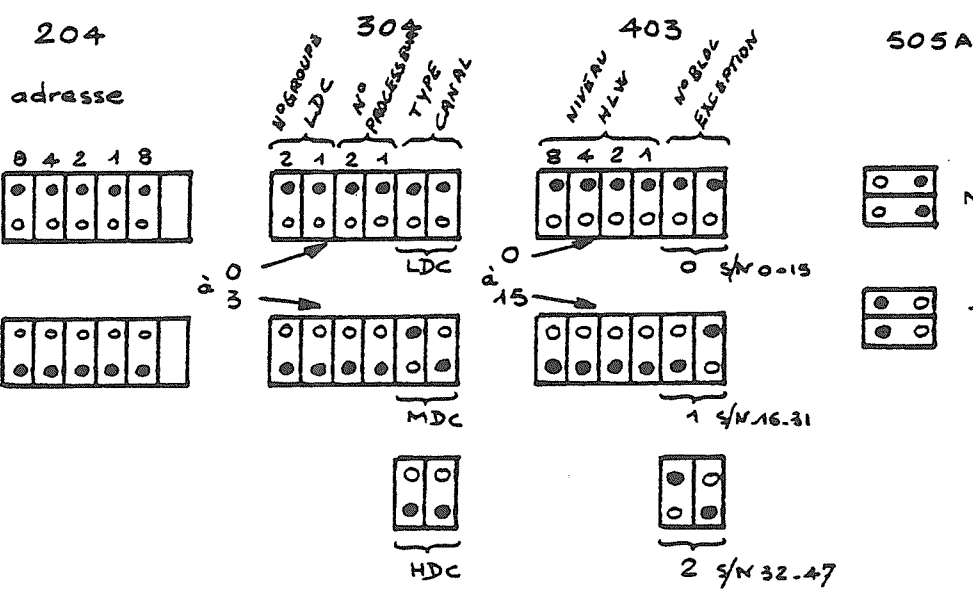
E.I.I. (Interface industrielle externe)		
N° Document	Date	Page
71 F7 31MS	547	E. 7.1



ralentissement change canal

AT1
AT2
AT3

RALENTI
OU
NORMAL



Exemple:

- w18
- w17
- w16
- w19
- w20
- w21
- w22
- w00
- w10
- w20
- w30
- w40
- w50
- w60
- w70
- w80
- w90
- w100
- w110
- w120
- w130
- w140
- w150

- w18: ITEX IT exception
- w17: TWCB trap word canal en entrée (reception)
- w16: TWCS trap word canal en sortie (émission)
- w19: RBPOLS Reponse au polling en sortie après échantillonnage par NIP
- w20: REPOLE " " " en entrée " " " NIP
- w21: REPOLX " " " exception avant " " " NIP ou EJP
- w22: REPOLH " " " du niveau Hardware échantillonné par NIP

nota:
Le niveau ou le sous niveau du canal reception doit être plus prioritaire que celui du canal émission.



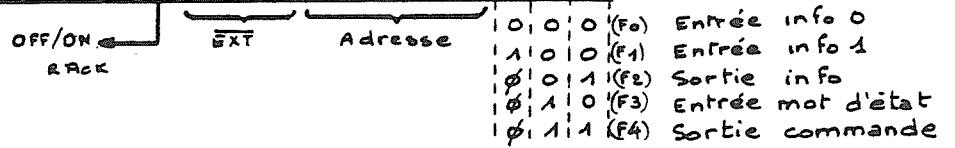
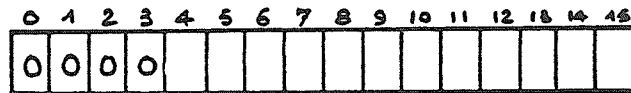
SPS5

E.I.I. (Interface industrielle externe)		
N° Document	Date	Page
71 F7 31MS	547	E. 7.2

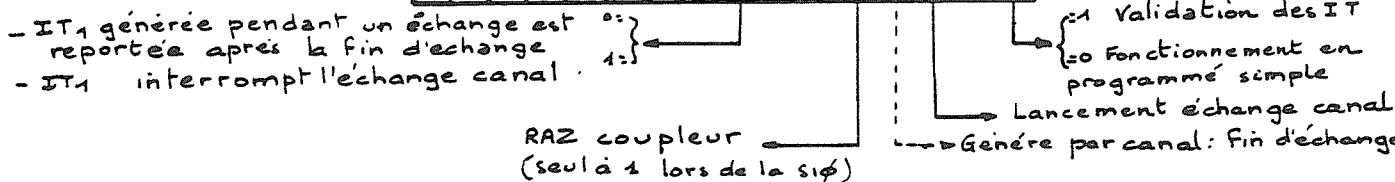
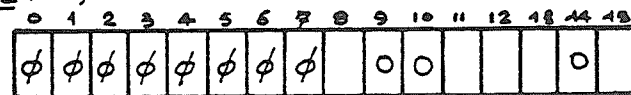
		GESTION PROGRAMMEE									
		GESTION CANAL									
		HDC	MDC		LDC		PP				
Adresse		NIVEAU ITN. HDC	N° PROC 0 à 3 bit 7 à 10	S/N ITN. MDC	N° PROC 0 à 3 bit 11 à 14	Groupe INT. LDC	S/N ITN. LDC	NIVEAU priorité	Groupe S/N Exception	S/N ITEX	S/N ITN. PP
Débanalisée	'98	Emission 1 réception 0	non	non	0	0	Emission 41 Réception 10	11	0	11	
Plage possible	'0000 '00FB	0-6	0-3	0-15	0-3	0-3	0-15	0-15	0-2	0-15	
câblage par	Emis	Emis. W16 Recep. W17	Emis. W16 Recep. W17	W19 W20	Emis. W16 Recep. W17		Emis. W19 Recep. W20	W22		W21	
	Reçu	TSW 204	TSW 304		304	304		403	403		

PROGRAMMATION:

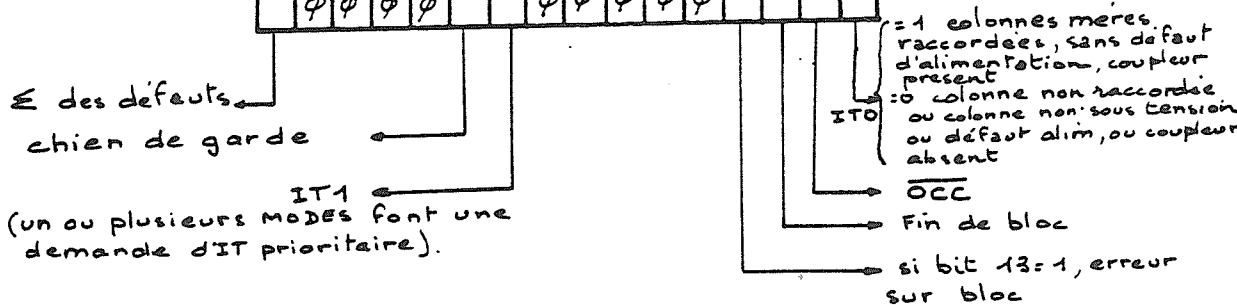
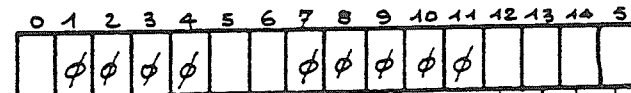
Opérande SIO



SIO Sortie commande (F4)



SIO entrée état (F3)



E.I.I. (Interface industrielle externe)

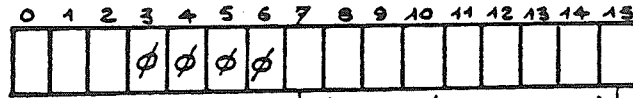


N° Document	Date	Page
71 F7 31MS	547	E. 7.3

SIØ sortie info (F2) - Prend alternativement 2 significations

1^{er} contenu:

Adresse
d'un mot (après
RAZ ou après la donnée)
Lecture registres
Ecriture registres



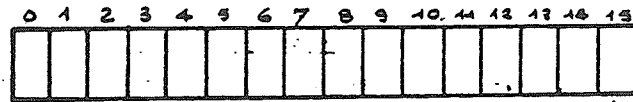
n° du mot dans la colonne = mot du haut
= mot du bas
n° de la colonne 1 à 16
n° de la base 1 à 8
0 = Lecture ou écriture du registre d'état des MODES
1 = Lecture ou écriture du registre info des MODES

Test:

- 0 0 Rangement si VACT ≠ VINI (VACT: valeur actuelle.)
- 0 1 " " VACT < VINS (VINI: Valeur initiale.)
- 1 0 " " VACT > VINS
- 1 1 " " inconditionnel

2^{eme} contenu:

Donnée



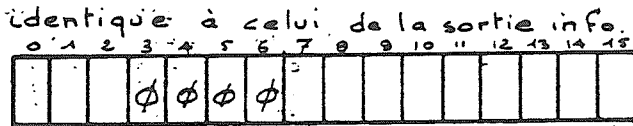
Remarque: Dans le cas d'une lecture la donnée est VINS

SIØ entrée info (Fo)

Prend alternativement 2 significations

1^{er} contenu:

Adresse



Fonction des MODES

TEST

Registre MODES

n° du mot

n° de la colonne

n° de la base

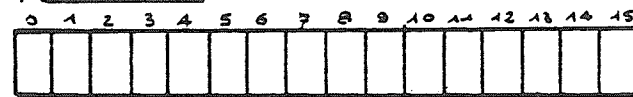
2^{eme} contenu

: 2 significations

donnée:

Suivant l'état du bit 7 de l'adresse dans la sortie info

a/ bit 7 = 0 Registre état des MODES

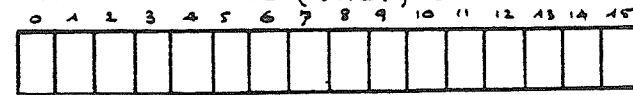


si bit 13 = 1
réserve pour reconnaissance
modes complets

- 1 0 MODES Entrée
 - 0 1 MODES Sortie
 - 0 0 Alarme entrée et sortie
- => MODES TOR
=> MODES complets

b/ bit 7 = 1 Registre info des modes

valeur actuelle (VACT) au moment de la lecture



bit 01 (poids fort)

bit 16 (poids faible)

E.I.I. (Interface industrielle externe)

Bull



SPS 5

N° Document

71 F7 31MS

Date

547

Page

E. 7.4

SIØ entrée info 1 (F1). Cette SIØ permet d'accéder directement à la donnée lue, si la fonction MODÈS demandée dans la SIØ de sortie est une lecture de registre. Elle a les mêmes significations que le 2ème contenu de la SIØ d'entrée info 0.

RACCORDEMENT : BUS D.

Le coupleur 1.150.605 est relié à la 1ère colonne mère (CLM) par le câble 1.153.258 ou Bus différentiel longue distance (BUS D) puis de CLM en CLM (8 CLM maximum), par des câbles souples 1.153.259. La longueur totale entre le coupleur et la dernière CLM ne doit pas excéder une cinquantaine de mètres.

Le bus D comprend 32 signaux

ORIGINE SIGNAL	BORNE	DESIGNATION	ORIGINE SIGNAL	BORNE	DESIGNATION
12/801	C1	Y AD 15	8/805	C34	Y REPT
12/801	D1	Z AD 15	9/805	D34	Z REPT
8/801	C2	Y AD 14	1/24	C29	Y REM
9/801	D2	Z AD 14	ov	D29	Z REM
13/802	C3	Y AD 13	15/607	C30	Y READ
12/802	D3	Z AD 13	12/607	D30	Z READ
8/802	C4	Y AD 12	8/607	C31	Y WRITE
9/802	D4	Z AD 12	9/607	D31	Z WRITE
13/803	C5	Y AD 11	1/606	C32	Y READY
12/803	D5	Z AD 11	2/606	D32	Z READY
8/803	C6	Y AD 10	6/801	C27	Y STO
9/803	D6	Z AD 10	ov	D27	Z ITO
13/804	C7	Y AD 09	10/801	C28	Y IT1
12/804	D7	Z AD 09	ov	D28	Z IT1
8/804	C8	Y AD 08	ov	C33	ov
9/804	D8	Z AD 08	ov	D33	ov
13/805	C9	Y AD 07	5/701	C38	BLDAT 15
12/805	D9	Z AD 07			
1/701	C10	Y DAT 15			
2/701	D10	Z DAT 15			
12/701	C11	Y DAT 14			
14/701	D11	Z DAT 14			
1/703	C12	Y DAT 13			
2/703	D12	Z DAT 13			
12/703	C13	Y DAT 12			
14/703	D13	Z DAT 12			
1/704	C14	Y DAT 11			
2/704	D14	Z DAT 11			
12/704	C15	Y DAT 10			
14/704	D15	Z DAT 10			
1/705	C16	Y DAT 09			
2/705	D16	Z DAT 09			
12/705	C17	Y DAT 08			
14/705	D17	Z DAT 08			
1/706	C18	Y DAT 07			
2/706	D18	Z DAT 07			
12/706	C19	Y DAT 06			
14/706	D19	Z DAT 06			
1/707	C20	Y DAT 05			
2/707	D20	Z DAT 05			
12/707	C21	Y DAT 04			
14/707	D21	Z DAT 04			
1/708	C22	Y DAT 03			
2/708	D22	Z DAT 03			
12/708	C23	Y DAT 02			
14/708	D23	Z DAT 02			
1/709	C24	Y DAT 01			
2/709	D24	Z DAT 01			
12/709	C25	Y DAT 00			
14/709	D25	Z DAT 00			

E.I.I. (Interface Industrielle externe)

Bull



SPS 5

N° Document

71 F7 31MS

Date

730

Page

E. 7.5

Mise en service

- Régler le signal d'horloge (voir chapitre A.11. réglage horloge)
Réglage par CROZ
- Régler la tension d'alimentation à $-5V \pm 50mV$ par P501
point test: C504.
- Positionner le cavalier AT2 - AT3 pour une cadence d'échange
en canal normale ou le positionner en AT1 - AT2 pour
une cadence d'échange ralentie.
- Vérifier que le positionnement des tracks-switches et
des strapps est correctement effectuée (voir folio 2)
- Raccorder le coupleur aux colonnes mères par son câble
de liaison

IMPORTANT: Avant de mettre les colonnes sous tension
s'assurer qu'il n'y a pas 2 modes répondant à une
même adresse car cette erreur est destructive.
(voir chapitre 7.10. TSI 80)

- Mettre les colonnes sous tension
- Rentrer et lancer le programme de test 1.158.604.01
- Passer la clé REC.
- Pour plus de précision concernant le test
(voir chapitre N.13. test E.I.I.)

Bull



SPS 5

E.I.I. (Interface industrielle externe)

N° Document

71 F7 31MS

Date

730

Page

E. 7.6