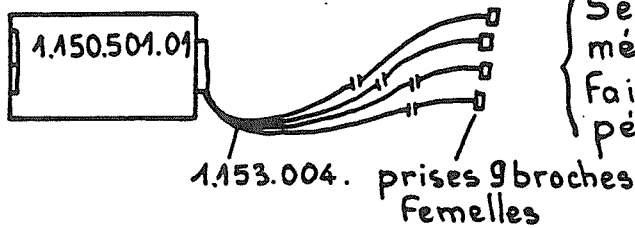


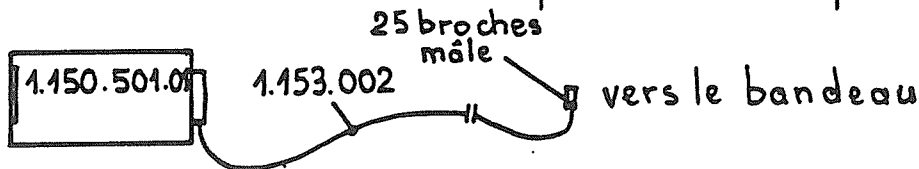
## CONSTITUTION

1) Module MXP : 1.159.502 VU01 - liaison directe avec des périph's en V24 uniquement.



{ Se raccorde aux périph's par l'intermédiaire d'un câble supplémentaire faisant partie du module périphérique.

2) Module MXR : 1.159.502 VU02 - liaison avec le périph. (V24, C16, SC, etc.) par l'intermédiaire d'un bandeau répartiteur et adaptateur.



## CARACTERISTIQUES du COUPLEUR.

La carte 1.150.501 peut recevoir le module 1.159.508 (carte fille horloge réf 1.150.503)

Consommation: 5V / 1,5A - +24V / 20mA - -24V / 60mA.

Environnement: 18 à 25°C - 80% humidité relative.

Vitesse maximum: 20.000 Bauds.

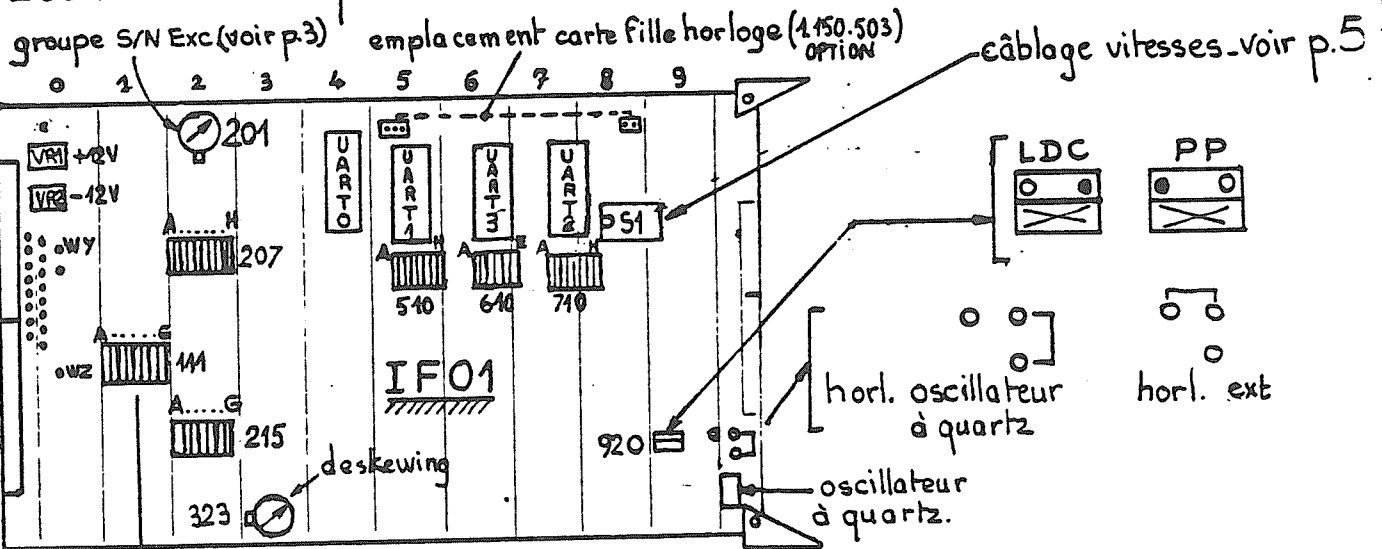
Niveau de sortie: V24.

Ce coupleur peut être testé en rebouclé sur lui-même en RECOURS avec le programme 1.158.502.01 ou en mode "reboucle hard" au niveau du câble ou du bandeau avec le programme 1.158.509 et les bouchons de test 1.179.001 ou 002 selon le couplage utilisé

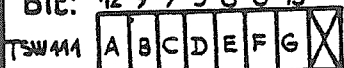
# Configuration: IFO1 et IFO2

	GESTION CANAL						GESTION PROGRAMMEE				
	Adresse	HDC	MDC		LDC		P.P				
		Niveau ITN HDC	N° PROC 0 à 3 bits 7 à 10	S/N ITN MDC	N° PROC. 0 à 3 bits 11 à 14	Groupe ITN LDC	S/N ITN LDC	Niveau Priorité	Groupe S/N Exception	S/N IT.EX	S/N ITN PP
Débanalisé	non				non	non	non	non	non	non	non
Plage possible	1000 17cc				0 à 3	0 à 3	0 à 15	0 à 15	0 à 2	0 à 15	0 à 15
câblage par	émis reçu				W17 (WZ)		T5W004 (T5W215)	W16 (WY)		T5W004 (T5W215)	T5W004 (T5W215)
					T5W203 (T5W207)	T5W203 (T5W207)		T5W203 (T5W207)	T5W204 (S 201)		

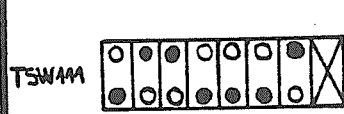
Les valeurs entre parenthèses concernent l'IFO1 de la carte 501



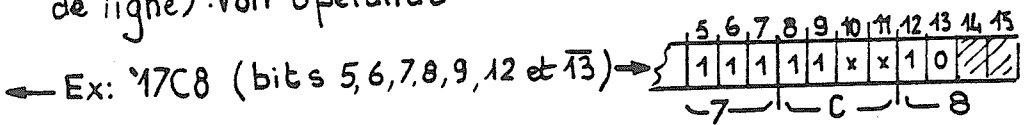
Adresse; bit: 12 9 7 5 8 6 13



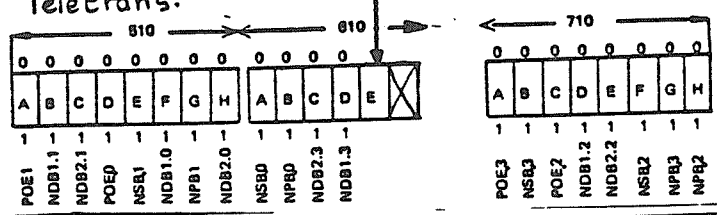
bit: 12 9 7 5 8 6 13



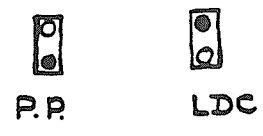
Les track-switches codent l'adresse en aiquillant soit le bit soit son complément. (les bits 10 et 11 sont réservés au n° de ligne). Voir opérande

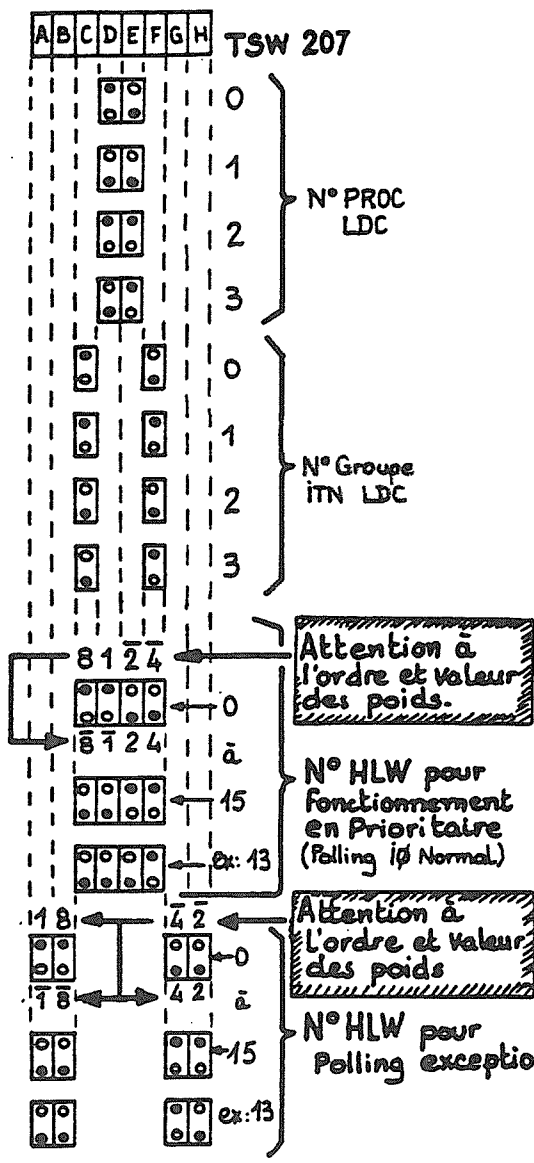


Format du caractère: (TSW 510, 610, 710) - Point blanc vers 0, un niveau bas est appliqué à l'UART, point blanc vers 1, un niveau haut est appliqué à l'UART - Voir généralités Télétrans.



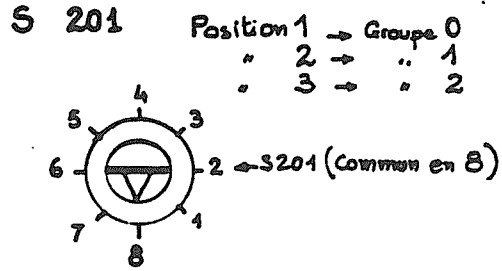
Décodage polling: TSW 610-E.



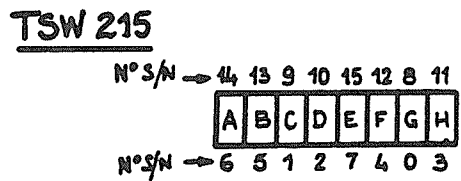


Choix fonctionnement LDC ou PP par TSW920 et 610 E

Choix Groupe de S/N Exception



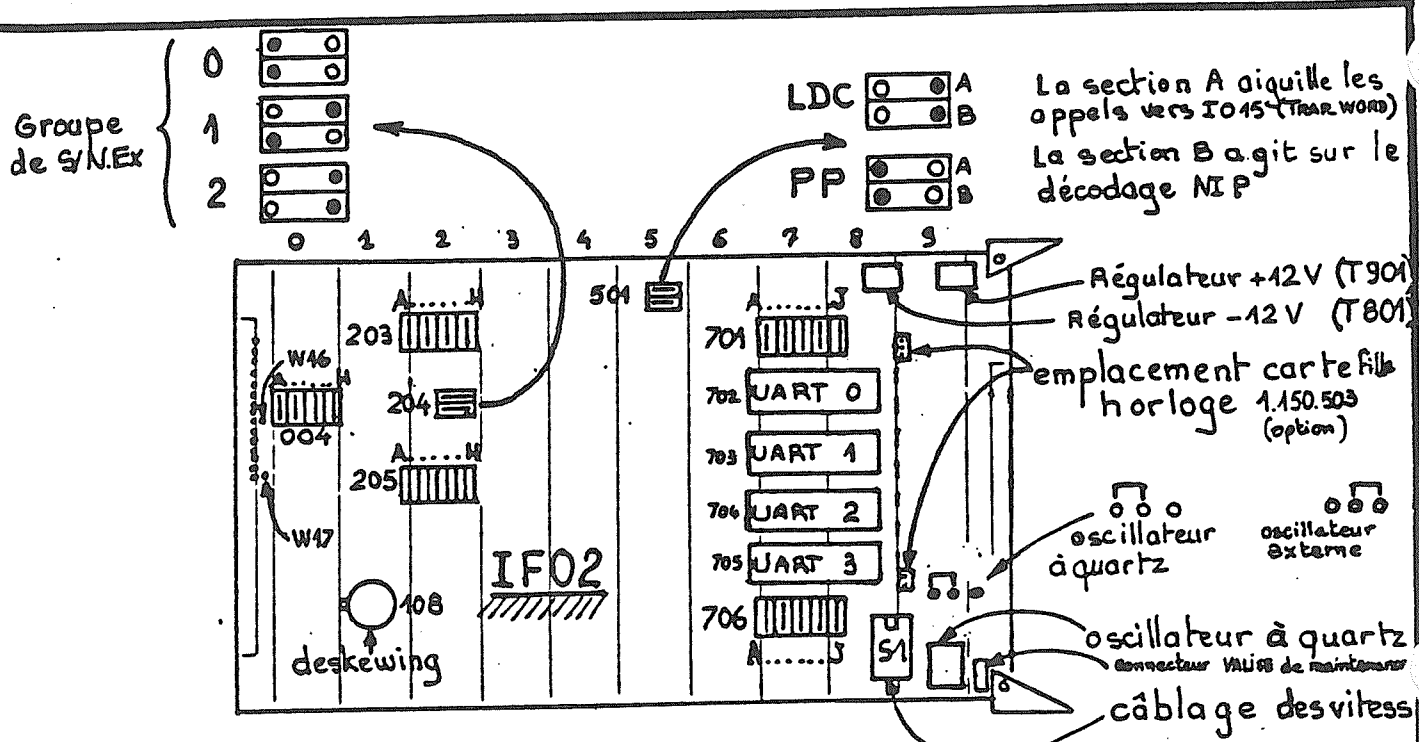
Choix du S/N (normaux et Exception)



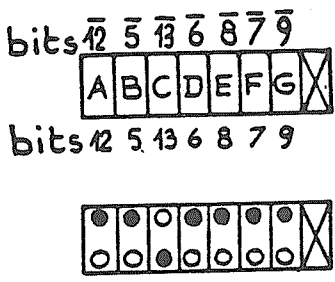
le point blanc indique le S/N selectionné  
 Voir Chapitre PROGRAMMATION pour l'affectation  
 des S/N aux Voies -



MUX 4P		
N° Document	Date	Page
71 F7 31MS	547	G. 2.3



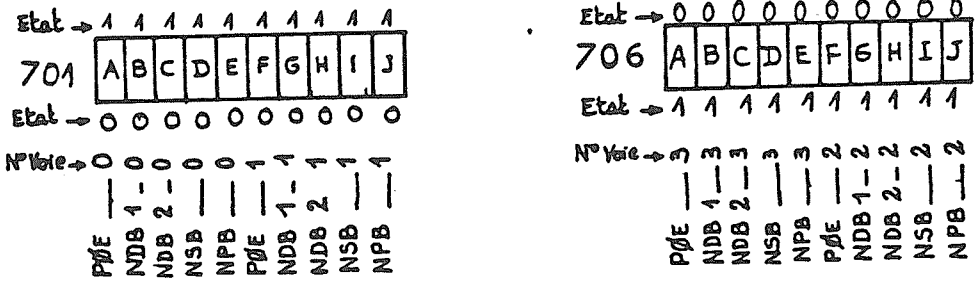
Adresse : TSW205 :



Les track switches codent l'adresse en aiguillant soit le bit soit son complément sur le circuit décodeur (les bits 10 et 11 sont réservés au n° de ligne voir opérande)

Ex: '17C8 bits 5, 6, 7, 8, 9 et 13.

Format du caractère: (TSW 701 et 706). Voir généralités Télétrans. (fiche 1.179.500.03.05.01 folio 16)



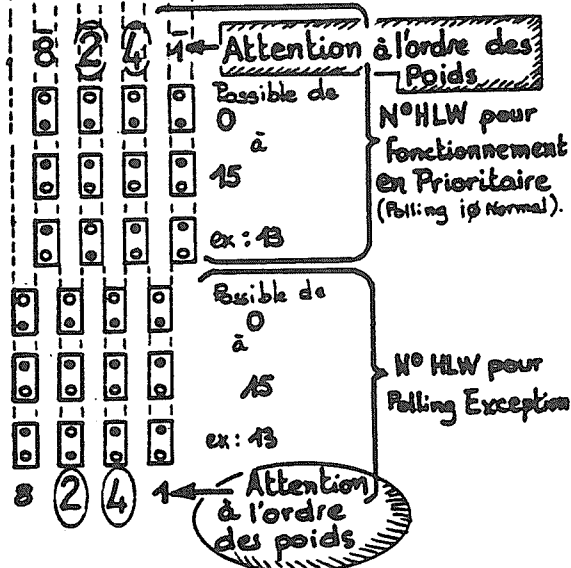
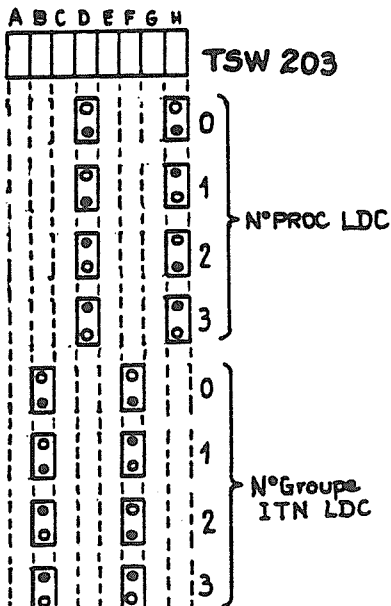
Point blanc vers 0, un niveau bas est appliqué à l'UART; point blanc vers 1, un niveau haut est appliqué à l'UART.

- NPB = 1 ⇒ pas de contrôle de parité (P/E est alors indifférent).
- P/E = 0 ⇒ parité impaire (odd)
- NSB = 0 ⇒ 1 bit stop - NSB = 1 ⇒ 2 bits stop.

NDB1	NDB2	Nb de bits d'infos
0	0	5
1	0	6
0	1	7
1	1	8

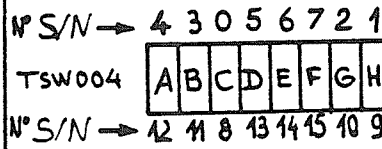
	MUX 4P		
	N° Document	Date	Page
SPS 5	71 F7 31MS	547	G. 2.4

Décodage n° niveau (ou N° proct groupe ITN LDC si LDC) reçu dans circuit polling NIP (TSW 203 B, D, F, H) et décodage n° niveau reçu dans circuit polling EIP (TSW 203 A, C, E, G)



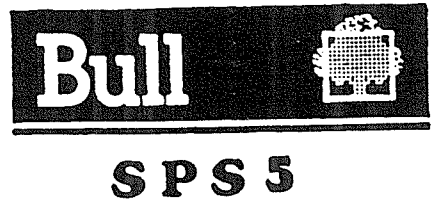
Choix des S/N

le point blanc indique le n° de S/N. selecté. Voir Chapitre Programmation pour les affectations aux N°s de voie.



- Câblage des Vitesses (iF01 et iF02)

V1	o 13	12 o	300 Bd	HE : Horloge émission
V2	o 14	11 o	150 Bd	HR : .. Réception
HE0	o 15	10 o	134.5 Bd	V1 et V2 : 2 Fréquences
HR0	o 16	9 o	2 400 Bd	issue de la carte fille
HR1	o 17	8 o	4 800 Bd	Horloge 1.450.503 si
HR3	o 18	7 o	1 200 Bd	Cette option est retenue.
HR2	o 19	6 o	9 600 Bd	
0 Bd	o 20	5 o	110 Bd	
	o 21.	4 o	600 Bd	
HE1	o 22	3 o	75 Bd	
HE2	o 23	2 o	50 Bd	
HE3	o 24	1 o	200 Bd	



MOX 4P		
N° Document	Date	Page
71 F7 31MS	547	G. 2.5

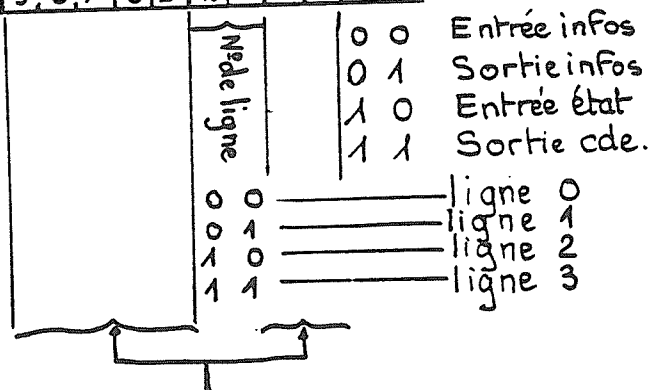
**PROGRAMMATION** - Le coupleur MUX4 Fonctionne en programmé simple ou prioritaire ou canal (LDC seulement). Par construction:

- le coupleur occupe 8 sous-niveaux à raison de 1 S/N émission et 1 S/N réception par ligne
- tout sous-niveau réception est toujours plus prioritaire qu'un sous-niveau émission.
- les appels normaux et exception d'une même voie ont le même n° de sous niveau.
- les n° de sous-niveaux sont affectés par ordre croissant aux voies de façon à être soit tous dans l'octet droit soit tous dans l'octet gauche de la façon suivante:

ligne	voie	octet	
		gauche S/N	droit S/N
0	Récept.	0	8
	Em.	4	12
1	Récept.	1	9
	Em.	5	13
2	Récept.	2	10
	Em.	6	14
3	Récept.	3	11
	Em.	7	15

Opérande: format long.

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15



bits adresse carte.

- l'adresse de base est donnée pour une entrée infos ligne 0 donc:

- pour adresser la ligne 1, il faut ajouter '10 à l'opérande,

- " " " 2 " " " '20 " "

- " " " 3 " " " '30 " "

ainsi la ligne 3 d'un MUX4 à l'adresse '17C8 sera adressée par un opérande de valeur '17F8 - c'est donc sur cette ligne d'un MUX4 que sera connecté un terminal de service débanalisé

**Bull**



**SPS 5**

MUX 4P

N° Document

71 F7 31MS

Date

547

Page

G. 2.6

cadrage infos: tout à droite le bit 15 de l'accumulateur correspond au bit de poids faible du code transmis. Les bits inutilisés peuvent être quelconque en sortie infos mais sont automatiquement mis à zéro en entrée infos

Mot état:

bit


- |    |   |  |
|----|---|--|
| 0  | Somme des défauts (bits 1+2+6)                      | } créés, en réception seulement, par l'UART. |
| 1  | Erreur de cadence                                   |  |
| 2  | Erreur de parité.                                   |  |
| 6  | Erreur de format (DU Break).                        |  |
| 7  | Fin de bloc émission                                |  |
| 8  | OCCUPATION caractère en sortie ( $\overline{OCC}$ ) |  |
| 13 | Fin de bloc réception                               |  |
| 14 | Caractère VALIDE en entrée (VAL)                    |  |
| 15 | Coupleur présent.                                   |  |

Mot de commande:

	bits:	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
Relatifs à seule ligne.	}							1				1				Validation appels émission.	
								1				1				Fin de bloc émission.	
		1						1								Emission d'un break.	
								1	1								Mode "écho hard"
Relatifs aux 4 lignes	}												1			Validation des appels réception.	
													1			Fin de bloc réception.	
										1							Initialisation programmée.
															1		Mode test.
														1		Validation des IT.	

Remarques:

- Le mode écho renvoi vers le périphérique le caractère issu de son clavier.
- Lorsqu'un break est envoyé sur une ligne, celle-ci est bloquée mais on peut faire des émissions caractère et calibrer ainsi la durée du break en comptant les IT (ou les  $\overline{OCC}$ )
- Le mode test reboucle la sortie coupleur vers l'entrée coupleur sans passer par les circuits d'interface qui ne sont donc pas testés. le circuit d'entrée coupleur est totalement isolé du périph alors que le circuit de sortie est valide, un périph. raccordé recevra donc les caractères émis par le coupleur. en mode test.

 <b>SPS 5</b>	MUX 4P		
	N° Document	Date	Page
	71 F7 31MS	547	G. 2.7

- Toute commande "validation d'appels" d'une voie retombe sur réception de la commande "fin de b" relative à cette voie - (ou sur initialisation progr.).
- les cdes "validation des appels" sont inutiles en programmé simple.
- La cde initialisation programmée est mémorisée et doit retomber sur une cde d'annulation. (bits 11 et 12 à "0" dans A)
- l'initialisation ne fait pas retomber les bits 1, 2 et 6 du mot d'état.
- Les cdes break et écho retombent sur une cde avec le bit 9 à "1" dans A.






Exemple de programmation: - RAZ, Emission - Réception en mode test

```

LAI '10
SIØ CDE < rāz programmée.
LAI '0
SIØ CDE < retombée de rāz (mémorisée)
LAI '02
SIØ CDE < mode test.
DEPART: LAI '55
SIØ SORTIE < caractère U
SIØ ETAT
TBT 14 < caractère valide?
JNC $-2
SIØ ENTREE < caractère dans A.
JMP DEPART

```

Points de synchro:

	IF01		IF02
Adresse coupleur	113/9 	125ns	206/9
Sio entrée	521/9 	625ns	209/9
Sio sortie	409/3 	"	308/11
Sio état	409/6 	"	308/10
Sio cde.	409/7 	"	308/9

**Bull**



**SPS 5**

MOX 4P

N° Document

71 F7 31MS

Date

547

Page

G. 2.8

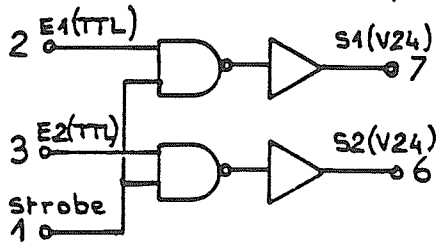


# INTERFACE:

Connecteur "CD"	Fonction	Prises/b.	Point de mesure coupleur
D1	Emission ligne 0	P0 broche 4	901A/2 (909/7)
C2	Réception "	P0 " 2	902/5-(911/4)
D3	Emission "	P1 " 4	901A/6-(909/6)
C4	Réception "	P1 " 2	902/6-(911/5)
D5	Emission "	P2 " 4	901B/6-(909/6)
C6	Réception "	P2 " 2	902/7-(911/6)
D7	Emission "	P3 " 4	901B/7-(909/7)
C8	Réception "	P3 " 2	902/4-(911/7)
D2, D4, D6, D8, C1, C5	0V.	0V en 8 et 7 des prises P0 à P3	les valeurs entre parenthèses concernent l'IFO1
C3, C7	+5V		

## brochage des circuits d'interface

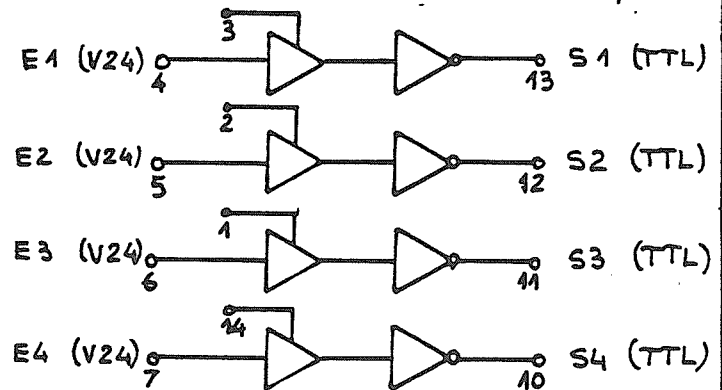
### a) SN 75150 (sortie coupleur)



Niveau haut TTL en entrée  $\Rightarrow$  niveau négatif en sortie.

+VCC (12V) en 8, -VCC (12V) en 5  
0V en 4

### b) SN 75154 (entrée coupleur)



Niveau V24 négatif en entrée  $\Rightarrow$  niveau haut TTL en sortie.

VCC (5V) en 15 et 16 - 0V en 8.

**Bull**



**SPS5**

MUX 4P

N° Document

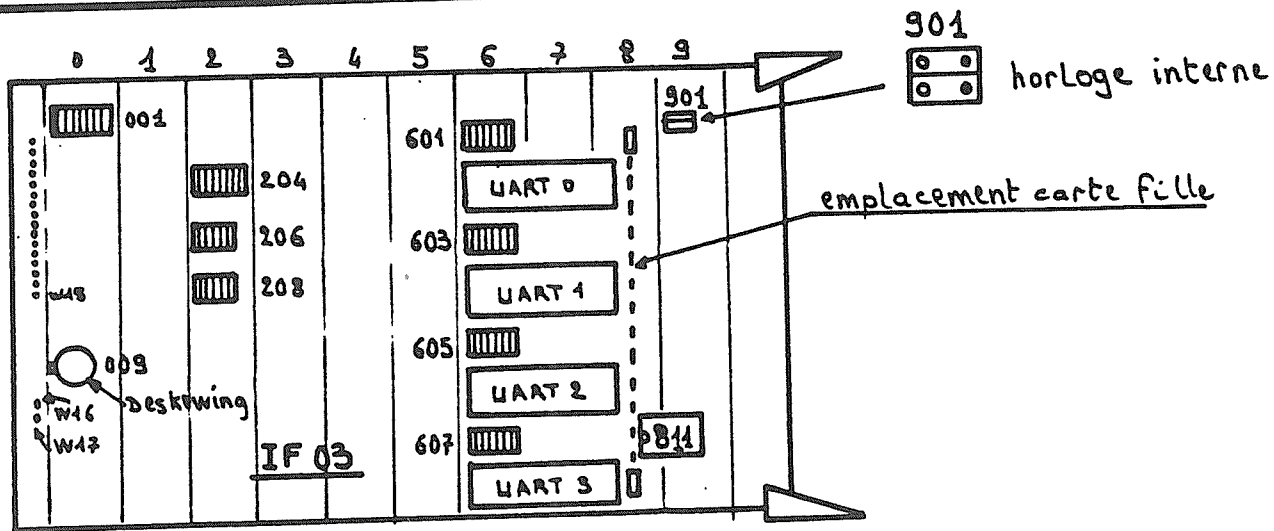
71 F7 31MS

Date

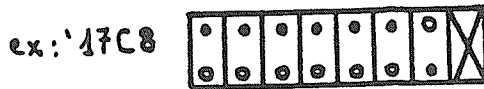
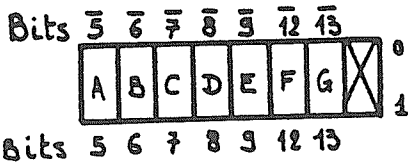
547

Page

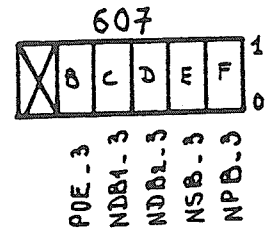
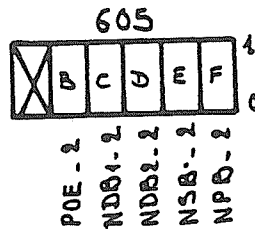
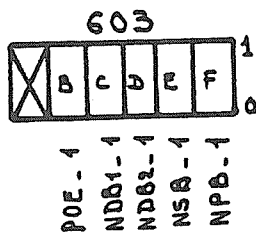
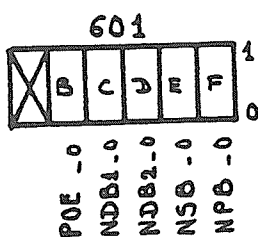
G. 2.9



Adresse : TB 204



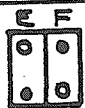
Format du caractère : TB 601, 603, 605 et 607



NSB = 0 1 STOP - NSB = 1 → 2 STOP  
NPB = 1 pas de contrôle de Parité (POE est alors indifférent)  
POE = 0 parité impaire (odd)  
POE = 1 parité paire (Even)

NDB1	NDB2	Nb de bits d'infos
0	0	5
1	0	6
0	1	7
1	1	8

Mode programmation : TB 208.E-F

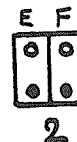
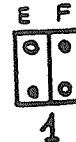


Mode Canal



Mode Programmé Prioritaire

Groupe de S/N Except: TB 206.E-F



**Bull**



SPS 5

MUX 4P - IF03

N° Document

71 F7 31MS

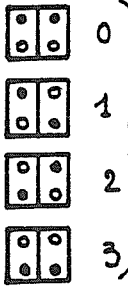
Date

547

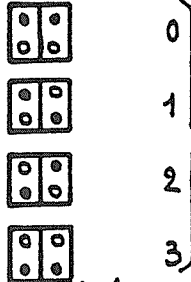
Page

G. 2.10

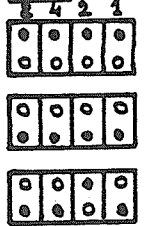
1  
0 A B C D E F TB 208



N° Proc. LDC

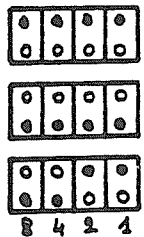


N° Groupe LDC



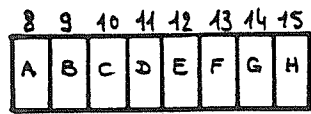
N° HLW  
ITN en  
programmé prioritaire

1  
0 A B C D E F TB 206

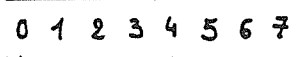


N° HLW  
polling exception

Choix des S/N: TB 001



N° S/N



N° S/N

Voice 1 0  
Voice 1 1  
Rec. Em.

Cablage des vitesses (IF01, IF02, IF03)

V1	013	42	300 bd
V2	014	44	150 bd
HE0	015	40	134,5 bd
HR0	016	9	2400 bd
HR1	017	8	4800 bd
HR3	018	7	1200 bd
HR2	019	6	3600 bd
0 Bd	020	5	110 bd
	021	4	600 bd
HE1	022	3	75 bd
HE2	023	2	50 bd
HE3	024	4	200 bd

HE : horloge Emission  
HR : " Réception  
V1 et V2 : 2 fréquences issues de la carte fille horloge 1.150.503 si cette option est retenue.

MUX 4P - IF03		
N° Document	Date	Page
71 F7 31MS	547	G. 2.11