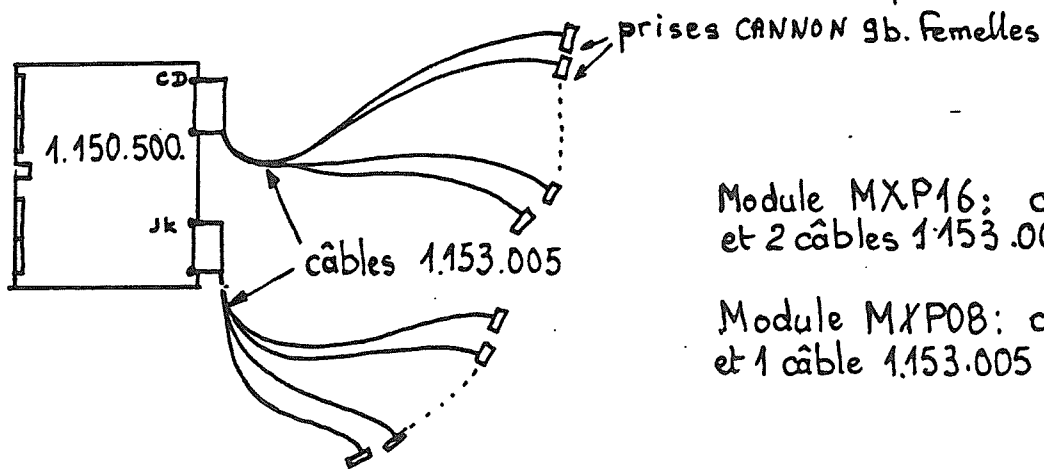


## CONSTITUTION.

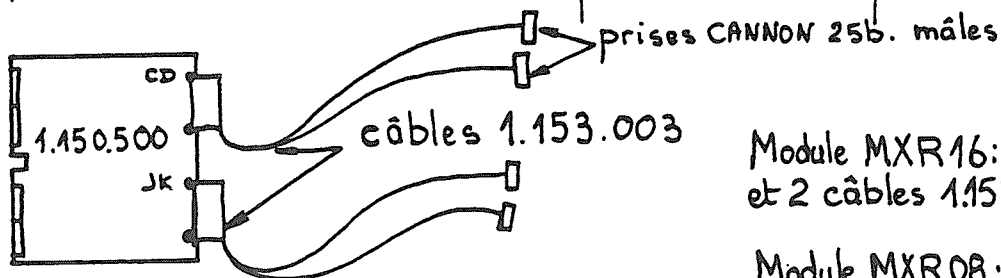
1) Modules MXP: (16 ou 08). Liaison directe avec des périph. V24 exclusivement.



Module MXP16: carte 1.150.500 VU01  
et 2 câbles 1.153.005

Module MXP08: carte 1.150.500 VU02  
et 1 câble 1.153.005 en CD.

2) Modules MXR (16 ou 8): Liaison avec les périph. (V24, C16, SC etc...) par l'intermédiaire d'un bandeau répartiteur et adaptateur. (ADP16 ou 32).



Module MXR16: carte 1.150.500 VU01  
et 2 câbles 1.153.003.

Module MXR08: carte 1.150.500 VU02  
et 1 câble 1.153.003 en CD.

## CARACTERISTIQUES.

- La carte 1.150.500. peut recevoir la carte fille horloge 1.150.503.

consommation :	MUX8	MUX16
5V	1,2 A	1,6 A
+24V	40 mA	80 mA.
-24V	110 mA	220 mA.

- niveau de sortie: V24

- Vitesse de travail max: 20.000 Bauds.

- environnement: 18°C à 25°C - 80% d'humidité relative.

- Le format des caractères émis est programmable.

**Bull**



**SPS 5**

MUX 8P / MUX 16P

N° Document

71 F7 31MS

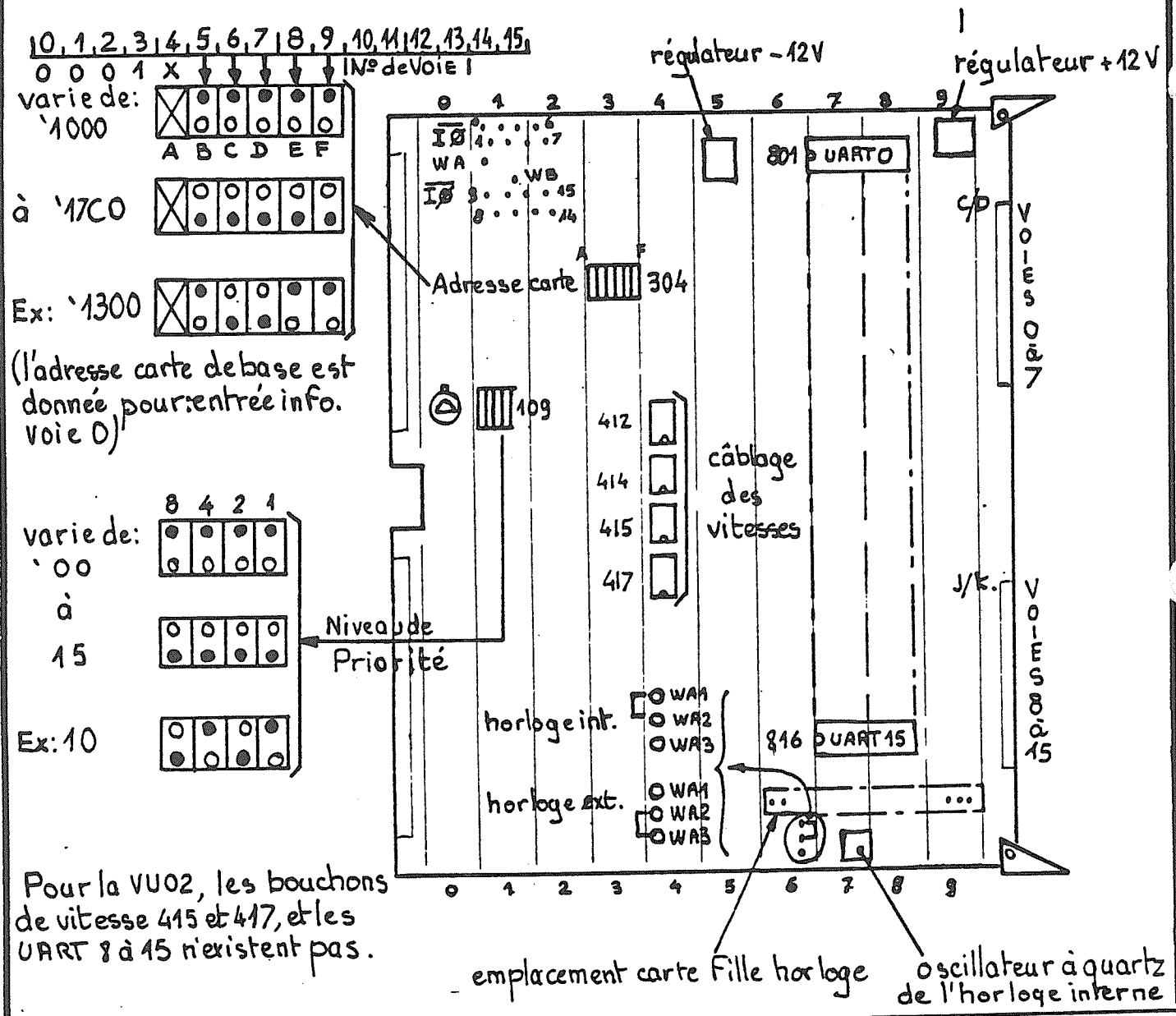
Date

547

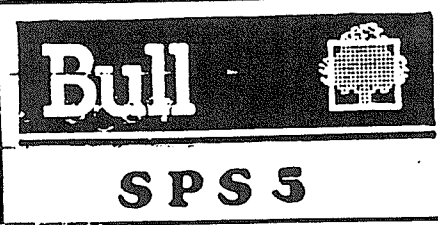
Page

G. 5.1

		GESTION CANAL						GESTION PROGRAMMÉE			
		HDC		MDC		LDC		P.P			
Adresse		Niveau ITN HDC	N° PROC 0 à 3 bits 7 à 10	S/N ITN MDC	N° PROC 0 à 3 bits 11 à 14	Groupe ITN LDC	S/N ITN LDC	Niveau Priorité	Groupe S/N Exception	S/N IT.EX	S/N ITN P.P
Débanalisé	'1200 à '13FC	/	/	/	/	/	/	9	/	/	0 à 7
Plage possible	'1000 à '17CO	/	/	/	/	/	/	1-15	/	/	0-15
câblage par	émis	/	/	/	/	/	/	WB	/	/	WA
	reçu	TSW 304	/	/	/	/	/	TSW 09	/	/	/

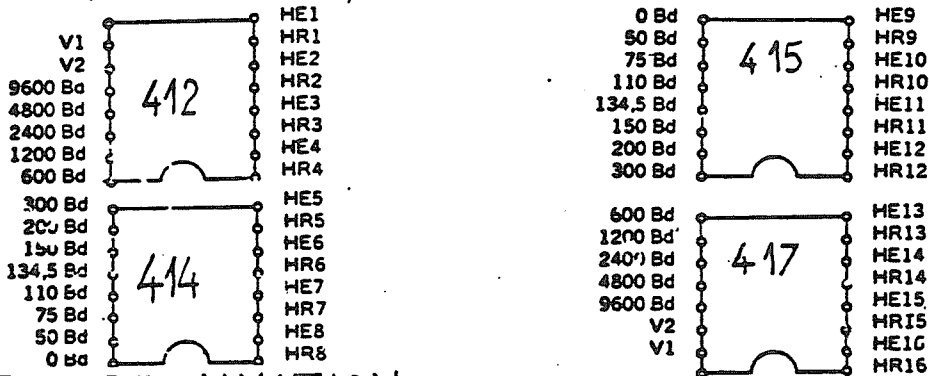


Pour la VU02, les bouchons de vitesse 415 et 417, et les UART 8 à 15 n'existent pas.



MUX 8P / MUX 16P		Date	Page
N° Document		547	G. 5.2
71 F7 31MS			

câblage des vitesses: Les vitesses V1 et V2 sont issues de la carte fille horlog.  
 V1 s'ajuste par P1 (de 8200 à 19250 Bauds) et V2 par P2 (la vitesse dépend de la VU de la carte fille)



**PROGRAMMATION.**

La carte 1.150.500.XX peut être gérée en programmé prioritaire ou simple en full ou half-duplex. Elle occupe 1 seul sous niveau ne regroupant que des appels normaux. Il est à noter que le driver DRVVT (qui doit être "link-édité" avec DRV P16) ne sait gérer le coupleur qu'en mode HALF-DUPLEX en PRIORITAIRE.

Opérande.

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
			1		@	CARTE									

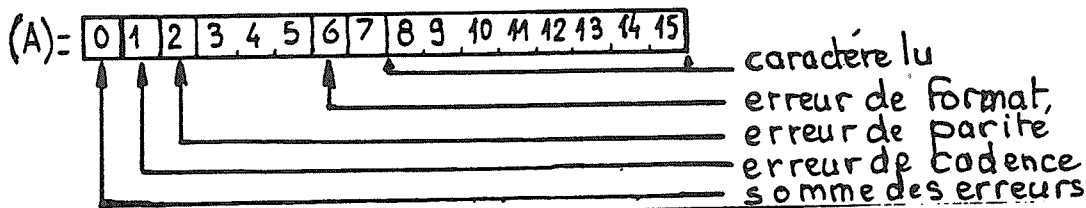
format long ↑  
 ON/OFF rack ↑

0 0	Entrée infos + bits états défauts.
0 1	Sortie infos.
1 0	Entrée état voies réception. (VAL).
1 1	Sortie commande.
1 1 0	Entrée état voies émission. ( $\overline{OCC}$ ).

0 0 0 0	Ligne 0
0 0 0 1	Ligne 1
0 0 1 0	Ligne 2
⋮ ⋮ ⋮ ⋮	⋮
1 1 1 0	Ligne 14
1 1 1 1	Ligne 15

Entrée Infos. Cette SIØ permet l'acquisition du caractère lu par le coupleur celui-ci est cadré à droite (poids faible en bit 15 de A) et l'acquisition des bits d'état relatifs à la qualité de l'échange pour ce caractère.



sortie infos: le caractère à émettre est cadré à droite poids faible en bit 15.

entrée état voies réception: chacun des 16 bits à 1 indique que la voie correspondant à son rang possède un caractère valide. (VAL)

Ex: caractère valide voies 1 et 9 (A) = 

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

entrée état voies émission: chacun des 16 bits à 1 indique que la voie correspondant à son rang est libre pour sortir un autre caractère (OCC)

sortie commande: (dans ce qui suit, si l'état d'un bit n'est pas précisé, c'est qu'il est à 1)

bit 9: validation des appels émission.

bit 13: " 1 " réception.

bit 11: mode ECHO.

bit 2: émission d'un break. (voir remarque sur BREAK fiche MUX4P).

bit 4: pas de contrôle de parité.

bits 4 et 5 à 0: contrôle d'imparité.

bits 4 à 0 et 5 à 1: contrôle de parité.

bits 6 et 7 à 0: 5 bits / caractère.

bits 6 à 1 et 7 à 0: 6 bits / caractère.

bits 6 à 0 et 7 à 1: 7 bits / caractère.

bits 6 et 7 à 1: 8 bits / caractère.


bit 8 à 1; 1,5 ou 2 bits stop à 0: 1 bit stop.


Les commandes précédentes ne concernent que la ligne précisée dans l'opérande, les 2 suivantes concernent l'ensemble des lignes.

bit 14: mode test. (voir remarque sur test fiche MUX4P)


bit 15: validation des IT. lorsque les IT sont dévalidées, le coupleur est bloqué dans l'état "INI". Un "clear" pupitre provoque lui aussi un passage à l'état "INI". Dans tous les cas pour revalider le coupleur, il faut faire une SIØ commande avec le bit 15 à 1 dans A. (le mode programmé simple n'est donc possible qu'en masquant le niveau du coupleur).

### Points de synchro.



Adresse carte :  303/9.

Entrée info :  206/6.

Sortie info :  404/11.

Entrée état :  404/10.

Sortie cde :  404/9.

Adresse MIP :  209/8 (nand décodeur) ou  309/5 (Q de Jk).

Adresse HLW :  208/6 ( " " ) ou  309/5 ( " " ).

**Bull**



**SPS 5**

MUX 8P / MUX 16P

N° Document

Date

Page

71 F7 31MS

547

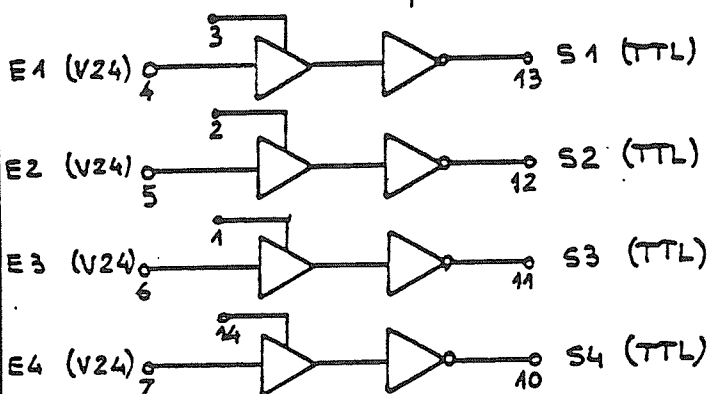
G. 5.4

## Interface :

signal.	connecteur	C.I.	câble		signal	connecteur	C.I.	câble	
			1.153.005 prises 9b	1.153.003 prises 25b				1.153.005 prises 9b	1.153.003 prises 25b
RDV241	C2	1003/10	P0-2	P0-3	EDV241	D1	1004/7	P0-4	P0-2
" 2	C4	1003/11	P4-2	P0-17	" 2	D3		P1-4	P0-15
" 3	C6	1003/12	P2-2	P0-6	" 3	D5		P2-4	P0-22
" 4	C8	1003/13	P3-2	P0-5	" 4	D7		P3-4	P0-8
" 5	C10	1008/10	P4-2	P1-3	" 5	D9		P4-4	P1-2
" 6	C12	1008/11	P5-2	P1-17	" 6	D11		P5-4	P1-15
" 7	C14	1008/12	P6-2	P1-6	" 7	D13		P6-4	P1-22
" 8	C16	1008/13	P7-2	P1-5	" 8	D15		P7-4	P1-8
" 9	J2	1009/10	P0-2	P0-3	" 9	K1		P0-4	P0-2
" 10	J4	1009/11	P4-2	P0-17	" 10	K3		P1-4	P0-15
" 11	J6	1009/12	P2-2	P0-6	" 11	K5		P2-4	P0-22
" 12	J8	1009/13	P3-2	P0-5	" 12	K7		P3-4	P0-8
" 13	J10	1014/10	P4-2	P1-3	" 13	K9		P4-4	P1-2
" 14	J12	1014/11	P5-2	P1-17	" 14	K11		P5-4	P1-15
" 15	J14	1014/12	P6-2	P1-6	" 15	K13		P6-4	P1-22
" 16	J16	1014/13	P7-2	P1-5	" 16	K15		P7-4	P1-8

## Brochages des circuits d'interface :

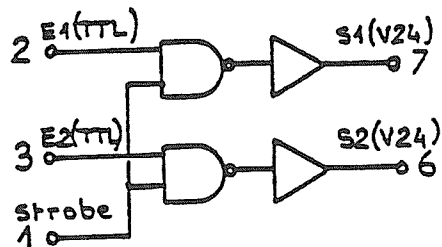
a) SN75154 (entrée coupleur.)



Niveau V24 négatif en entrée  $\Rightarrow$  niveau haut TTL en sortie.

Vcc (5V) en 15 et 16 - 0V en 8.

b) SN75150 (sortie coupleur.)



Niveau haut TTL en entrée  $\Rightarrow$  niveau négatif en sortie.

+Vcc (12V) en 8, -Vcc (12V) en 5  
0V en 4

Nota: les masses sont en: C et J -1, 5, 9 et 13 du coupleur et en: 8 des prises 9 b. du câble 1.153.005 ou en 7 des prises 25 b. du câble 1.153.003.

**Bull**



**SPS 5**

MOX 8P / MOX 16P

N° Document

71 F7 31MS

Date

547

Page

G. 5.5