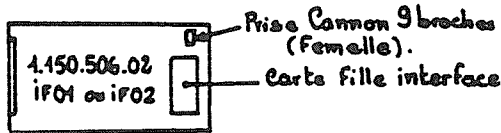


Avant-Propos

le Coupleur 1.150.506.02. Asynchrone Format long (N° Module 1.159.509) remplace et annule le coupleur 1.150.506.01 (très peu livré en clientèle); il est maintenant livré à la place du coupleur 1.150.502.02 Asynch Format Court (N° Module 1.159.506) qui est toujours suivi par l'Après Vente en clientèle. (Mai 1979).

Noter l'incompatibilité logicielle entre 1.150.506.02 (Format long) et 1.150.502.02 (Format Court) néanmoins le même DAVEZ DAVVI est utilisé mais la génération est différente

Constitution



- 1 Carte Mère 1.150.506.02 format 1/2 permettant la Connexion entre 1 UT et 1 système de 1 ligne asynchrone avec une jonction V24 simplifiée qui ne comporte que les lignes ED (Emission de Données) et RD (Reception de Données). La Connexion peut être en Duplex, Half-Duplex ou Simplex (Voir Fiche VADE.NECUM, chapitre G-1)
- 1 Carte fille interface permettant la Connexion en :

Type	URC (Commercial)	URG (module Technologie)	Carte mère	Carte fille
V24 non isolé	ASV - 01	1.159.509.11	1.150.506.02	1.150.529
V24 isolé	ASi - 01	1.159.509.12	1.150.506.02	1.150.525
Simple Courant	ASS - 01	1.159.509.13	1.150.506.02	1.150.526
Double Courant	ASD - 01	1.159.509.14	1.150.506.02	1.150.527
C bus	ASC - 01	1.159.509.15	1.150.506.02	1.150.530

- Programme de test 1.158.509 qui autorise le rebauchage externe, ou le rebauchage interne par commande du Logiciel; dans ce dernier cas, les circuits d'interface V24 \leftrightarrow TTL et la Carte fille ne sont pas testés.

Caractéristiques et performances

température ambiante : 0 à 40°C mais pour éviter le Vieillissement : 18 à 25°C

Consommation : + 5V \rightarrow

+ 24V \rightarrow 25mA

- 24V \rightarrow 35 à 80 mA.

Raccordements

- Vitesse d'échange max : 20.000 bits/s (limité par Avis V24)
- Précision des vitesses disponibles meilleurs que 1%.

la liaison avec un périphérique se fait uniquement avec le câble spécifique du périphérique par la prise Cannon 9broches sur laquelle les signaux ED et RD sont toujours disponibles quel que soit le type d'adaptation utilisées.

Restriction d'utilisation

Ne peut pas remplacer ni être remplacé par le Coupleur Asynchrone 1.150.502.02 (N° module 1.159.506) (incompatibilité Logicielle)

Tableau des Vitesses normalisées

Vitesse Transmission	Période Horloge	Vitesse transmission	Période de l'Horloge
9600 Bd	6,51 μ s	200 Bd	312,5 μ s
4800 Bd	13,02 μ s	150 Bd	416,6 μ s
2400 Bd	26,04 μ s	134,5 Bd	464,7 μ s
1200 Bd	52,08 μ s	110 Bd	568,2 μ s
600 Bd	104,16 μ s	75 Bd	833,3 μ s
300 Bd	208,33 μ s	50 Bd	1250 μ s

Note: Les temps indiqués correspondent à des vitesses x 16 nécessaires au fonctionnement de L'UART

Précision meilleure que 1%.

Bull



SPS5

Asynchrone ASX - 01 Format long - carte 506-02

N° Document

Date

Page

71 E7 31MS

730

G.12.1

Configuration

501 510



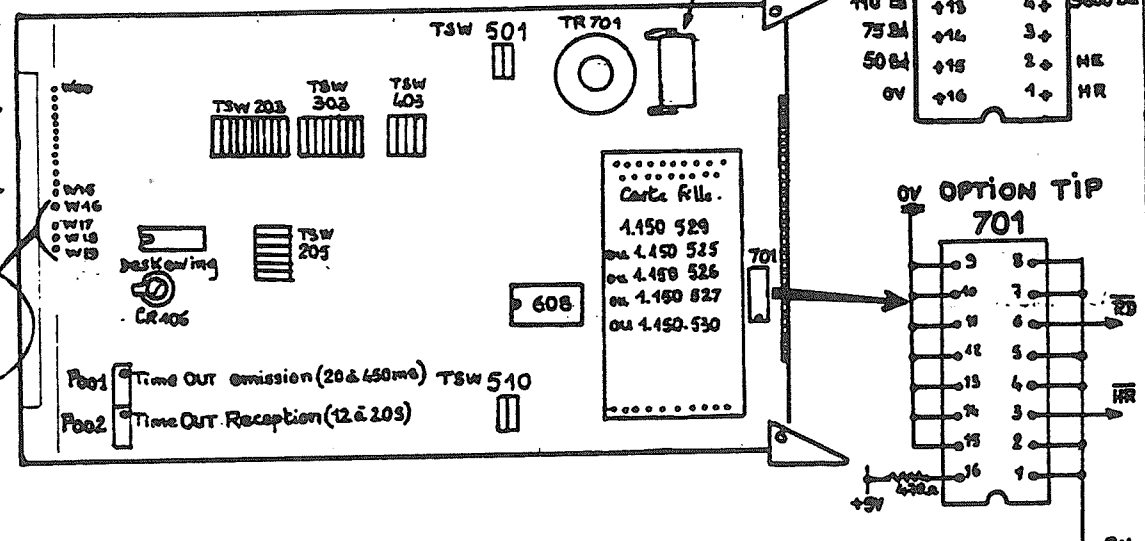
Particularité 510B
Rception Données
Rception Etat Periph
R. Etat et Etat ligne = 1
R. Etat et Etat ligne = 0

- Blockage Horloge transmission (ne sert qu'aux Essais).
- Horloge Transmission en Service (Position de fonctionnement)

boches 608

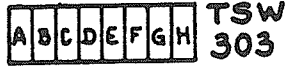
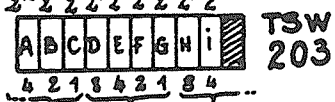
300 Bd	9	8	600 Bd
200 Bd	10	7	1200 Bd
150 Bd	11	6	2400 Bd
124,5 Bd	12	5	4800 Bd
110 Bd	13	4	9600 Bd
75 Bd	14	3	HE
50 Bd	15	2	HR
0V	16	1	

- W16 N° PROC (LDC0 à LDC3)
- W17. N° de HLW
- W18. N° de S/N Réception
- W19. N° de S/N Emission.

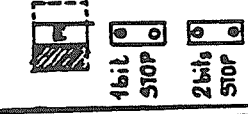
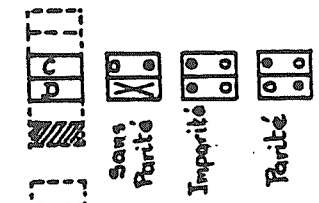
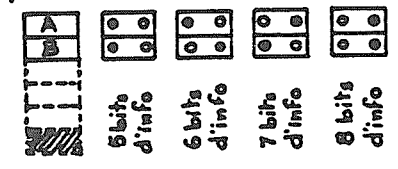
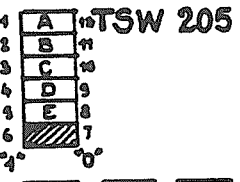
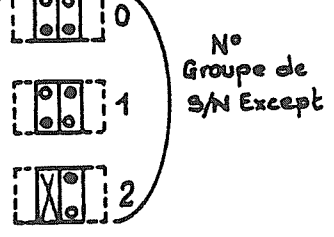
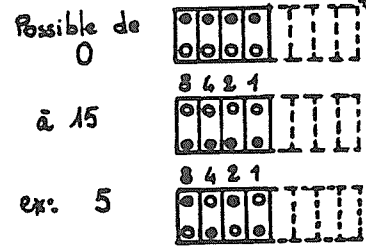
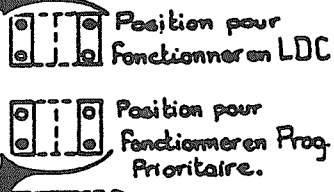
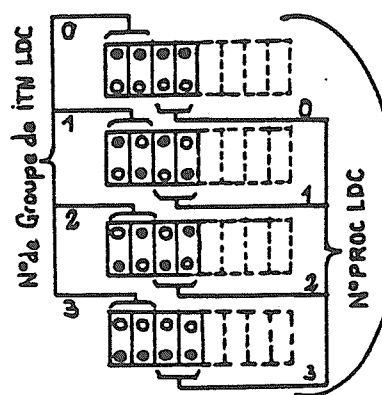
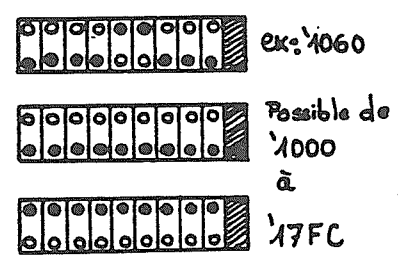


bits 5 6 7 8 9 10 11 12 13

Poids 2¹⁰ 2⁹ 2⁸ 2⁷ 2⁶ 2⁵ 2⁴ 2³ 2²



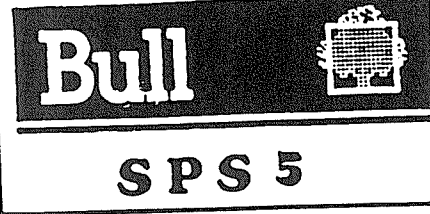
adresse Carte



N° HLW (Pour Pelling i/Normal)

N° HLW à positionner (Pour Pelling Exception)

Asynchrone ASX - 01 Format long - carte 506-02



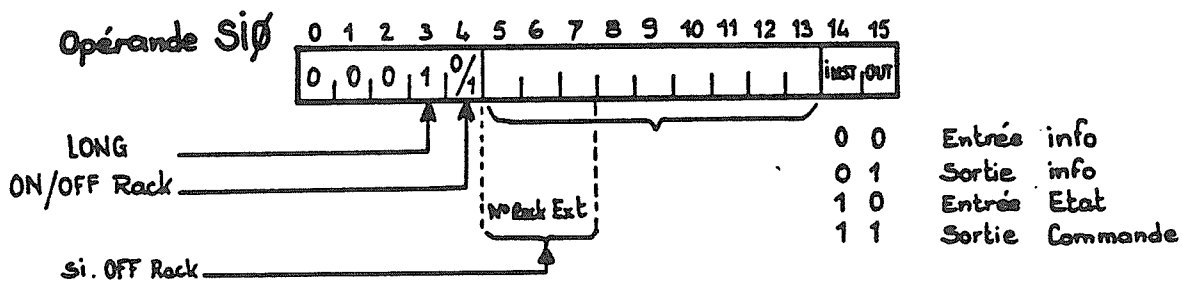
N° Document	Date	Page
71 F7 31MS	730	G.12.2

		GESTION CANAL						GESTION PROGRAMMEE			
		HDC	MDC	LDC		PP					
Adresse		Niveau ITN.HDC	N° PROC S/N 0 à 3 bit 7 à 10 ITN.MDC	N° PROC 0 à 3 bit 11 à 14	Groupe ITN.LDC	S/N ITN.LDC	Niveau Priorité	Groupe S/N Exception	S/N ITEX	S/N ITN.PP	
Débanalisé	1060	X	X	0	1	Réc 0 Em 1	5	0	Réc 0 Em 1	X	
Plage possible	1000 à 17FC	X	X	0 à 3	0 à 3	0 à 15	0 à 15	0 à 2	0 à 15	0 à 15	
câblage par	Req ^{Emis}	X	X	W 16	X	R: W 18 Em W 19	W 17	X	R: W 18 Em W 19	R: W 18 E: W 19	
	Req ^{Emis}	TSW 203	X	TSW 303	TSW 303	X	TSW 303	TSW 403	X	X	

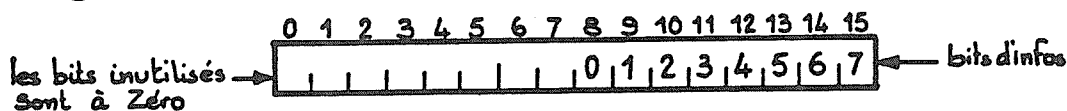
- ⊗. le nombre d'ASx débanalisés pouvant atteindre 8, consulter également les documents de débanalisations joints au dossier personnalisé de l'affaire.
- le tableau ci-dessus traite le cas de débanalisation de l'ASx n°1 sur 16/40.

Nota: les s/n Normaux, Canal et Exception de la Réception doivent toujours être plus prioritaires que ceux de l'émission.

- Programmation



Registres Entrée et Sortie (2 Registres)




Cadrage Code

Code 8 bits	: 8 à 15
" 7 bits	: 9 à 15
" 6 bits	: 10 à 15
" 5 bits	: 11 à 15

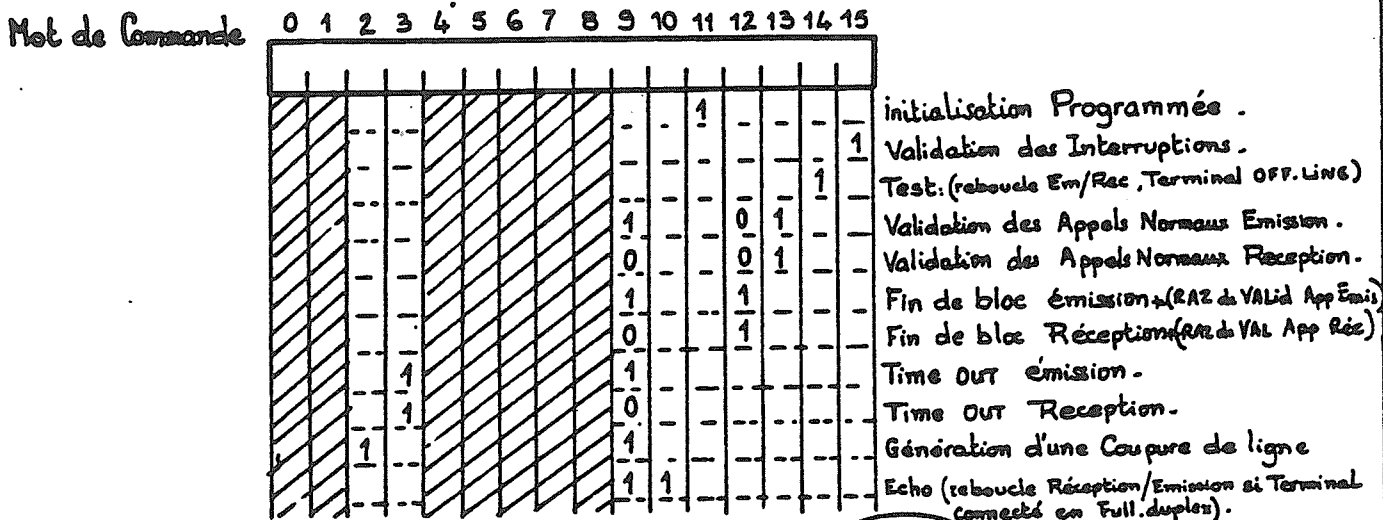
- Registre Entrée informations:** le Contenu de ce registre est, après l'exécution d'une Siϕ Entrée info, cadré sur les poids faibles de l'Accumulateur.
- Registre Sortie informations:** le Code à émettre est cadré en poids faible de l'Accumulateur.
 - le Cadrage est fonction de la longueur du Code échangé.
 - la longueur est définie sur le coupleur par les TSW 205.
 - le bit de parité, s'il est nécessaire, est engendré par le coupleur.
 - les bits inutilisés peuvent être indifférents

Nota pour TSW 501 et 510

choix entre RD et Etat Périphérique: On peut remplacer la ligne Réception de données par un Etat du Périphérique (Ex: Buffer imprimante plein) Dans ce cas, le coupleur ne PEUT PLUS recevoir de caractères, mais il transmet l'ETAT LOGIQUE présent sur la ligne RECEPTION sur le BITS du mot d'état en émettant des IT Ex aux changements d'ETAT de cette ligne. De plus l'inverseur 501B permet de transmettre LA VALEUR ou le Complément de l'état de la ligne sur le bit 3 : Ex : Etat ligne = "1" → bit 3 = 1
Etat ligne = "0" → bit 3 = 1

 SPS 5	Asynchrone ASX - 01 Format long - carte 506-02		
	N° Document	Date	Page
	71 F7 31MS	547	G.12.3

Registre de Commande

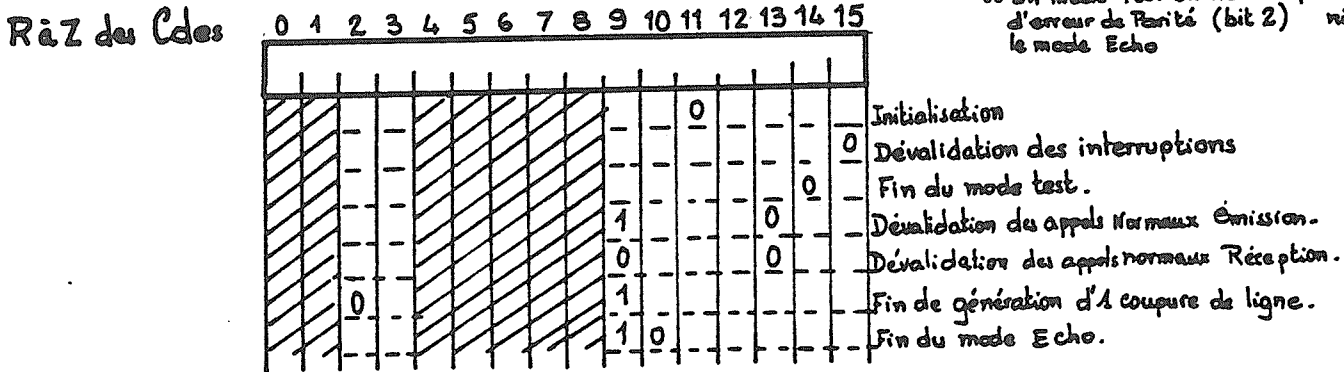


Nota: Hachures: position à valeur indifférente
 Case Vierge: position à Confirmer en fonction des Commandes précédentes.

Attention: les modes ECHO et TEST sont incompatibles et ne doivent pas être dans le même mot de Cde.

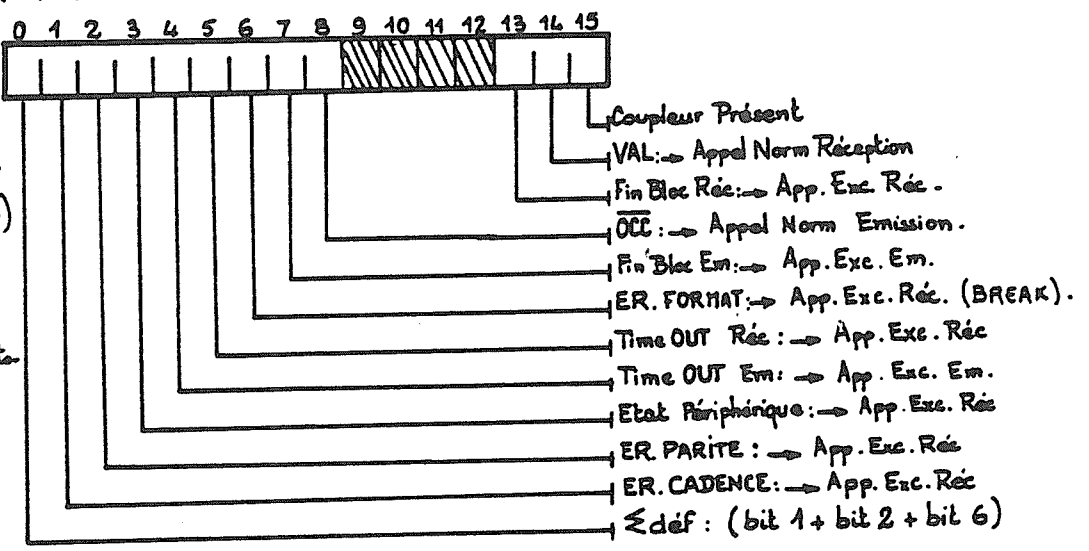
- En mode TEST, les horloges Em et Rec doivent avoir la même vitesse.
- En mode TEST on ne teste pas bit d'erreur de Parité (bit 2) ni le mode Echo

le programme de Test en REC ou RNS ne teste pas le mode Echo.



Mot d'état

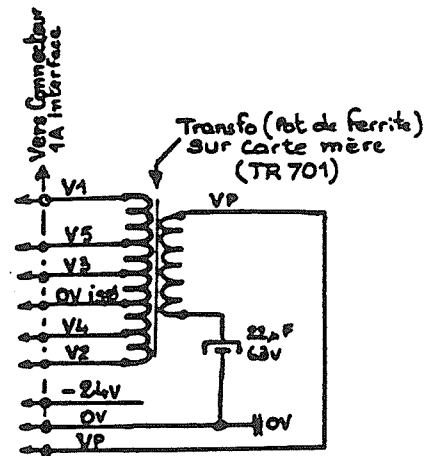
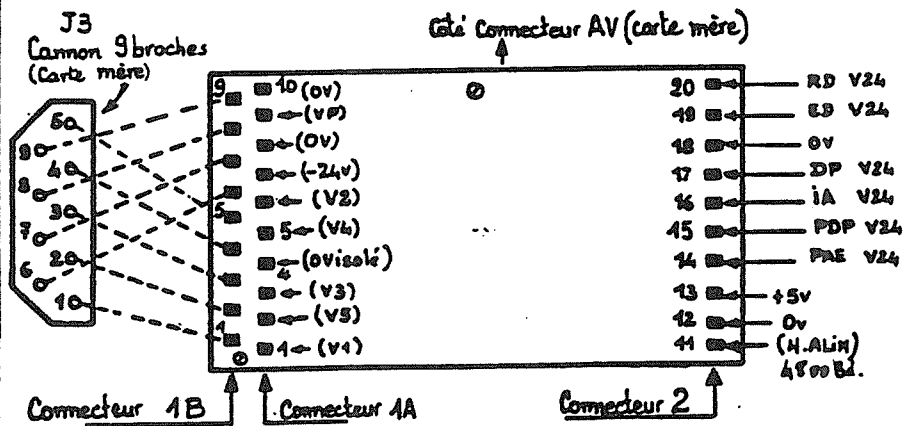
Nota: la Siø Etat ne RAZ pas les Bits de "Défaut Réception" (ex: ER FORMAT = BREAK) C'est la Réception du Caractère suivant (VAL/UART) qui fait retomber ces défauts.



Asynchrone ASX - 01 Format long - carte 506-02		
N° Document	Date	Page
71 F7 31MS	547	G.12.4

interfaces

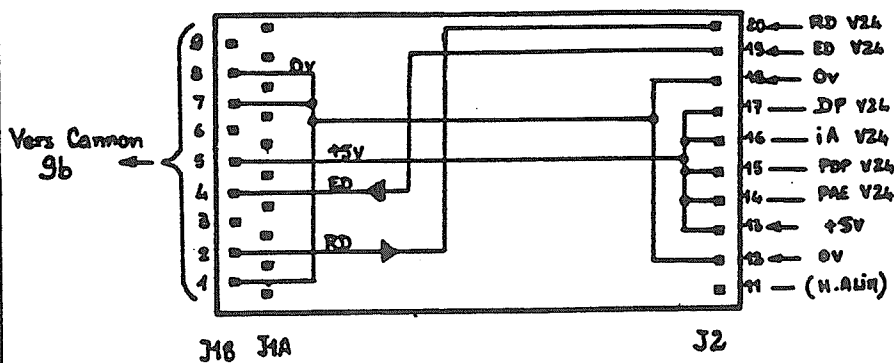
a) partie commune à toutes les interfaces



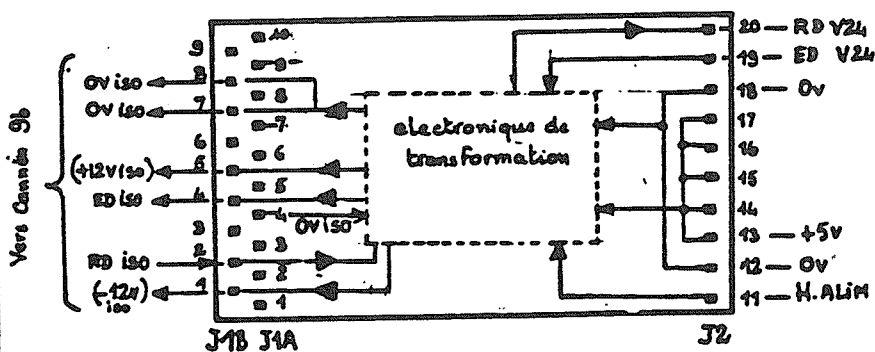
Nota:

le signal H.ALIH (J2.4) sert d'horloge de découpage à des circuits implantés sur les cartes interfaces pour fabriquer VP (V primaire) du transformateur situé sur la carte mère, dont les tensions secondaires (V1, V2, V3, V4, V5, 0V iso) sont ramenées sur les cartes interfaces pour créer des tensions isolées ($\pm 24V$ iso $\pm 48V$ iso etc..)

b) interface V24 non isolé (carte 1.450.529)



c) interface V24 isolé (carte 1.450.525).



Bull



SPS 5

Asynchrone ASX - 01 Format long - carte 506-02

N° Document

71 F7 31MS

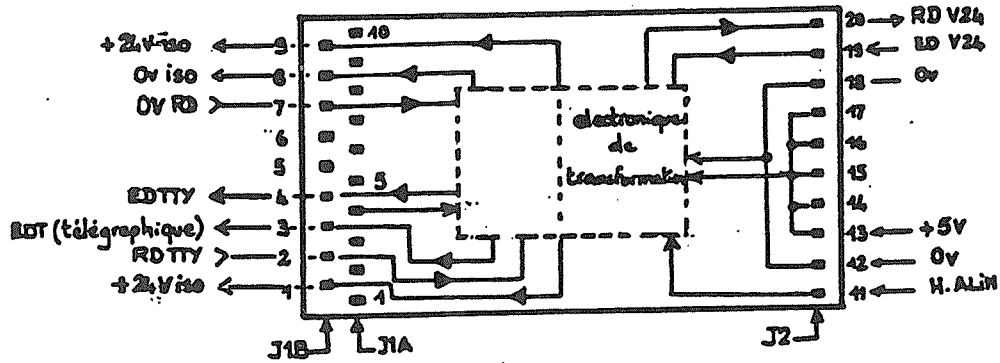
Date

5/7

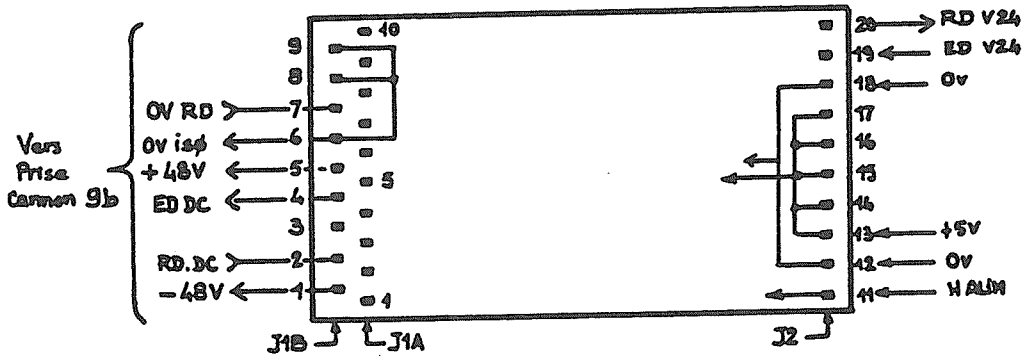
Page

G.12.5

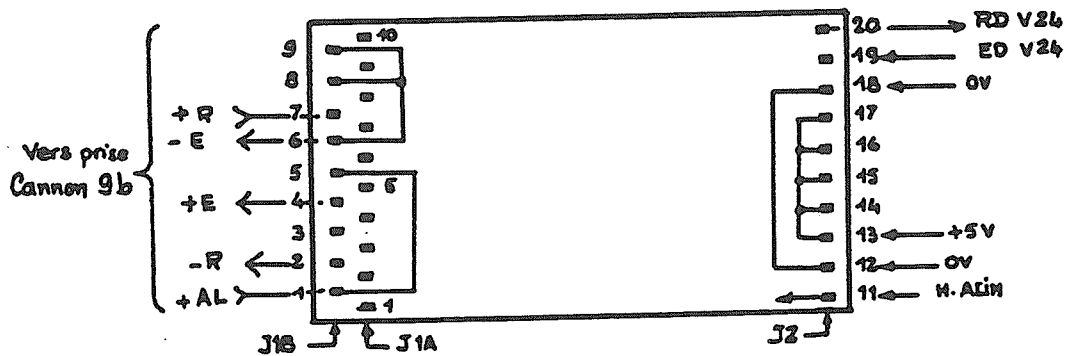
d) interface Simple Courant (4.150.526).



e) interface double Courant (4.150.527).



f) interface C-bus (4.150.530)



Asynchrone ASX - 01 Format long - carte 506-02

Bull



SPS 5

N° Document

71 F7 31MS

Date

547

Page

G.12.6