

## I Buts du module:

Le module HDL 01 peut se raccorder à des modems présentant des jonctions CCITT V24 ou CCITT V35, utilisant une ligne "Full duplex" synchrone en mode HDLC.

Le driver utilise l'opérateur FCS 64, la gestion des échanges ne peut se réaliser qu'en mode canal à octets LDC ou MDC, avec des trames comprenant des nombres entiers d'octets, et FCS 16 bits polynôme IBM:  $X^{16} + X^{12} + X^5 + 1$ .

## II Constitution du module:

N° module 1159\_458\_05: Coupleur HDLC 1 ligne V24 à trame jointive et nombre quelconque d'octets.

N° module 1159\_458\_06: Coupleur HDLC 1 ligne V35 à trame jointive et nombre quelconque d'octets.

### Composition des modules:

- 1 carte coupleur: 1150 552 VU ≥ 03
- 1 manuel d'exploitation: 1159 458 VU ≥ 05
- 1 driver: 1164 176
- 1 programme de test: 1158 458 VU ≥ 02
- 1 câble de raccordement de longueur 10m n° 1153 002 Fournissent une jonction V24 ou connecteur mâle CCTU 25 broches (Pour module 1 ligne V24)
- 1 câble de raccordement de longueur 10m n° 1153 116 Fournissent une jonction V35 ou connecteur mâle CCTU 34 broches (Pour module 1 ligne V35) ou câble 1153 552 Fournissent une jonction V35 "Transpac".

13,6 W dont 3,6 W sur 24 V

Consommation: +5V = 2A ; +24V = 30mA ; -24V = 120mA

Performances: la vitesse de transfert du coupleur est limitée par le matériel: 150 Kbit/s

## III Registre d'état de la voie émission et registre d'état de la voie réception:



bit 0 = bit 1 = 1; Erreur de cadence en émission

bit 6: circuit 107 Fourni par le modem (PDA)

bit 7: circuit 106 Fourni par le modem (PAE)

bit 12: Fifo ready / le test du bit 12 permet

de savoir quand, dans la tâche immédiate

activée sur la chute du bit 15 du status EM,

la Fifo émission est prêt à recevoir les octets de FCS.

bit 13: FTE = Fin de trame émise

bit 14: Occup, peut accepter un nouveau caractère à émettre

bit 15: ReFlète l'état émission

bit 0 = 1: ou logique des bits 1 et 2

bit 1 = 1: erreur de cadence, le Fifo réception étant plein, un caractère arrive sur la ligne

bit 2 = 1: trame refusée

bit 5: time out est venu à échéance

bit 6: Etat du circuit 109 de la jonction (DP)

bit 7: Ce bit décrit le type d'intertrame reçue

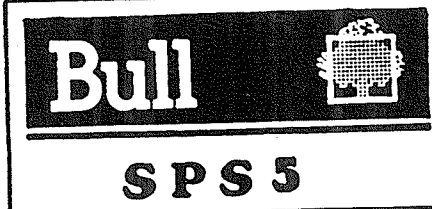
bit 7 = 0: succession de Flag.

bit 7 = 1: succession de bits à "1"

bit 13: Fin de trame reçue

bit 14: indique que le coupleur a reçu un caractère

bit 15: bit positionné à "1" par commande début réception, à "0" sur comm. Fin réception



Coupleur HDLC 552-VU 03

N° Document

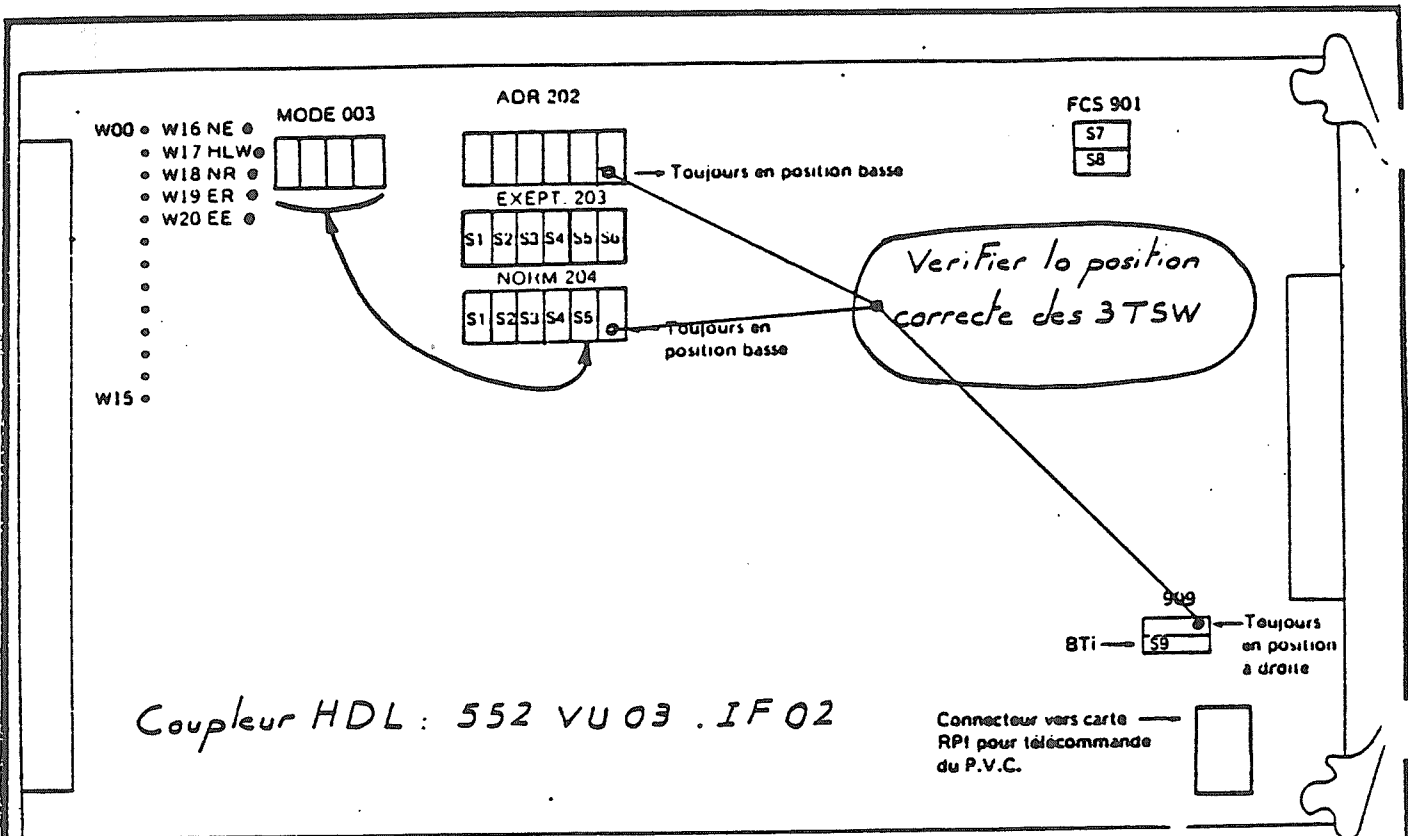
71 FT 31MS

Date

5/7

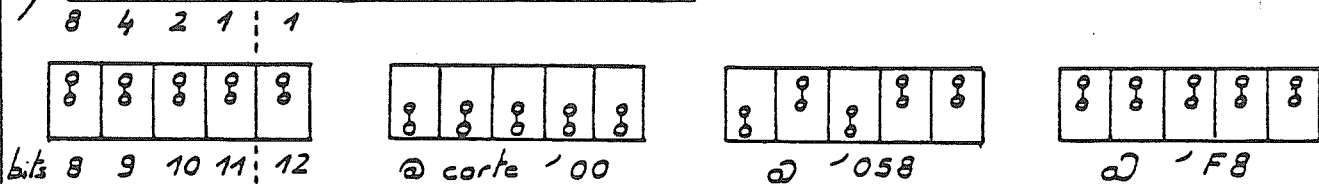
Page

G.15.1

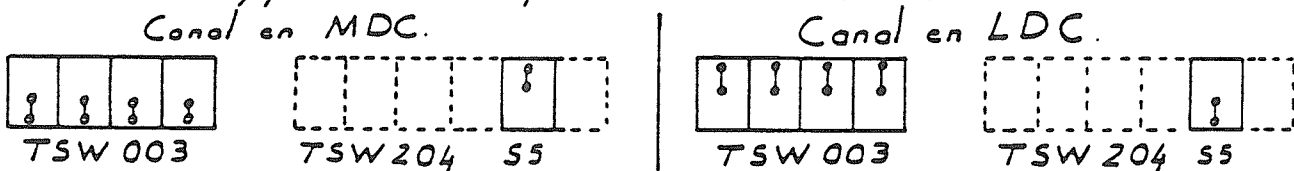


Configuration d'une carte et liste des paramètres à définir :

1) Adresse de la carte : TSW 202.

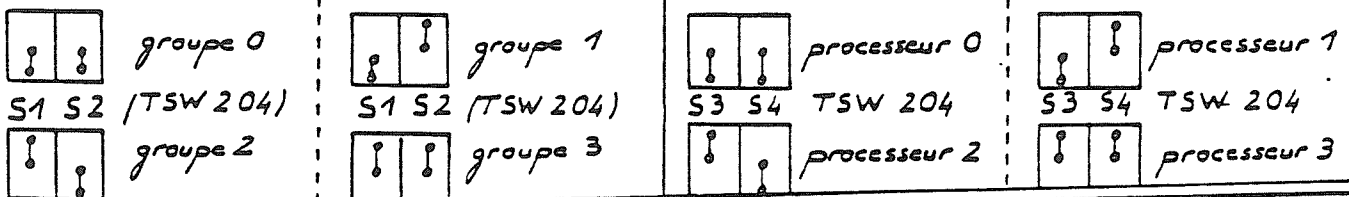


2) Choix du type de canal (MDC ou LDC) : TSW 003 et S5 de TSW 204.



3) Choix du N° de processeur et du N° de groupe (LDC) : TSW 204.

NB: Dans le cas du MDC, le coblage du groupe est inopérant (pas pris en compte)  
- Sélection en LDC du n° de groupe / TSW 204 : S1.S2 - Sélection du n° de processeur / TSW 204 : S3.S4



 SPS 5	Coupleur HDLC 552-VU 03		
	N° Document	Date	Page
	71 F7 31MS	547	G.15.2

4) Choix du sous niveau normal émission et réception:

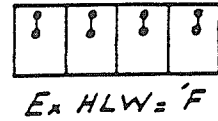
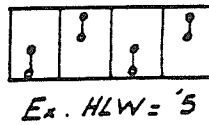
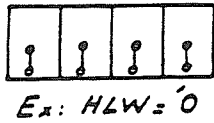
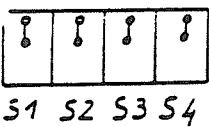
NB: Dans tous les cas la réception est plus prioritaire que l'émission

sous niveau normal émission: Par wrapping relier W16 (NE) à l'une des broches W00 à W16 correspondant au sous niveau choisi

4) Sous niveau normal réception: Par wrapping relier W18 (NR) à l'une des broches W00 à W16 correspondant au sous niveau choisi.

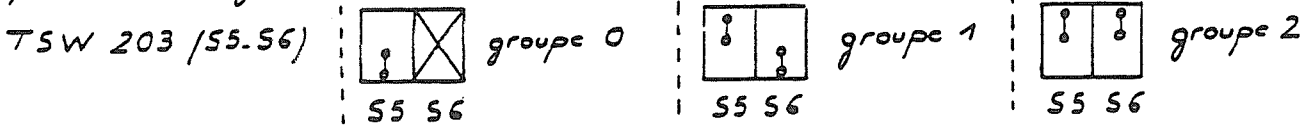
5) Traitement polling exception:

1) Choix du niveau HLW: TSW 203 et broche W 17 (HLW)  
8 4 2 1 poids



Par wrapping relier W17 (HLW) à l'une des broches W00 à W16 correspondant au niveau HLW choisi par TSW 203 (S1 à S4)

2) Choix du groupe exception: TSW 203 (S5-S6)

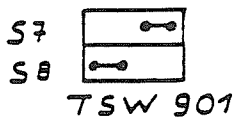


c) choix du sous niveau exception émission et réception

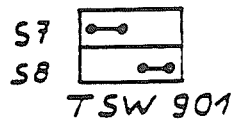
- sous niveau exception émission: Par wrapping relier W20 (EE) à l'une des broches W00 à W16

- sous niveau exception réception: Par wrapping relier W19 (ER) à l'une des broches W00 à W16

Sélection du type de FCS: TSW 901 (S7-S8)

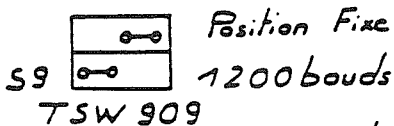


FCS 16 bits



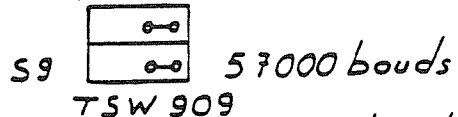
FCS 24 bits

7) Sélection vitesse base de temps interne: TSW 909 (S9)



Position Fixe

1200 bauds



57000 bauds

Utilisation normale du coupleur et test à basse vitesse

Test du coupleur à haute vitesse

**Bull**



**SPS 5**

Coupleur HDLC 552-VU 03

N° Document

Date

Page

71 F7 31MS

547

G.15.3