

Le CBM (coupleur Bus Mémoire) est un sous ensemble chargé d'assurer le transfert d'infos entre le bac origine et le bac destination.

CONSTITUTION

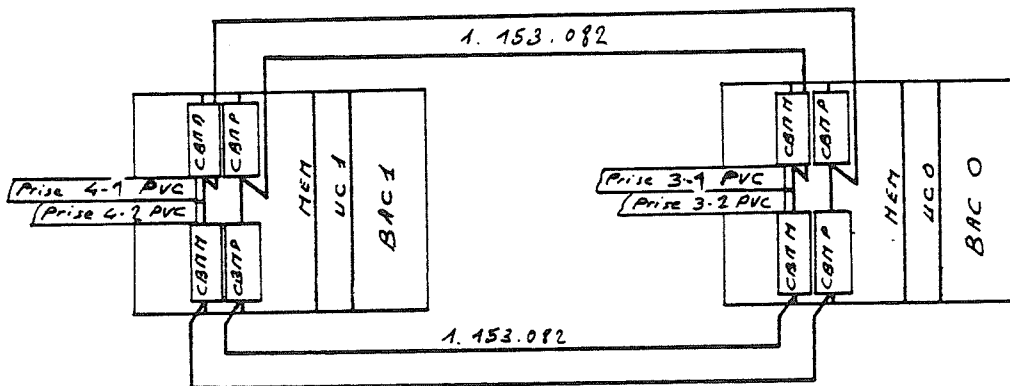
- N° de module 1.153.451 qui comprend:
- 1 Carte CBM.M. Format CI N°1150270 placée dans le bac origine
- 1 Carte CBM.P Format CI N°1150271 placée dans le bac destin.
- 2 Câbles de liaison N°1153082
- 2 Câbles plats N°1153001 pour liaison avec le PVC

ATTENTION: Il faut associer 2 CBM de même VU (01 ou 02)

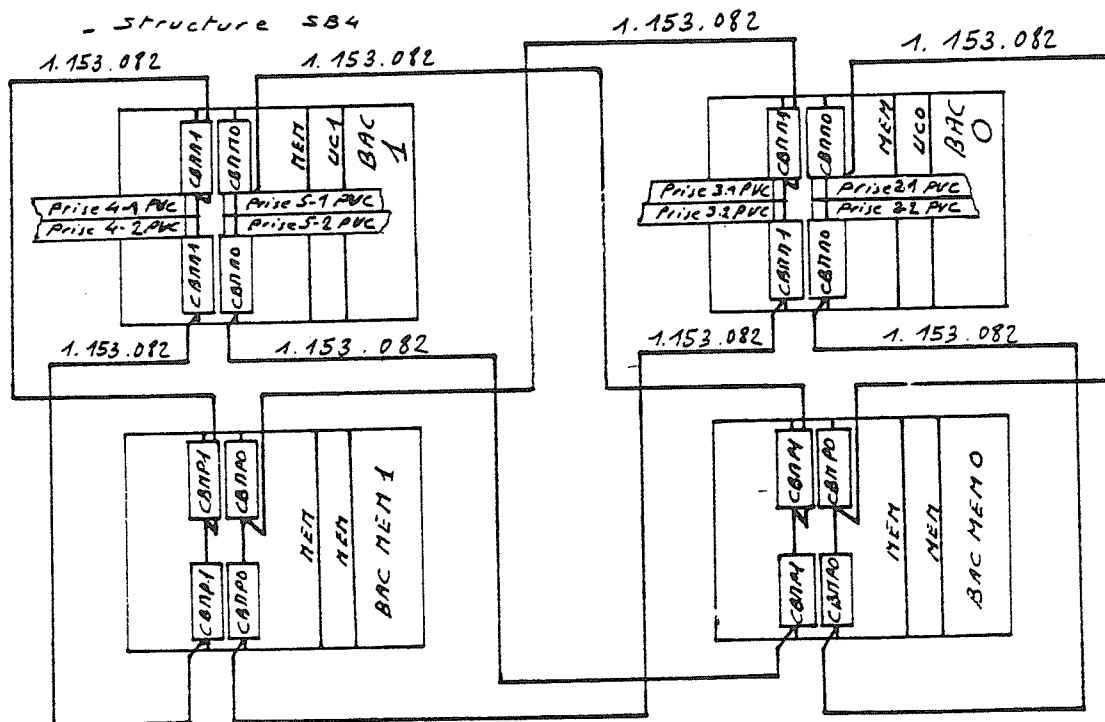
CONFIGURATIONS

- Structure B2

N.B. Le CBM.P prend 1 emplacement processeur

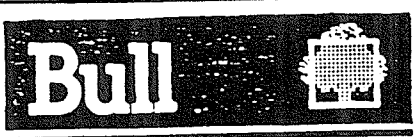


- Structure SB4



PVC = Pupitre de Visualisation et de commande

N.B. En l'absence du PVC les CBM sont en mode automatique



SPS 5

CBM

N° Document

71 F7 31MS

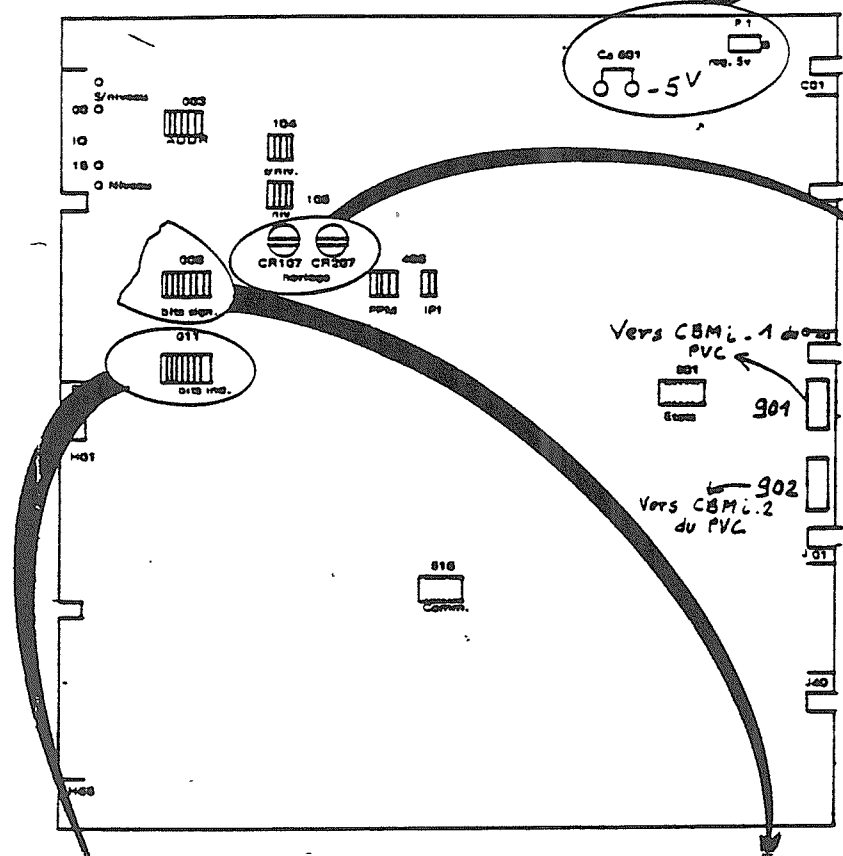
Date

547

Page

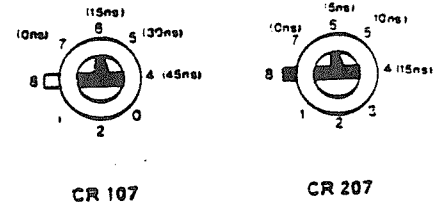
M. 1.1

MISE EN ŒUVRE DU CBM-M VU01



- réglage ALIM -5V
- retirer le cavalier Ca 601
- Agir sur R4 pour ajuster à -5V
- Remettre le cavalier la tension ne doit pas être inférieure à 4,9V
- Ajuster de nouveau à -5V

- réglage de l'horloge
- Comparer entre test point du processeur et test point du CBM-M régler à ± 3 ns par rapport au processeur en agissant sur les commutateurs CR107 et 207



Pour assurer la connexion forcée en mode manuel cabler le bouchon 16 en 902

- Définition de la Fenêtre d'adressage
- Choix des bits indifférents Ces bits définissent la dimension de l'espace Mémoire adressable à travers CBM
- Choix des bits significatifs Ces bits définissent l'adresse initiale de l'espace adressable à travers CBM

Dimension de l'espace adressable	Position des inverseurs 011
4 K mots	0 0 0 0 0 0 0 0
8 K mots	0 0 0 0 0 0 0 1
16 K mots	0 0 0 0 0 0 1 0
32 K mots	0 0 0 0 0 1 0 0
64 K mots	0 0 0 0 1 0 0 0
128 K mots	0 0 0 1 0 0 0 0
256 K mots	0 0 1 0 0 0 0 0
512 K mots	0 1 0 0 0 0 0 0
1024 K mots	1 0 0 0 0 0 0 0

Adresse initiale de l'espace adressable	Position des inverseurs 008 -
0	0 0 0 0 0 0 0 0
4 K	0 0 0 0 0 0 0 1
8 K	0 0 0 0 0 0 1 0
16 K	0 0 0 0 0 1 0 0
32 K	0 0 0 0 1 0 0 0
64 K	0 0 0 1 0 0 0 0
128 K	0 0 1 0 0 0 0 0
256 K	0 1 0 0 0 0 0 0
512 K	1 0 0 0 0 0 0 0

- Adressage du CBM sur le bus I Φ
Le CBM est adressé en format SHORT
ON RACK

N° de coupleur	Position des inverseurs 003
'00	
'08	
'10	
'20	
'40	
'80	
* CBM0 'C8	
* CBM1 'D0	

- N° des Processeurs Appelants

Processeurs ayant accès au CBM	Position des inverseurs 406 PPM
Aucun	
P 0	
P 1	
P 2	
P 3	
Tous	

INTERRUPTION CBM

- Décodage niveau

Niveau d'interruption	Position des inverseurs 105
0	
* 1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	

- Choix du niveau

- Sur les queues à wrapper relier la borne niveau à la borne correspondant au niveau choisi. *: 1

- Choix du type de sous-niveau

Type de sous-niveau	Position des inverseurs 104
* IO Normal	
IO Exception 0	
IO Exception 1	
IO Exception 2	

- Choix du sous-niveau

- Sur les queues à wrapper relier la borne sous-niveau à la borne correspondant au sous-niveau choisi.

* CBM0 : 5
* CBM1 : 6

* DEBANNALISATION

Bull



SPS 5

CBM

N° Document

Date

Page

71 F7 31MS

547

M. 1.3

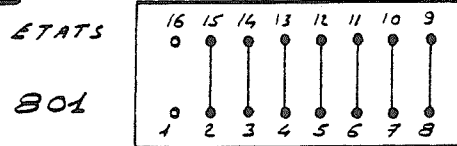
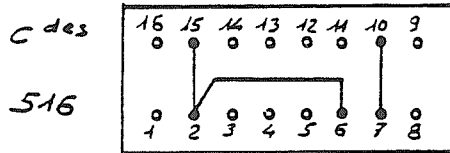
- Transmission IPI

		SWITCH 406 IPI	
* Validé	B2		
	SB4		
Invalidé	B2		
	SB4		

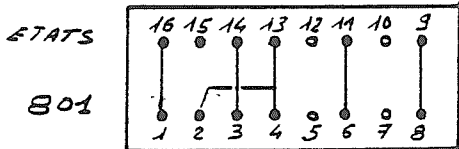
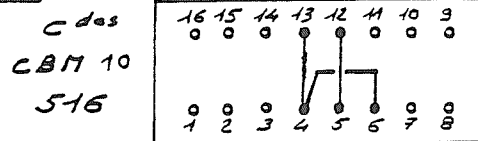
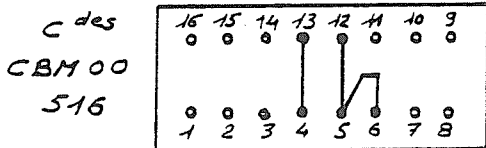
En position "Invalidé" les IPI ne sont pas transmises par le CBM

- Commandes et états de jonction / disjonction
Transmission des commandes vers le CBM-P

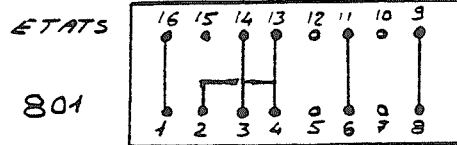
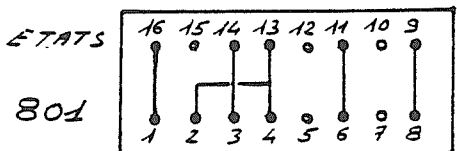
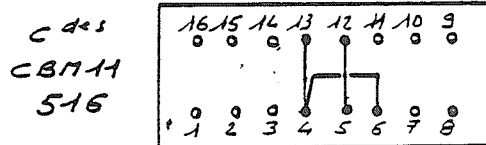
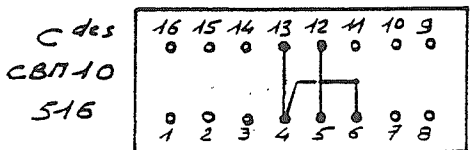
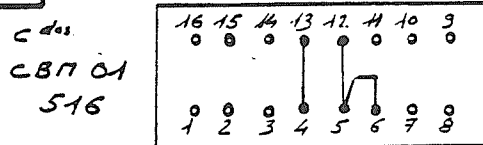
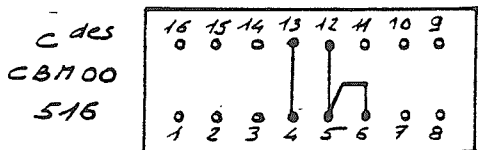
B1-B2



SB3



SB4



BAC MEMOIRE 0

BAC MEMOIRE 1

Bull



SPS 5

CBM

N° Document

Date

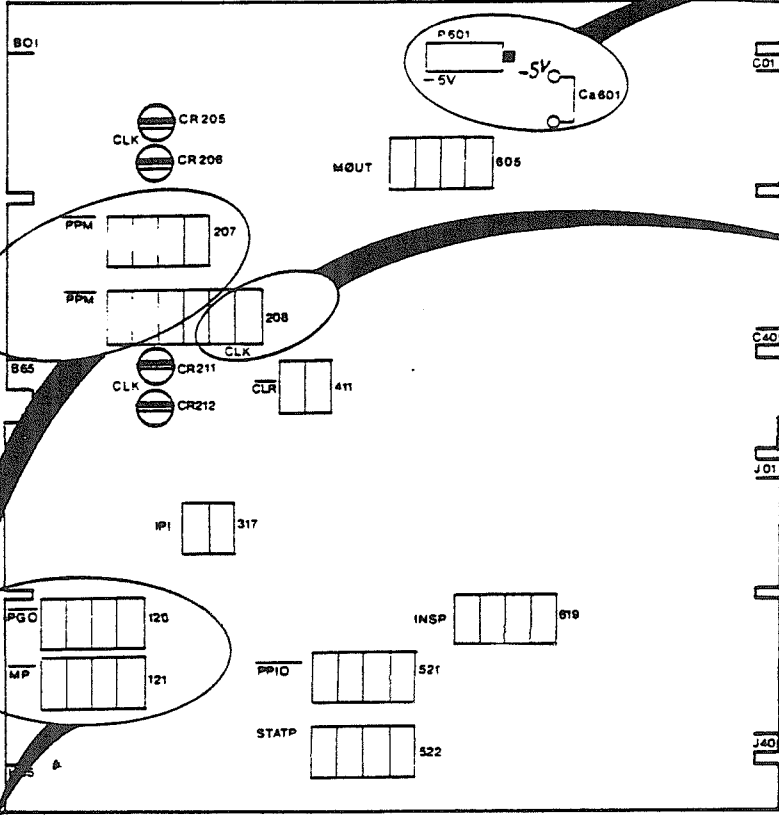
Page

71 F7 31MS

547

M. 1.4

MISE EN ŒUVRE DU CBM-P VU01

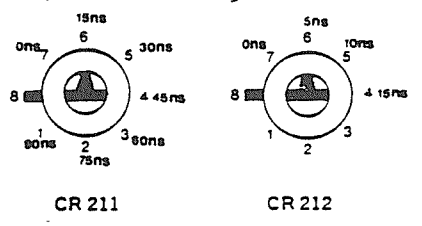


règlage ALIN-5V.
 - Retirer le cavalier CA 601
 Agir sur P₅ pour ajuster à -5V.
 Remettre le cavalier la tension ne doit pas être inférieure à -4,9V
 - Ajuster de nouveau à -5V

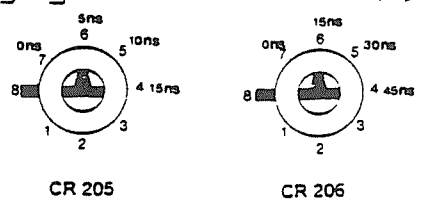
Transmission d'Horloge
 En Extension mémoire (SANS ISB) L'horloge doit être transmise par le CBM-P

Type de Structure	Position des Inverseurs
Avec ISB	208
SANS ISB	208

Cette horloge doit être synchrone avec celle du bac source à ± 3ns - Ajuster avec les commutateurs CR211 et CR212



Règlage Test Point à ± 3ns



Accès du CBMP au bus Mémoire

- les inverseurs 207 définissent la priorité d'accès du CBMP (PPI_i)
- les inverseurs 208 permettent de faire entrer les processeurs ayant une plus haute priorité que le CBMP (PPI₀ étant la plus haute, PPI₀₃ la plus basse)
- Les inverseurs 120 définissent le numéro de rappel du CBMP qui est égal au N° de priorité (P50_{0i})
- les inverseurs 121 définissent la priorité du bus mémoire retour égale à la priorité du bus mémoire aller (PPI_{0i})

Priorité du CBM-P	Position des Inverseurs			
	207 PPI	208 PPI	120 P50	121 PPI
SB3 0 SB4 bac UCD				
SB3 1 SB4 bac UCD				
2				
3 (B1) 3 (B2)				

NB Dans une structure B1-B2 le CBMP a toujours la priorité la plus basse : 3

Transmission CLEAR
 En Extension mémoire (SANS ISB) Le CLEAR doit être transmis par le CBM-P.

Type de Structure	Position des Inverseurs
Avec ISB	411
SANS ISB	411



CBM			
N° Document	Date	Page	
71 F7 31MS	547	M. 1.5	

Transformation d'Adresse
On transforme l'adresse en forçant un ou plusieurs bits (NOT 0-3) à zéro.

bits forcés à "0"	Position des Inverseurs 605
0	
1	
2	
3	
Aucun	
1,2	

- Commandes de jonction/Disjonction

Type de Structure	PPI 521	STATP 522	INSP 619
B1-B2			
SB3	CBM 00 & CBM 01		
SB4			
SB3	CBM 10 & CBM 11		
SB4			

- Transmission IPI

Type de Structure	Position des Inverseurs
B1-B2	317
SB3-SB4	

TEST du CBM

N° du Test: A. 15B 451 03/02 pour structure SB4
A. 15B 451 02/02 pour structure B2

Exemple de conversationnel structure SB4

Structure B2

```

>
NUMERO DU RACK (0-7) ?0
PRESENCE PVC ?Y
PRESENCE IOP16-T ?N
PRESENCE PMS ?Y
*** DONNEES DU CBM 0
ADRESSE I/O CBM ?C8
NUMERO LIAISON CBM (1-4) ?1 N° = N° CPU + 1 du CBM P.
NIVEAU I/O (1-15) ?1
S/NIVEAU I/O (0-63) ?5
DIMENSION ESPACE DU CBM ?16
RANG INITIAL DU CBM ?16
NUM. LIAISON CBM AUTRE RACK ?2
RANG INIT. MEMOIRE INTERRACK ?24
*** DONNEES DU CBM 1:
ADRESSE I/O CBM ?C8
NUMERO LIAISON CBM (1-4) ?1
NIVEAU I/O (1-15) ?1
S/NIVEAU I/O (0-63) ?6
DIMENSION ESPACE DU CBM ?16
RANG INITIAL DU CBM ?32
NUM. LIAISON CBM AUTRE RACK ?2
RANG INIT. MEMOIRE INTERRACK ?32
BLOCS DE MEM. PHYS. :
RANG DU 1ER K ?0
RANG DU DER K ?8
AUTRE BLOC ?Y
RANG DU 1ER K ?16
RANG DU DER K ?31
AUTRE BLOC ?Y
RANG DU 1ER K ?32
RANG DU DER K ?47
AUTRE BLOC ?N
NIVEAU MAX. D'EDITION D'ERREURS (1-3) ?2
*** NO DU CBM EN TEST : 0
*** CLES INOPERANTES : 210, 420
NOMBRE = 0
TAPER LE NOMBRE LU SUR AUTRE TTY
NOMBRE ?4
ENLEVER BOOTSTRAP SUR PVC
PASSER LES CBM EN MODE REQUIS
C'est FAIT ?Y
DONNEZ VOS CLES
01
  
```

```

>
NUMERO DU RACK (0-7) ?1
PRESENCE PVC ?Y
PRESENCE IOP16-T ?Y
*** CLES INOPERANTES : 120
PRESENCE PMS ?Y
ADRESSE I/O CBM ?C8
NUMERO LIAISON CBM (1-4) ?1
NIVEAU I/O (1-15) ?1
S/NIVEAU I/O (0-63) ?5
DIMENSION ESPACE DU CBM ?16
RANG INITIAL DU CBM ?32
NUM. LIAISON CBM AUTRE RACK ?1
RANG INIT. MEMOIRE INTERRACK ?32
BLOCS DE MEM. PHYS. :
RANG DU 1ER K ?0
RANG DU DER K ?0
RANG DU DER K ?15
AUTRE BLOC ?Y
RANG DU 1ER K ?16
RANG DU DER K ?31
AUTRE BLOC ?Y
RANG DU 1ER K ?32
RANG DU DER K ?47
AUTRE BLOC ?N
NIVEAU MAX. D'EDITION D'ERREURS (1-3) ?3
*** CLES INOPERANTES : 210, 420
NOMBRE = 4
TAPER LE NOMBRE LU SUR AUTRE TTY
NOMBRE ?0
ENLEVER BOOTSTRAP SUR PVC
PASSER LES CBM EN MODE REQUIS
C'EST FAIT ?Y
DONNEZ VOS CLES
01
  
```

NB. les CBM du rack où sont lancées les clés doivent être en AUTO
les CBM des autres racks doivent être en MANUEL CONNECTE



SPS 5

CBM

N° Document

Date

Page

71 F7 31MS

547

M. 1.6

- Clés action relatives aux registres du CBM

Clé 100

Test du mode automatique: jonctions et disjonctions successives par SIO.

Clé 110

Test du mode manuel: jonctions et disjonctions successives grâce au PVC. (*inoportante si pas de PVC*)

Clé 120

Test de la disjonction sur INI pupitre (*inoportante si IOP 16T dans le rack*)

Clé 130

Test de la fenêtre d'adressage: valeur, blocage et déblocage (le mécanisme de blocage/déblocage n'est vérifié qu'en présence du PMS ou DRPS)

- Clés action relatives aux interruptions CBM

Clé 200

Test de l'IT opérateur grâce au PVC. (*inoportante si pas de PVC*)

Remarque :

Cette clé peut se bloquer (après la réponse "Y" à la question), si le CBM ne décode pas le bon niveau d'IT. Faire "STOP, INI, RUN" pour relancer.

Clé 210

Test de l'IT erreur pour mémoire inexistante. (*inoportante si pas de mémoire inexistante dans la fenêtre CBM*)

Clé 220 et Clé 221

Test de la transmission IPI entre racks.

- Clés action relatives à la fonction accès-mémoire

Clé 300

Possibilité d'une référence-mémoire satisfaite.

Clé 310

Impossibilité d'une référence-mémoire en état disjoint.

Clé 400

Test du chemin de données : écriture/lecture de 34 valeurs dans un même mot.

Clé 500

Test d'accessibilité aux blocs-mémoire présents dans la fenêtre du CBM, écriture/lecture à différentes adresses.

Clé 510

Test de non réponse du CBM aux adresses extérieures à sa fenêtre

Clé 520

Test des IT erreurs du CBM correspondantes aux mémoires inexistantes situées dans sa fenêtre.

(*inoportante si pas de mémoire inexistante dans la Fenêtre CBM*)

- Clé action particulière

Clé 600 :

1 paramètre = numéro de CBM. Permet de basculer le programme de test sur le CBM de numéro spécifié.

Remarque :

N'existe pas en structure B2

Clé REC

Elle exécute la recette d'un seul CBM - il faut donc l'appliquer successivement aux différents CBM de la structure.

Clé RNS

Elle enchaîne automatiquement les tests sur tous les CBM présents dans la structure. les changements de rack se font par des IPI interprocesseurs

Remarques: 1 Tous les CBM doivent être en mode automatique
2 la clé doit être lancée dans les 2 racks processeurs et le dernier rack lancé doit être le rack nommé "RACK NATURE"



SPS 5

CBM

N° Document

71 F7 31MS

Date

547

Page

M. 1.7

N° ERREUR	Signification	TYPE de Message
'01	Initialisation impossible: CBM non joint/disjoint Remarque : Vérifier les switches du PVC	
'02	Non disjonction sur INI pupitre au registre d'état faux	REG
'03	Set/Reset d'un autre bit du registre d'état que celui correspondant à la liaison CBM	REG
'04	Set/Reset anormal du bit du registre d'état correspondant à la liaison CBM	REG
'05	Interruption opérateur non attendue	
'06	Interruption opérateur non effective	
'07	Anomalie jonction CBM en mode manuel au registre d'état faux	
'08	Anomalie disjonction CBM en mode manuel au registre d'état faux	REG
'09	Erreur chemin de données : la valeur lue est différente de la valeur écrite	MOT
'0A	Anomalie fonction accès-mémoire: alarme mem. inex survenue en écriture.	ADR
'0B	Anomalie fonction accès-mémoire: alarme mem. inex. survenue en lecture.	ADR
'0C	Anomalie fonction accès-mémoire: alarme erreur de parité survenue	ADR
'0D	Accès à un mot mémoire malgré la disjonction du CBM	ADR
'0E	IT erreur parasite : "Info non attendue"	
'0F	IT erreur parasite : "Réponse positive mémoire non attendue".	
'10	Valeur de la fenêtre d'adressage non conforme (le test ne comprend pas ici les "bits indifférents")	PHI
'11	Valeur de la fenêtre d'adressage non conforme au non blocage de la fenêtre.	PHI
'12	Non déblocage de la fenêtre d'adressage	
'13	"Interruption mémoire inexistante en écriture" non effective	ADR
'14	"Interruption mémoire inexistante en lecture" non effective	ADR
'15	"Interruption mémoire inexistante en écriture" parasite	
'16	"Interruption mémoire inexistante en lecture" parasite.	
'17	Référence à une @ mémoire hors de la fenêtre prise en compte par le CBM	ADR
'18	IPI pas prise en compte (pas de R.A.Z. de la boîte aux lettres).	
'19	Pas de IPI en retour (pas de réponse de l'autre bac)	
'1A	Défaut d'adressage mémoire : chemin d'adresse (ou de données) défaillant	ADR
'1B	Référence en écriture à travers le CBM impossible : CBM non joint ou anomalie accès-mémoire	ADR
'1Ca	Référence en lecture à travers le CBM impossible : CBM non joint ou anomalie accès-mémoire	ADR
'1D	Numéro de CBM erroné.	

MESSAGES d'ERREUR

CM X: ERR yyy/zz) "Libelle"
"Edition Complémentaire"

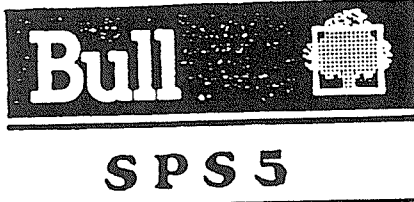
x : N° de CBM (rien si un seul CBM par rack, .
yyy: N° de la clé en cours
zz: N° de l'erreur

"Libelle" précision de l'erreur de numéro zz

"Edition Complémentaire"

Type de message:
REG registre état attendu: xxxx
registre état lu :xxxx
MOT mot attendu:xxxx xxxx xxxxxx
registre lu :xxxx xxxxxxxx
ADA adressage du mot: "xxxx"
PHI Fenêtre d'adressage: xxxx xxx

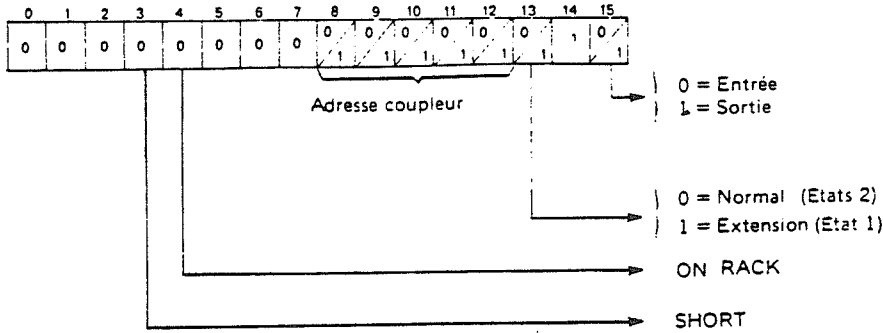
REMARQUE:
les IT CBM, et uniquement elles, ne donnent lieu à un message d'IT parasite, mais à un message d'erreur CBM



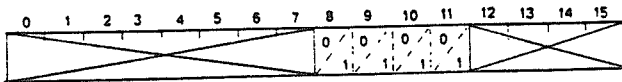
CBM			
N° Document	Date	Page	
71 F7 31MS	547	M. 1.8	

PROGRAMMATION DES CBM

opérande SIO -



- Registre de commandes

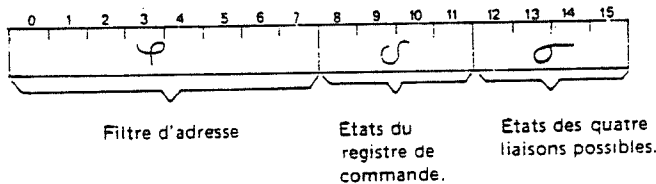


Les bits 8-11 ont seuls une signification, ils commandent la jonction (0) ou la disjonction (1) des 4 liaisons commandables à travers le CBM. Le contenu de ce mot de commande est recopié dans le mot d'états δ (8-11).

Note : Si la liaison CBM locale est en disjonction :

- 1 - Les commandes ne sont pas transmises vers les autres liaisons.
- 2 - Aucun transfert mémoire n'est accepté.
- 3 - Il est possible d'exécuter une SIO de sortie commande, ou de lecture états 1.
- 4 - Le mécanisme d'interruption opérateur est toujours validé.

- Registres d'état 1



Fenêtre d'adressage

Le filtre d'adresse (ϕ) ou fenêtre d'adressage est remis à zéro sur toute séquence d'initialisation, ou sur tout ordre de disjonction du CBM. Avant de lire, il est nécessaire d'effectuer une référence mémoire pour écriture seulement à l'adresse $\text{E} = \text{'FFXXX}$ (ce qui impose la présence de l'option PMS ou DRPS).

Bits de commandes et d'états

Les bits δ (8-11) sont la copie des bits du registre de commande, ils ont donc pour valeur :

- l'état des inverseurs du pupitre PVC forcé dans le registre de commande en mode manuel ;
- l'état tout "1" (disjonction) après une séquence INI en mode automatique.
- la valeur des bits 8-11 de la dernière SIO de sortie commande reçue en mode automatique.

La signification de ces bits (8-11) est modifiée après une interruption opérateur. Celle-ci est acquittée par la première lecture du mot d'états 1 dans lequel les bits ont alors pour valeur l'état des inverseurs de commande du pupitre de visualisation et de commande, quel que soit le mode : manuel ou automatique.

Les bits ϵ (12-15) ont pour valeur les états des 4 liaisons possibles, commandables à travers le CBM-M.

- ϵ 12 = Etat de la liaison commandée par δ 8
- ϵ 13 = Etat de la liaison commandée par δ 9
- ϵ 14 = Etat de la liaison commandée par δ 10
- ϵ 15 = Etat de la liaison commandée par δ 11

Avec la convention 0 = jonction, 1 = disjonction.

Bull



SPS 5

CBM

N° Document

Date

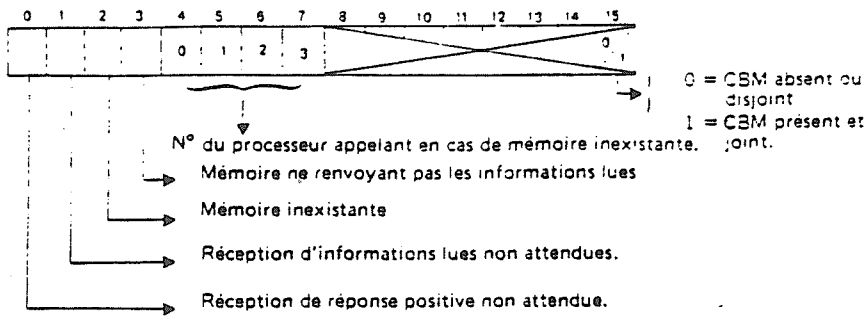
Page

71 F7 31MS

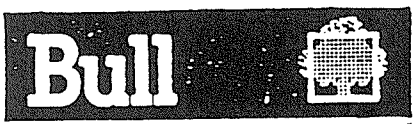
547

M. 1.9

- Registre d'états 2



NB: ce mot d'état n'a de signification qu'après une interruption détection d'erreur - Sa lecture acquitte cette interruption.



SPS 5

CBM

N° Document

71 F7 31MS

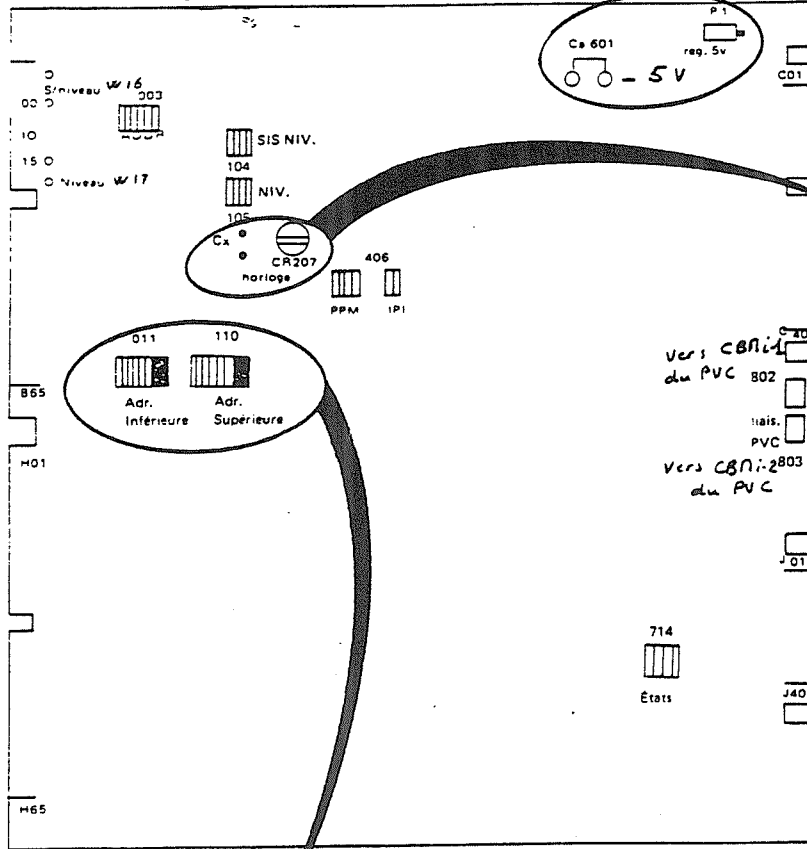
Date

547

Page

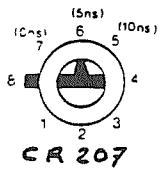
M. 1.10

MISE EN ŒUVRE DU CBM M VU02

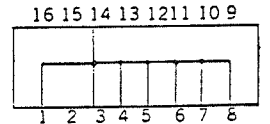


- Réglage ALIM-5V
- retirer le cavalier cason
- Agir sur P1 pour ajuster à 5V
- Remettre le cavalier, la tension ne doit pas être inférieure à 4,9V
- Ajuster de nouveau à 5V.

- Réglage de l'horloge
- Comparer entre tout point du processeur et du CBM-11 régler à $\pm 3ns$ par rapport au processeur en agissant sur les commutateur CR 207
- cx est un réglage grossier par capa
- Valeur typique de cx : 150 pF



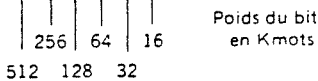
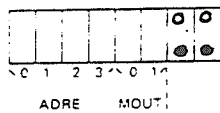
Pour assurer la connexion forcée en mode manuel câbler le bouchon en 803



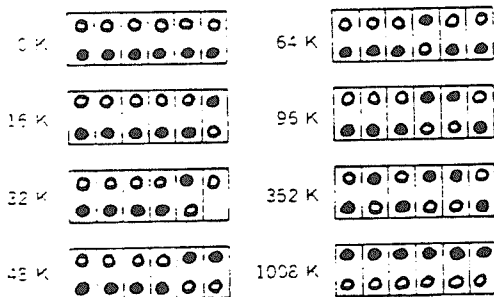
DEFINITION DE LA FENÊTRE D'ADRESSAGE

Les adresse Inférieure et Supérieure sont déterminées modulo 16K mots indépendamment l'une de l'autre.

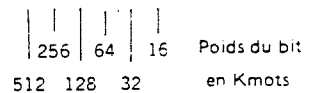
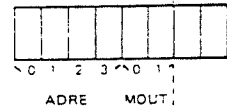
L'Adresse Inférieure est définie par les 6 TB 011.



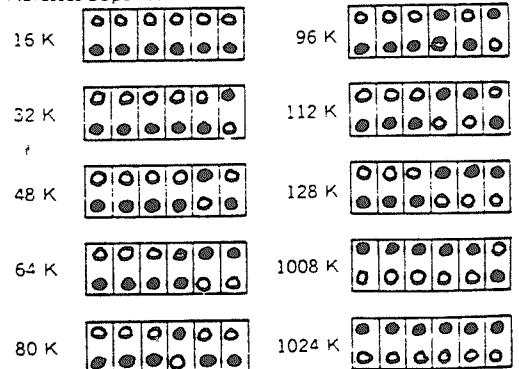
Exemples d'Adresses Inférieures



L'Adresse Supérieure est définie par les 6 TB 110.



Exemples d'Adresses Supérieures



Bull



SPS 5

CBM

N° Document

71 F7 31MS

Date

547

Page

M. 1.11

- Adressage du CBM sur le bus I²S
Le CBM est adressé en Format SHORT ON RACK

N° de coupleur	Position des inverseurs 003
00	
08	
10	
20	
40	
80	
* CBM 0 CB	
* CBM 1 DB	

N° des Processeurs Appelants

PROCESSEURS ayant accès au CBM	Position des inverseurs 406 APM
ALUOT	
P0	
P1	
P2	
P3	
Tous	

INTERRUPTION CBM

- Décodage niveau

Niveau d'interruption	Position des inverseurs 105
0	
* 1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	

- Choix du niveau

Sur les queues à wrapper relier la borne niveau (W17) à la borne correspondant au niveau choisi. * 1

- Choix du type de sous-niveau

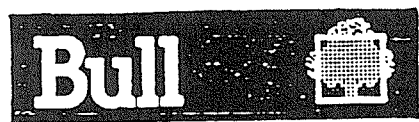
Type de sous-niveau	Position des inverseurs 104
* IO Normal	
IO Exception 0	
IO Exception 1	
IO Exception 2	

- choix du sous niveau

Sur les queues à wrapper relier la borne sous niveau (W16) à la borne correspondant au sous-niveau choisi.

- * CBM 0 : 5
- * CBM 1 : 6

* DEBANNALISATION



SPS 5

CBM

N° Document

71 F7 31MS

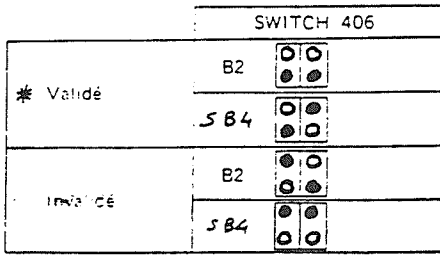
Date

547

Page

M. 1.12

Transmission IPI



- En position "invalidé" Les IPI ne sont pas transmises par le CBM

Lecture des états du CBM-P

Le CBM-P renvoie quatre états de jonction/disjonction correspondant aux 4 liaisons possibles.

- IO 12 correspondant à l'état de la liaison commandée par INSP0.
- IO 13 correspondant à l'état de la liaison commandée par INSP1.
- IO 14 correspondant à l'état de la liaison commandée par INSP2.
- IO 15 correspondant à l'état de la liaison commandée par INSP3.

Donc :

- IO 12 état de la liaison commandée par IO 08. (ligne PPIO 00)
- IO 13 état de la liaison commandée par IO 09. (ligne PPIO 01)
- IO 14 état de la liaison commandée par IO 10. (ligne PPIO 02)
- IO 15 état de la liaison commandée par IO 11. (ligne PPIO 03)

Un jeu de 4 TB (714) permet d'affecter la liaison locale à l'un des 4 bits du mot de commande.

pour les structures S83 - S84 on affecte 1 bit de mot de commande par liaison.

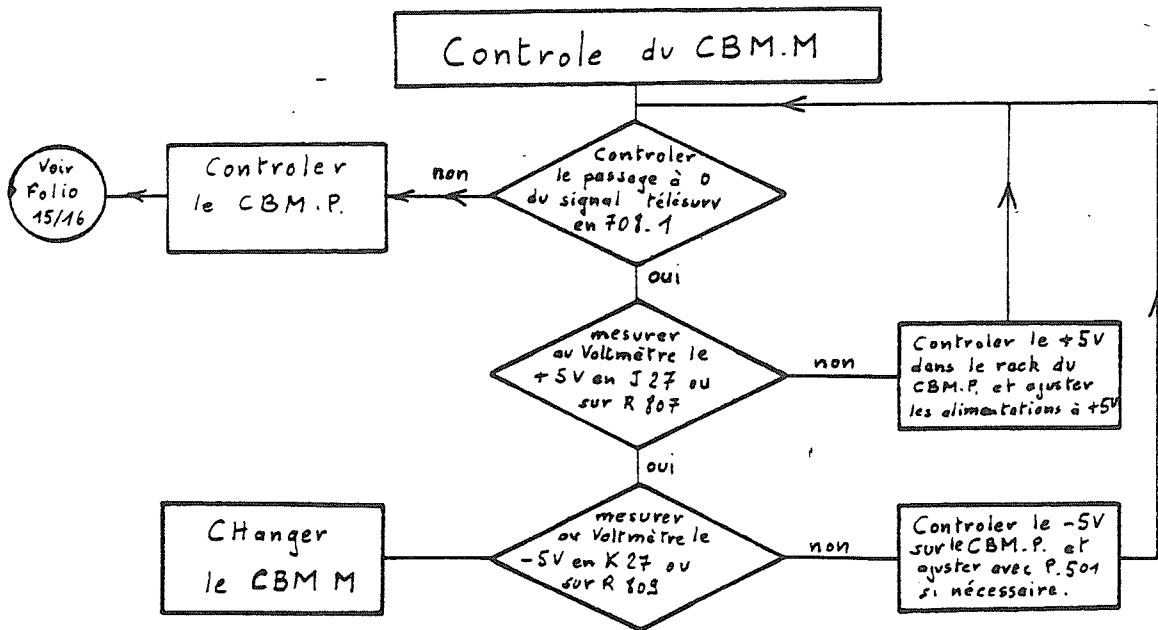
Structure B2
87



liaison	bit de commande	positionnement des TB 714
CBM00	I008 - INS0	
CBM01	I009 - INS1	
CBM10	I010 - INS2	
CBM11	I011 - INS3	

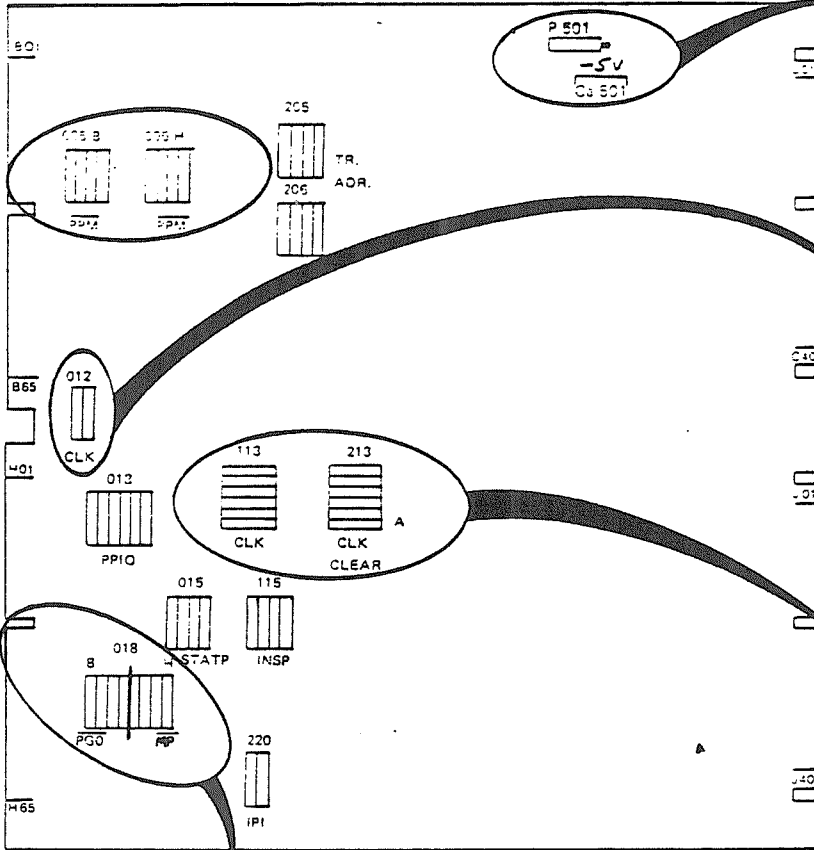
NOTA :

- En cas de problèmes sur les CBM (erreurs d'adressage ou détection de déconnexions parasites).
- les CBM étant connectés :



CBM			
N° Document	Date	Page	
71 F7 31MS	547	M. 1.13	

MISE EN ŒUVRE DU CBMP VU 02



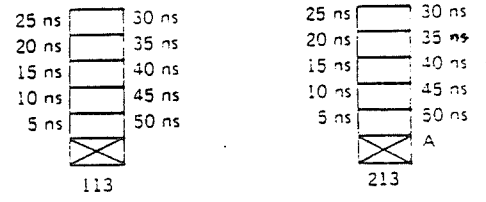
Réglage ALIM -5V

- Retirer le cavalier ca 501
- Agir sur P2 pour ajuster -5V
- Remettre le cavalier la tension ne doit pas être inférieure à 4,9V
- Ajuster à nouveau à -5V

Transmission d'horloge
En extension mémoire (ISB) l'horloge doit être transmise par le CBMP.

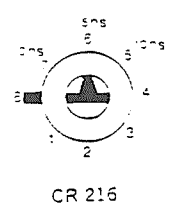
Type de Structure	Position des Inverseurs T.B 012
AVEC ISB	<input type="checkbox"/> <input type="checkbox"/>
SANS ISB	<input type="checkbox"/> <input type="checkbox"/>

Cette horloge doit être synchrone avec celle du bac source à ±3ns - Ajuster avec les T.B 113 et 213



Réglage Test point

réglage grossier par C105 (valeur typique 150pF) et réglage fin par CR 216



Accès du CBMP au bus mémoire

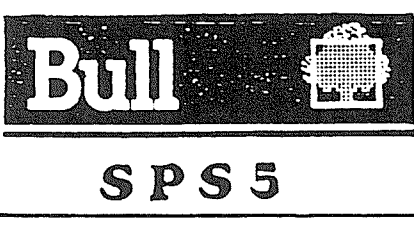
- La priorité d'acquisition est définie par les T.B. 005B et 005H permettent de faire entrer dans le CBMP les lignes de priorité des processeurs ayant une plus haute priorité.
- N.B. Dans une structure B1-B2 le CBMP a la priorité la plus basse : 3
- Le numéro de rappel du CBMP est défini par les inverseurs 018B (PGAR) il est égal au n° de priorité.
- La priorité d'acquisition des bus mémoire retour (égale à la priorité du bus mémoire aller) est définie par les T.B. 018H

Priorité du CBMP	Position des Inverseurs			
	005 B (PPR)	005 H (PPR)	018 B (PGAR)	018 H (PPR)
SB3 SB4 0 bac uco	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>
SB3 SB4 1 bac uct	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>
2	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>
3 (B1 B2)	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>

Transmission CLEAR
En Ext. mémoire le CLEAR doit être transmis depuis le bac source

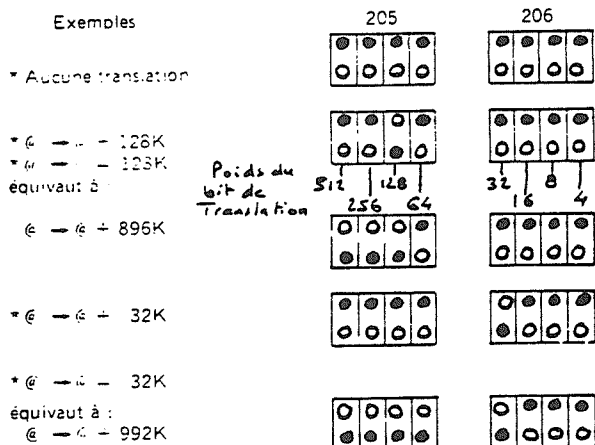
Type de Structure	Position des T.B Inverseurs 213A
AVEC ISB	<input checked="" type="checkbox"/> <input type="checkbox"/>
SANS ISB	<input checked="" type="checkbox"/> <input type="checkbox"/>

NB: dans une structure B1-B2 le CBMP a la Priorité : 3



CBM			
N° Document	Date	Page	
71 F7 31MS	547	M. 1.14	

- Transformation d'adresse.
La fenêtre d'adressage du CBM peut être translatée dans tout l'espace mémoire 0 → 1024K

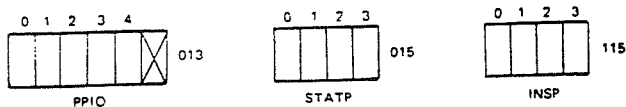


Transmission IPI

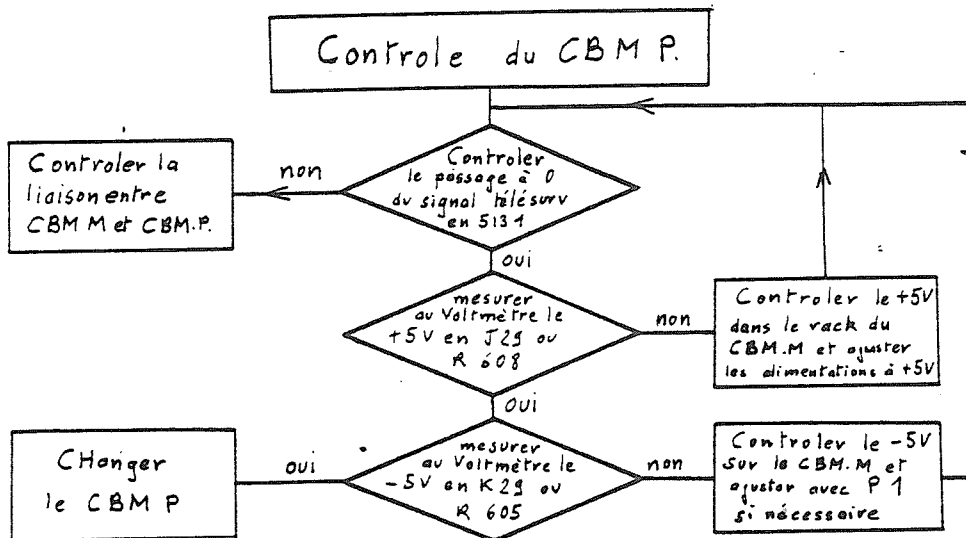
Type de Structure	Position des TB 220
B1-B2	
SB3-SB4	

Commandes de Jonction/Disjonction

Les commandes et états de Jonction/Disjonction sont transmis et validés par les T.B. 013, 015, 115.



Type de Structure	Position des Inverseurs		
	013	015	115
B1-B2			
SB3 SB4 CBM-P00 CBM-P01			
SB3 SB4 CBM-P10 CBM-P11			



SPS 5

CBM

N° Document

71 F7 31MS

Date

547

Page

M. 1.15

Bull



SPS 5

CBM

Nº Document

71 F7 31MS

Date

547

Page

M. 1.16